

# Lecturas dirigidas

## Diseño de circuitos integrados digitales de bajo consumo

- DICIDI -

**Reunión inicial: 10 am 1 de setiembre 2022**

### Objetivo

Proveer una visión general del diseño de circuitos integrados digitales CMOS, poniendo especial énfasis en circuitos de muy baja potencia. Se estudiarán diferentes técnicas de diseño de bajo consumo, incluyendo algunas clásicas como pueden ser “clock gating” o “power gating” y otras reservadas para aplicaciones de extremado bajo consumo y bajos requerimientos de velocidad, como operar el circuito en la región sub umbral. Se realizarán trabajos prácticos en forma de laboratorio para reforzar los conceptos vistos en la parte teórica.

### Responsable

Francisco Veirano (fveirano@fing.edu.uy)

### Evaluación

Reuniones de discusión. Análisis del material por parte de los participantes. Laboratorios con entrega de informes.

### Temario

La bibliografía en negro se considera imprescindible y la en gris complementaria.

[1] Introducción administrativa y de contenido de las lecturas [**Clase expositiva**]

- Reuniones quincenales
- Cantidad de créditos
- Contenido técnico de las lecturas

[2] Introducción circuitos digitales [**Weste2010CMOS**] (**Cap. 5**)

- Introducción circuitos digitales de bajo consumo [Alioto2012Ultra] (pag 1 y 2)
  - Energía contra Potencia
  - Circuitos ciclados contra siempre prendidos
- Consumo de potencia en circuitos digitales
  - Switching [Chandrakasan1992Low]
  - Short-circuit [Veendrick1983Short]
  - Static [Roy2003Leakage]
  - Impacto de escalado de dispositivos en consumo [Dennard1984Generalized]
- Flujo de diseño de circuitos digitales utilizando herramientas CAD [**2 Laboratorios**]
  - Simulación
  - Sintetizado
  - Posicionamiento y enrutado

- Verificación física
- [3] Técnicas de reducción de consumo en circuitos digitales
- Niveles de técnicas: tecnología, transistor, compuerta, arquitectura, sistema [Búsqueda libre]
  - Técnicas de reducción de consumo activo [Piguet2006Low] (Cap. 10 y Cap. 11)
    - Circuit parallelization [Piguet2006Low] (Cap 10.3)
    - Voltage scaling [Piguet2006Low] (Cap 10.4) [Gonzalez1997Supply]
    - Precomputation and retiming [Piguet2006Low] (Cap 10.5)
    - Path balancing, technology decomposition, technology mapping [Piguet2006Low] (Cap 10.6)
    - Clock gating [Piguet2006Low] (Cap. 11.4)
  - Técnicas de reducción de consumo estático [Piguet2006Low] (Cap. 13) (8 pag, 13.4 a 13.12)
    - Dual threshold CMOS [Piguet2006Low] (Cap. 13.4.1) [Wei1999Design]
    - Multiple supply voltage [Piguet2006Low] (Cap. 13.4.2)
    - Stacked transistors [Piguet2006Low] (Cap. 13.5.1)
    - Power gating or MTCMOS [Piguet2006Low] (Cap. 13.5.2) [Shin2010Power]
    - Variable threshold CMOS / Body biasing [Piguet2006Low] (Cap. 13.5.3)
    - Dynamic Vdd scaling [Piguet2006Low] (Cap. 13.6.1)
    - Dynamic Vth scaling [Piguet2006Low] (Cap. 13.6.2)
  - Flujo de diseño digital aplicando alguna de las técnicas vistas [Laboratorio]
- [4] Circuitos digitales sub o cercanos al umbral [Wang2006Low] (Cap. 1, 2, 3, 4, 5 y 6) [Alioto2012Ultra]
- Introducción
  - Punto de energía mínima (MEP)
  - Compuertas digitales en el MEP
  - Laboratorio (Cadena de inversores, ver consumos, variabilidad , timing)

## Créditos

Tema	Bibliografía	Paginas	Horas dedicadas
1	Clase expositiva introductoria		1
2	[Weste2010CMOS] Cap 5	29	7
	Lectura complementaria		4
	Reunión discusión		2
	2 Laboratorios		10
3	Búsqueda libre		3
	[Piguet2006Low] Cap 13	8	2
	[Piguet2006Low] Cap 10 y 11	27	7
	Lectura complementaria		6
	Reunión discusión		4
	Laboratorio		4
4	[Wang2006Low]	95	24
	Lectura complementaria		2
	Laboratorio		4
	Reuniones discusión		4
	<b>Total</b>		<b>84</b>
	<b>Créditos</b>		<b>6</b>

# Bibliografía

## Principal

[Weste2010CMOS] Neil H. E. Weste, David Money Harris. (2010) CMOS VLSI Design\_ A Circuits and Systems Perspective. (4th Edition) ( Addison Wesley)

[Piguet2006Low] Piguet, C. (2006). Low-power CMOS circuits: technology, logic design and CAD tools. CRC Press.

[Wang2006Low] Wang, A., Calhoun, B. H., & Chandrakasan, A. P. (2006). Sub-threshold design for ultra low-power systems (Vol. 95). New York: Springer.

## Complementaria

[Alioto2012Ultra] Alioto, M. (2012). Ultra-low power VLSI circuit design demystified and explained: A tutorial. IEEE Transactions on Circuits and Systems I: Regular Papers, 59(1), 3-29.

[Shin2010Power] Shin, Y., Seomun, J., Choi, K.-M., and Sakurai, T. 2010. Power gating: Circuits, design methodologies, and best practice for standard-cell VLSI designs. ACM Trans. Des. Autom. Electron. Syst. 15, 4, Article 28 (September 2010), 37 pages. DOI = 10.1145/1835420.1835421  
<http://doi.acm.org/10.1145/1835420.1835421>

[Chandrakasan1992Low] A.P. Chandrakasan, S. Sheng and R. W. Brodersen: "Low-power CMOS digital design", in IEEE J. Solid-State Circuits, vol. 27 (4), pp. 473-484, Apr. 1992.

[Veendrick1983Short] H. J. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits", in IEEE J. Solid-State Circuits, vol. 19, no. 4, pp.468-473, Aug. 1983.

[Roy2003Leakage] K. Roy, S. Mukhopadhyay and H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits", in Proc. IEEE, vol. 91, no 2, pp. 305-327, Feb. 2003.

[Dennard1984Generalized] G. Baccarani, M. Wordeman and R. Dennard, "Generalized scaling theory and its application to a 1/4 micron MOSFET design", in IEEE Trans. Electron Dev., vol.31, no. 4, pp. 452-462, Apr. 1984.

[Gonzalez1997Supply] R. Gonzalez, B. M. Gordon and M. A. Horowitz, "Supply and threshold voltage scaling for low power CMOS," in IEEE Journal of Solid-State Circuits, vol. 32, no. 8, pp. 1210-1216, Aug. 1997, doi: 10.1109/4.604077.

[Wei1999Design] ]Wei, L., Chen, Z., Roy, K., Johnson, M.C., Ye, Y. and De, V.K., 1999. Design and optimization of dual-threshold circuits for low-voltage low-power applications. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 7(1), pp.16-24.