



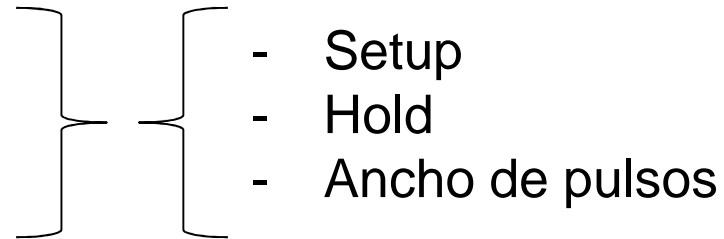
10. – Tiempos de Hardware

Introducción a los microprocesadores
2015

Tiempos de Hardware

- Requerimientos de tiempo para:

- el μ P: ¡¡ Todos los ciclos !!
- las memorias
- los periféricos (E/S)



- Varios grados de libertad:

- Frecuencia reloj
- Modelo μ P
- Modelo de memoria
- Inserción de T_w

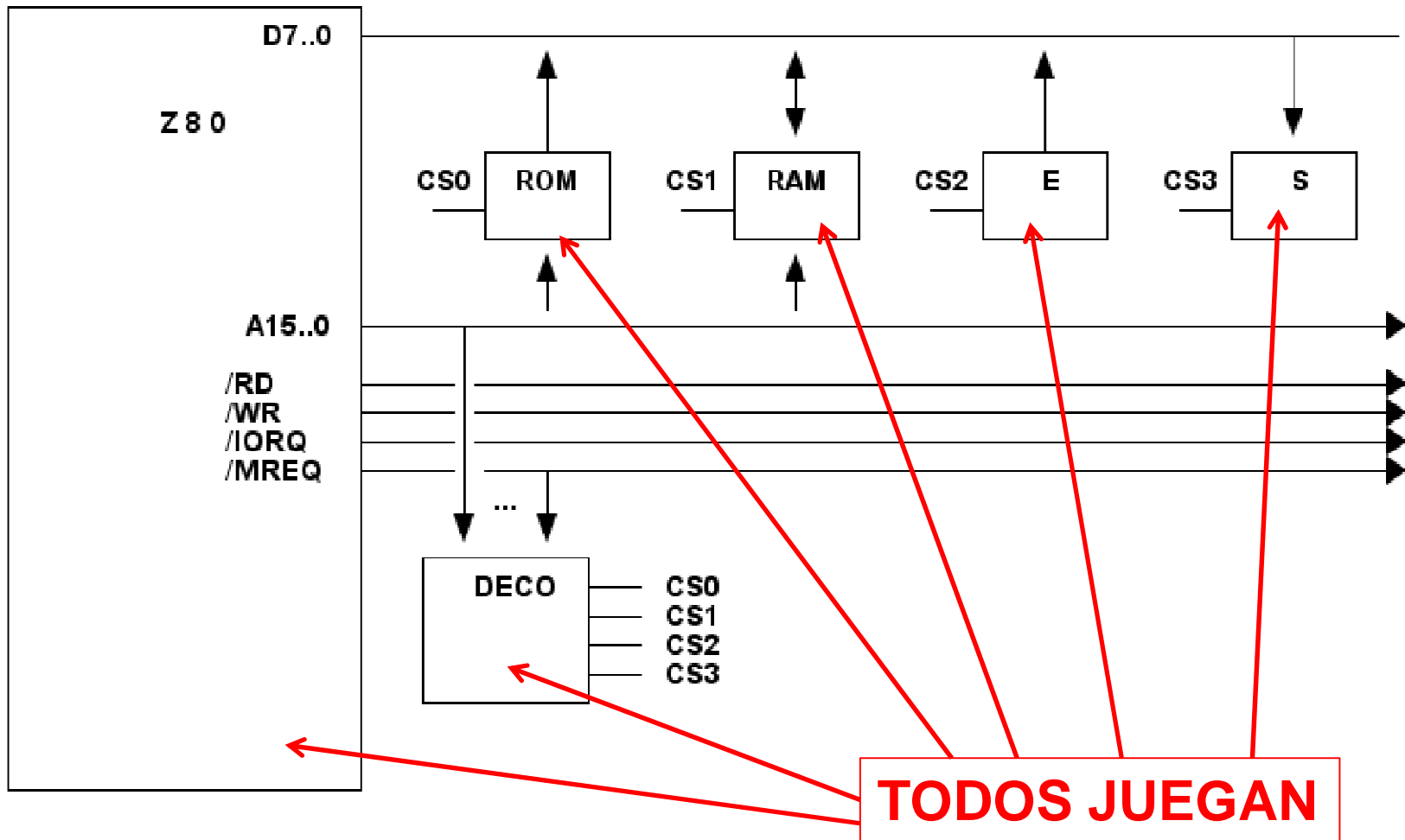
- Compromiso entre:

- Desempeño
- Consumo
- Costo

- Diferentes análisis según restricciones:

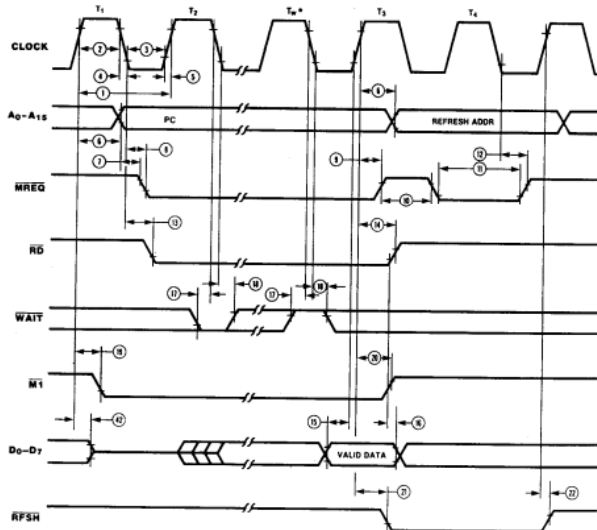
- μ P, fck fijo, 0 T_w => elegir la memoria
- μ P, fck fijo y chip memoria fijos => cuántos T_w necesito

Tiempos de Hardware



Tiempos de Hardware

- Requerimientos y retardos del Z80
 - En la cartilla
 - Marcados en diagramas de tiempos “CPU Timing”, pag. 24
 - Valores en sección “AC Characteristics”, pag. 35



No	Symbol	Parameter	Z84C0004		Z84C0006		Z84C0008		Z84C0010		Z84C0020[1]		Unit	Note
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
1	TcC	Clock Cycle time	250*	DC	162*	DC	125*	DC	100*	DC	50*	DC	nS	
2	TwCh	Clock Pulse width (high)	110	DC	65	DC	55	DC	40	DC	20	DC	nS	
3	TwCl	Clock Pulse width (low)	110	DC	65	DC	55	DC	40	DC	20	DC	nS	
4	TrC	Clock Fall time	30		20		10		10		10		nS	
5	TrC	Clock Rise time	30		20		10		10		10		nS	
6	TdC(A)	Address valid from Clock Rise		110		90		80		65		57	nS	[2]
7	TdA(MREQ)	Address valid to /MREQ Fall	65*		35*		20*		5*		-15*		nS	
8	TdC(MREQ)	Clock Fall to /MREQ Fall delay	85		70		60		55		40		nS	
9	TdC(MREQ)	Clock Rise to /MREQ Rise delay	85		70		60		55		40		nS	
10	TwMREQh	/MREQ pulse width (High)	110*		65*		45**		30*		10*		nS	[3]
11	TwMREQl	/MREQ pulse width (Low)	220*		132*		100*		75*		25*		nS	[3]
12	TdC(MERQ)	Clock Fall to /MREQ Rise delay	85		70		60		55		40		nS	
13	TdC(RD)	Clock Fall to /RD Fall delay	95		80		70		65		40		nS	
14	TdC(RD)	Clock Rise to /RD Rise delay	85		70		60		55		40		nS	
15	TsD(Cr)	Data setup time to Clock Rise	35		30		30		25		12		nS	
16	ThD(RD)	Data hold time after /RD Rise	0		0		0		0		0		nS	
17	TsWAIT(Cf)	/WAIT setup time to Clock Fall	70		60		50		20		7.5		nS	
18	ThWAIT(Cf)	/WAIT hold time after Clock Fall	10		10		10		10		10		nS	
19	TdCr(M1)	Clock Rise to /M1 Fall delay	100		80		70		65		45		nS	
20	TdCr(M1)	Clock Rise to /M1 Rise delay	100		80		70		65		45		nS	
21	TdCr(RFSH)	Clock Rise to /RFSH Fall delay	130		110		95		80		60		nS	
22	TdCr(RFSH)	Clock Rise to /RFSH Rise delay	120		100		85		80		60		nS	
23	TdC(RD)	Clock Fall to /RD Rise delay	85		70		60		55		40		nS	
24	TdC(RD)	Clock Rise to /RD Fall delay	85		70		60		55		40		nS	
25	TsD(Cf)	Data setup to Clock Fall during											nS	

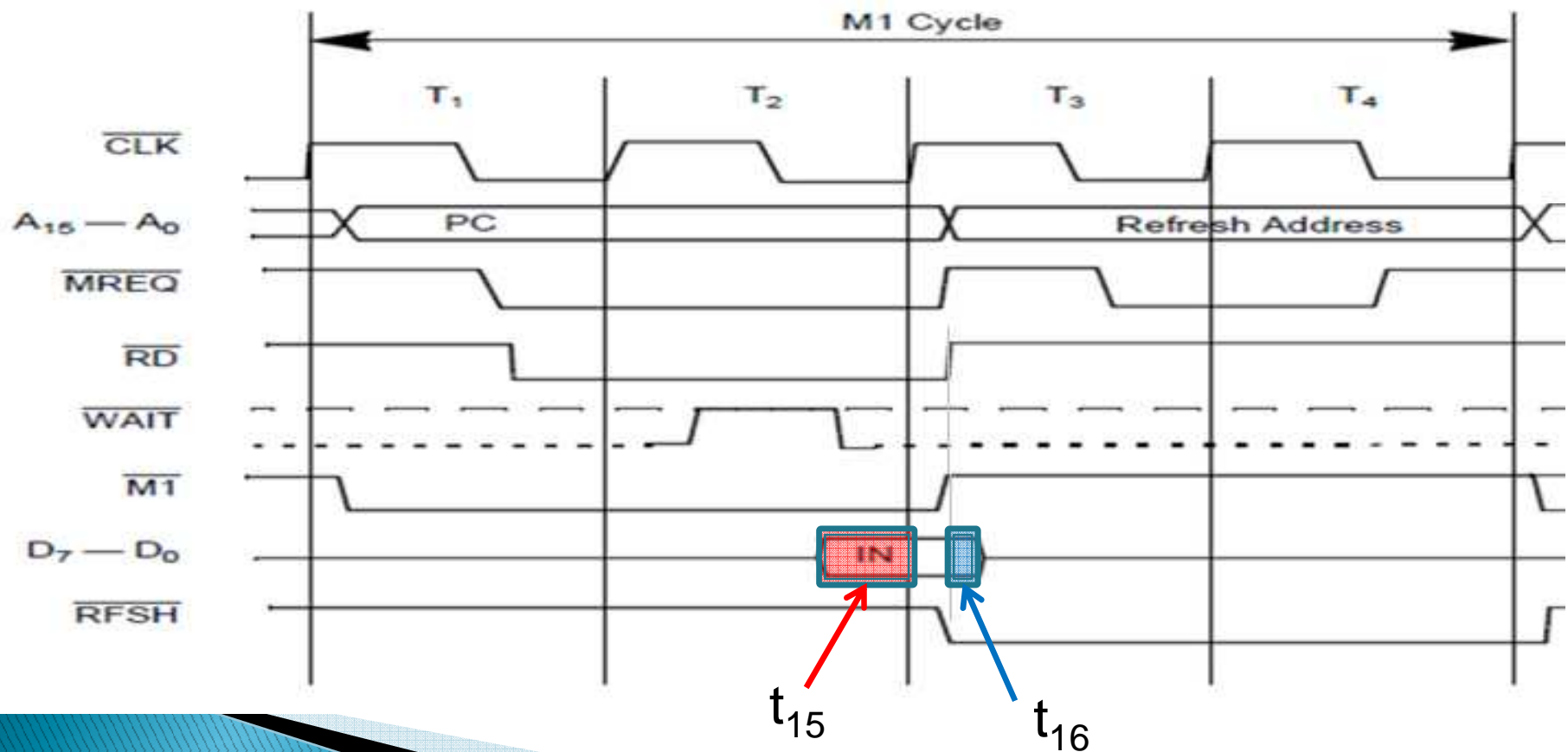
- Requerimientos y retardos de memorias y otros chips
 - En las respectivas hojas de datos

Tiempos de Hardware

- Es importante comprender qué es un requerimiento y que no.
- Los requerimientos están relacionados con las entradas al chip y pueden ser:
 - Tiempos de setup
 - Tiempos de hold
 - Ancho de pulso
- No son requerimientos aquellos relacionados con salidas del chip, que en general son:
 - Retardos
 - Ancho de pulso

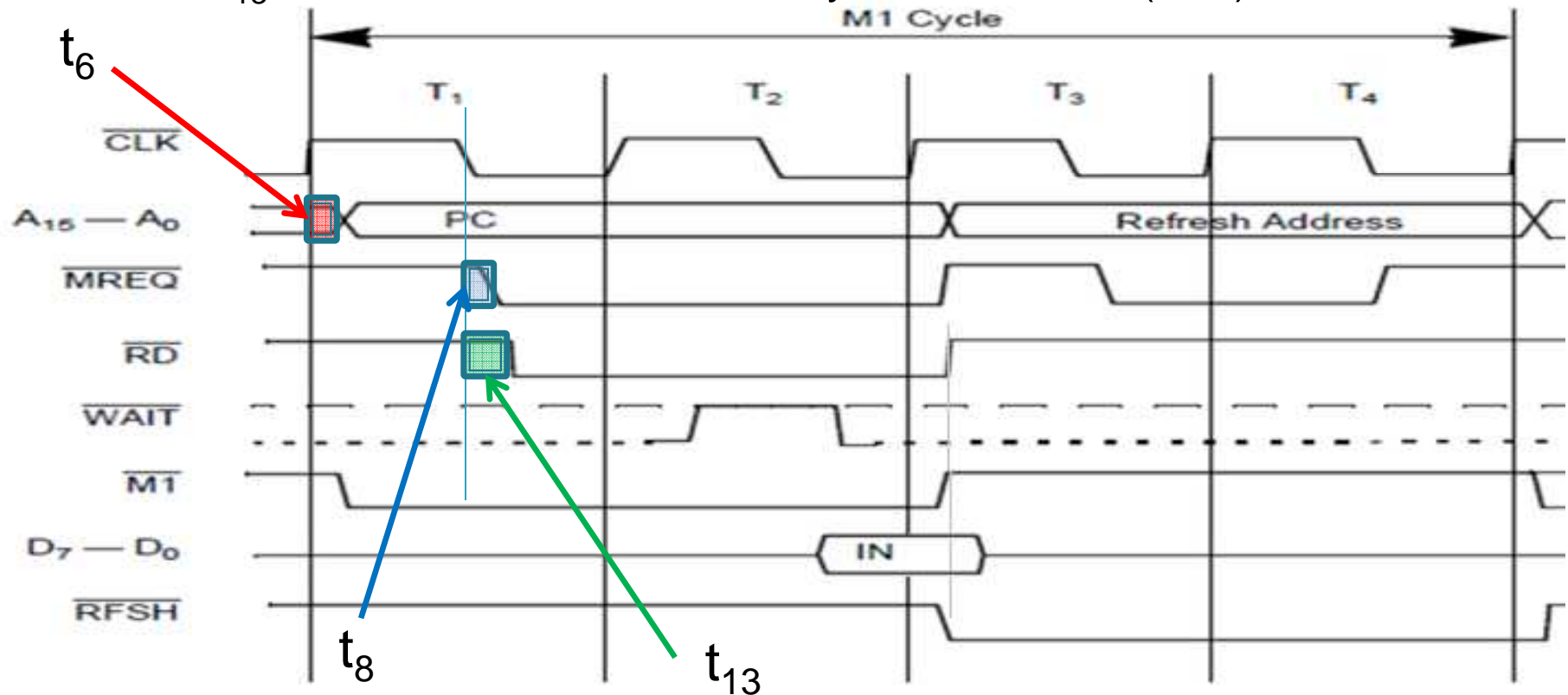
Ejemplo: Ciclo M1

- Es una lectura. ¿Qué requerimientos impone el Z80?
 - t_{15} : Data **setup** time to Clock Rise → $TsD(Cr)$
 - t_{16} : Data **hold** time after RD Rise → $ThD(RDr)$

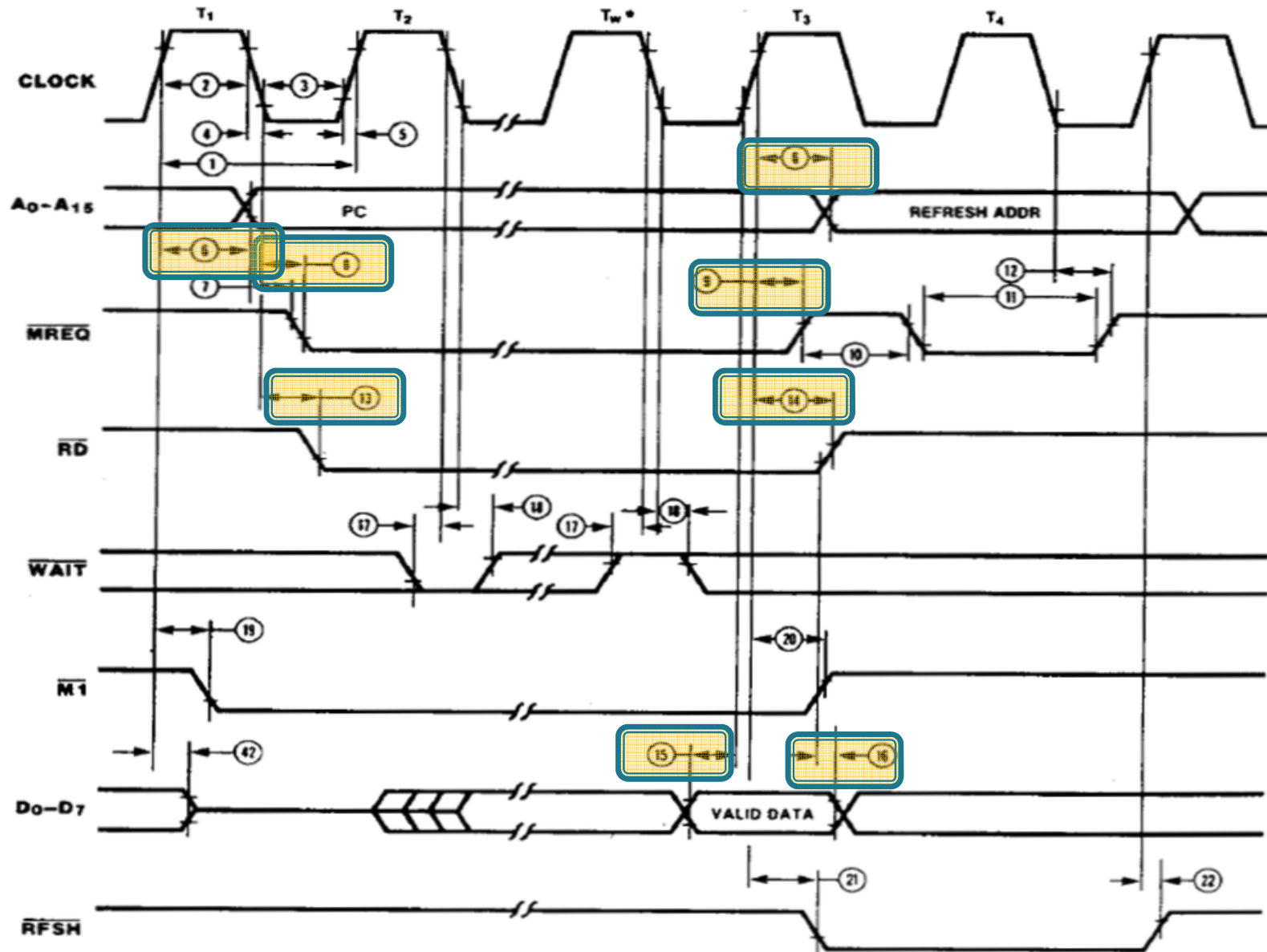


Ejemplo: Ciclo M1

- ¿Qué retardos da el Z80? (solo algunos)
 - t_6 : Address valid from Clock Rise → $TdCr(A)$
 - t_8 : Clock Fall to /MREQ Fall delay → $TdCf(MREQf)$
 - t_{13} : Clock Fall to /RD Fall delay → $TdCf(RDf)$



Ejemplo: Ciclo M1



Ejemplo: Ciclo M1

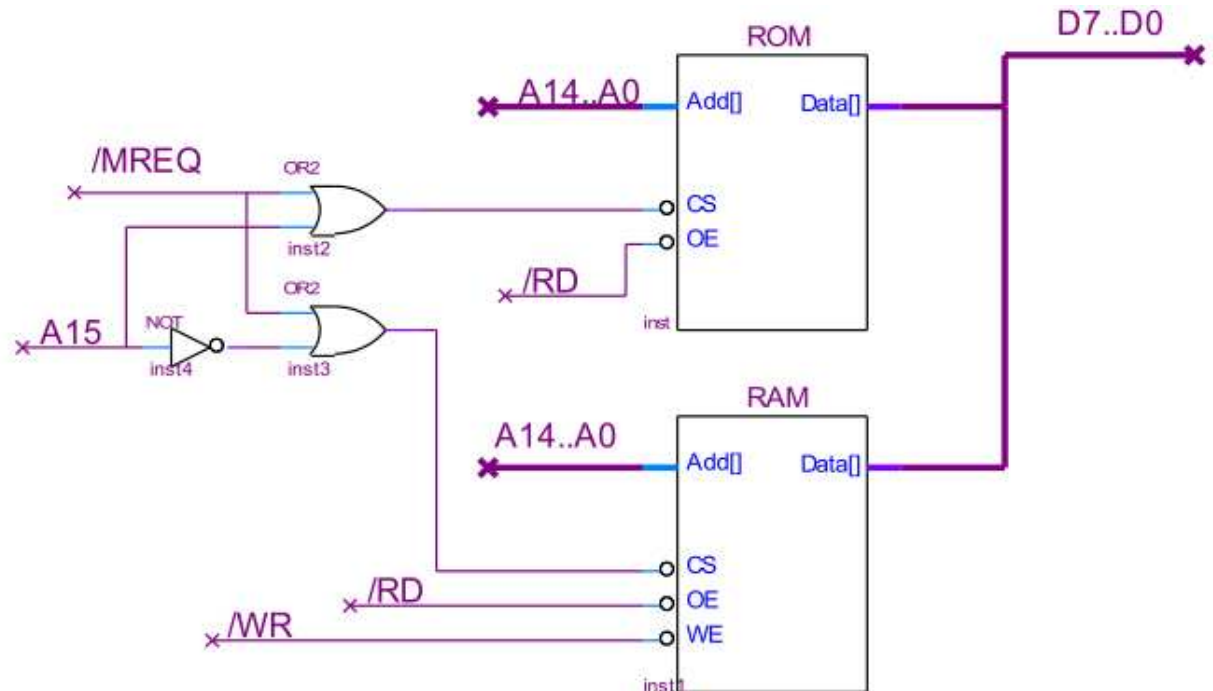
AC CHARACTERISTICS† (Z84C00/CMOS Z80 CPU)

$V_{cc}=5.0V \pm 10\%$, unless otherwise specified

No	Symbol	Parameter	Z84C0004**		Z84C0006		Z84C0008		Z84C0010		Z84C0020[1]		Unit	Note
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
1	TcC	Clock Cycle time	250*	DC	162*	DC	125*	DC	100*	DC	50*	DC	nS	
2	TwCh	Clock Pulse width (high)	110	DC	65	DC	55	DC	40	DC	20	DC	nS	
3	TwCl	Clock Pulse width (low)	110	DC	65	DC	55	DC	40	DC	20	DC	nS	
4	TfC	Clock Fall time		30		20		10		10		10	nS	
5	TrC	Clock Rise time		30		20		10		10		10	nS	
6	TdCr(A)	Address valid from Clock Rise		110		90		80		65		57	nS	[2]
7	TdA(MREQf)	Address valid to /MREQ Fall	65*		35*		20*		5*		-15*		nS	
8	TdCl(MREQf)	Clock Fall to /MREQ Fall delay		85		70		60		55		40	nS	
9	TdCr(MREQr)	Clock Rise to /MREQ Rise delay		85		70		60		55		40	nS	
10	TwMREQh	/MREQ pulse width (High)	110*		65*		45**		30*		10*		nS	[3]
11	TwMREQl	/MREQ pulse width (low)	220*		132*		100*		75*		25*		nS	[3]
12	TdCl(MREQr)	Clock Fall to /MREQ Rise delay		85		70		60		55		40	nS	
13	TdCl(RDf)	Clock Fall to /RD Fall delay		95		80		70		65		40	nS	
14	TdCr(RDr)	Clock Rise to /RD Rise delay		85		70		60		55		40	nS	
15	TsD(Cr)	Data setup time to Clock Rise		35		30		30		25		12	nS	

Ejemplo: Ciclo M1

- Sistema con 32K ROM y 32K RAM



- Retardo decodificación t_{deco}
 - t_{deco1} : desde \overline{MREQ} a CS_{ROM} y RAM
 - t_{deco2} : desde direcciones a CS_{ROM}
 - t_{deco3} : desde direcciones a CS_{RAM}

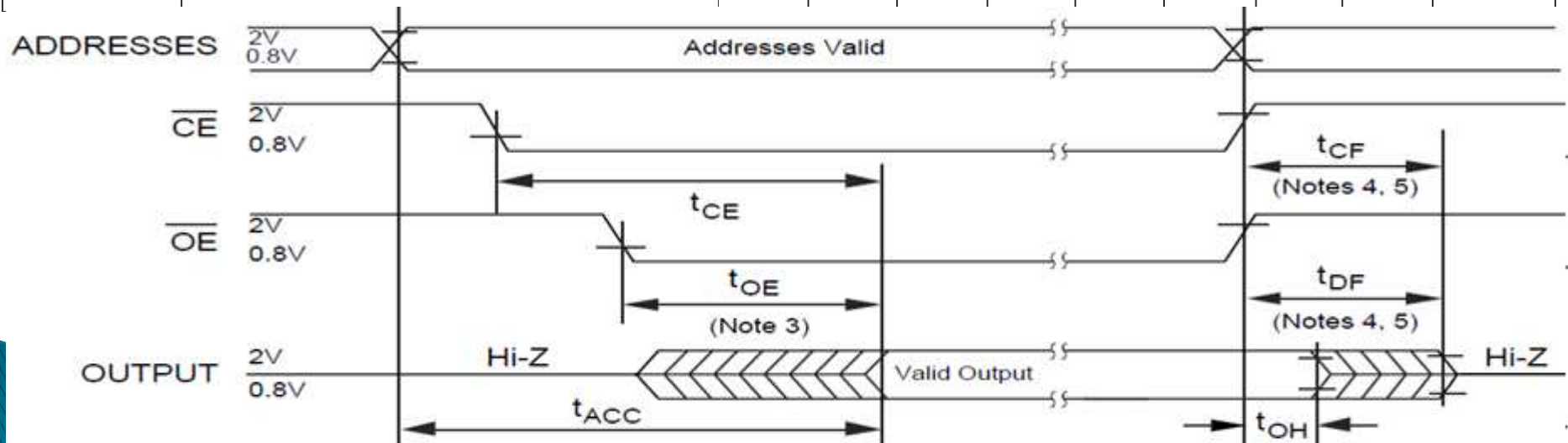
- ➔ retardo OR
- ➔ retardos OR
- ➔ retardos NOT + OR

Ejemplo: Ciclo M1

- Hoja de datos de la Memoria ROM

AC Electrical Characteristics Over Operating Range with $V_{PP} = V_{CC}$

Symbol	Parameter	90		120		150		200		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
t_{ACC}	Address to Output Delay		90		120		150		200	ns
t_{CE}	\overline{CE} to Output Delay		90		120		150		200	ns
t_{OE}	\overline{OE} to Output Delay		50		50		50		50	ns
t_{CF} (Note 2)	CE High to Output Float		30		30		45		55	ns
t_{DF} (Note 2)	\overline{OE} High to Output Float		35		35		45		55	ns
t_{OH} (Note 2)	Output Hold from Addresses, \overline{CE} or \overline{OE} , Whichever Occurred First	0		0		0		0		ns



Ejemplo: Ciclo M1

Tiempo Setup

- El tiempo de setup efectivo debe ser mayor o igual que t_{15} requerido

- (1) Tiempo de acceso desde direcciones

$$T1 + T2 + nTw - t6_{\max} - tacc_{\max} \geq t15$$

- (2) Tiempo desde /OE a datos válidos

$$T1_{\text{Low}} + T2 + nTw - t13_{\max} - toe_{\max} \geq t15$$

- (3) Tiempo desde CE a datos válidos

- por MREQ

$$T1_{\text{Low}} + T2 + nTw - t8_{\max} - tdeco1_{\max} - tce_{\max} \geq t15$$

- por direcciones

$$T1 + T2 + nTw - t6_{\max} - tdeco2_{\max} - tce_{\max} \geq t15$$

Se debe hallar “n” tal que se cumplan todas las inecuaciones.

Ejemplo: Ciclo M1

Tiempo hold

- El tiempo de hold efectivo debe ser mayor o igual que t_{16} requerido
- Si datos dejan de estar válidos por:

- (1) Cambio en direcciones

$$t6_{\min} + T_{oh_{\min}} - t14_{\max} \geq t16$$

- (2) Cambio en RD

$$T_{oh_{\min}} \geq t16$$

- (3) Cambio en CS

- por MREQ:

$$t9_{\min} + t_{deco1_{\min}} + T_{oh_{\min}} - t14_{\max} \geq t16$$

- por direcciones

$$t6_{\min} + t_{deco2_{\min}} + T_{oh_{\min}} - t14_{\max} \geq t16$$

- Parámetros deben cumplir ecuaciones, **no se arregla insertando T_w** .