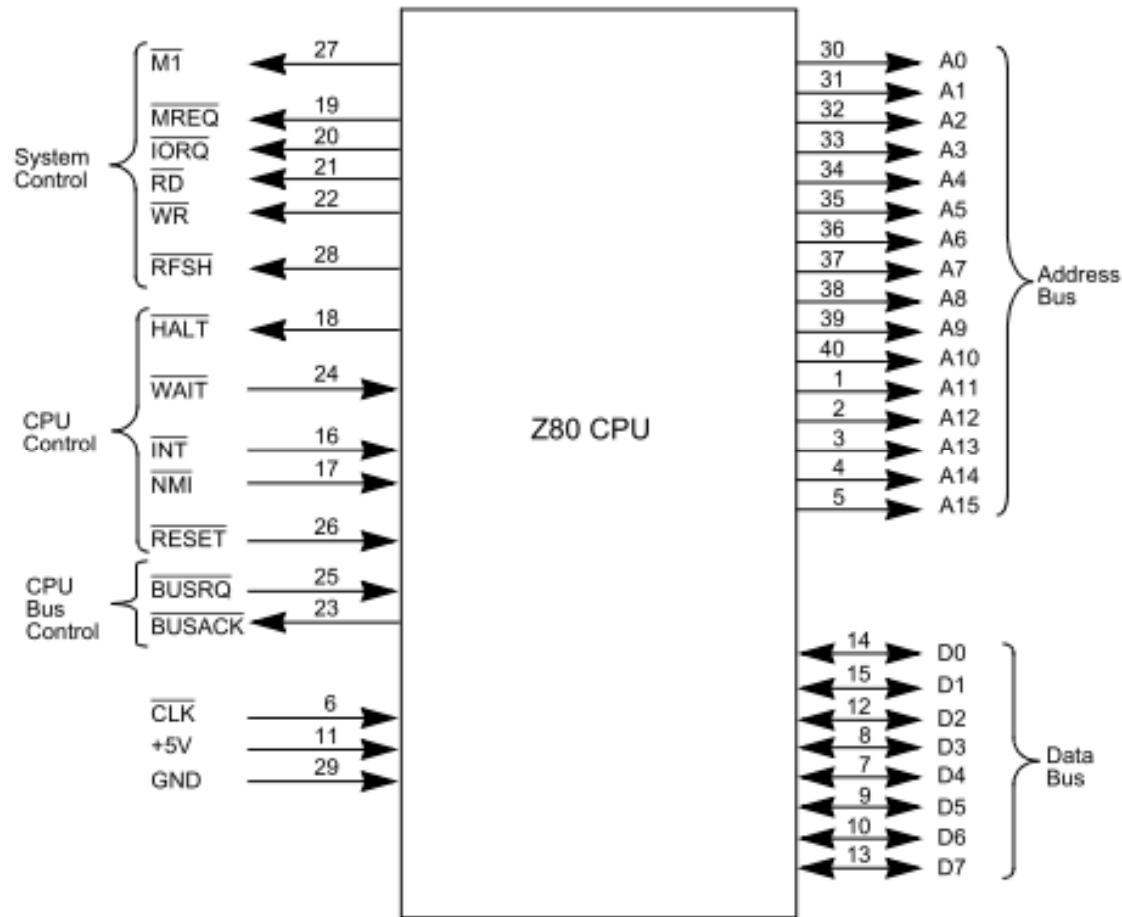




# 9. – Z80 – Pines y Ciclos de Bus.

Introducción a los microprocesadores  
2015

# Z80 – Pines



Son 40 pines:

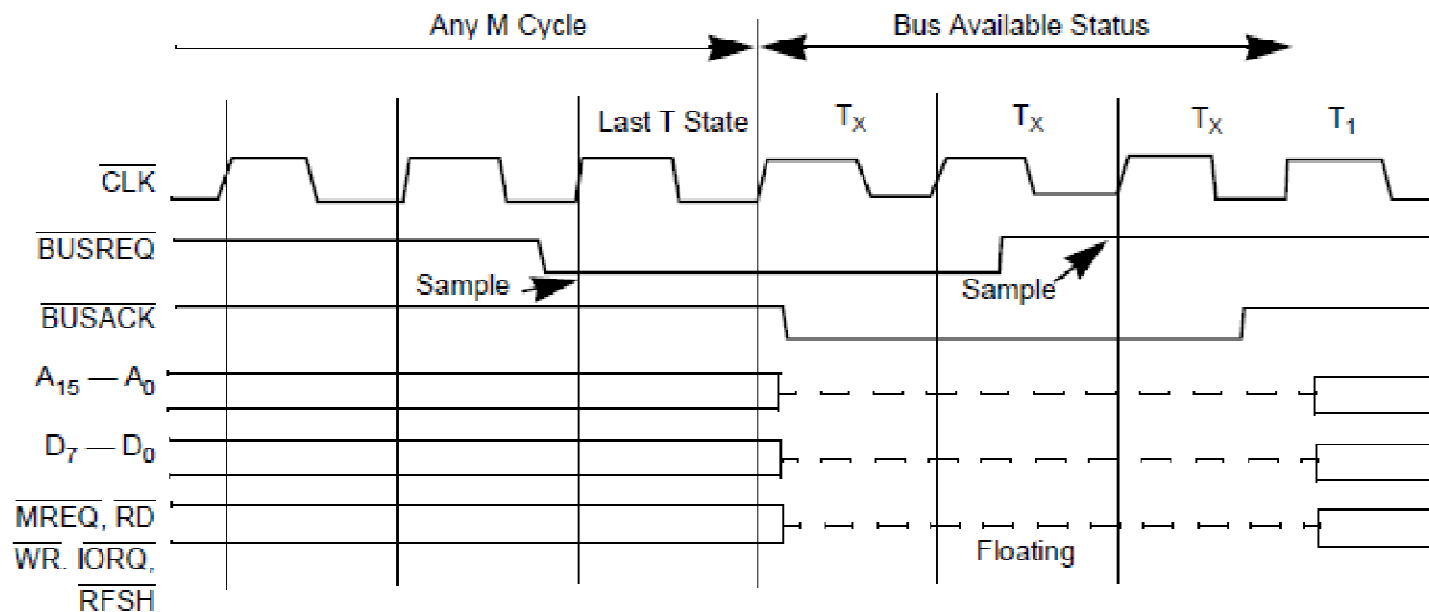
|              |    |
|--------------|----|
| Direcciones: | 16 |
| Datos:       | 8  |
| Control:     | 13 |
| Reloj:       | 1  |
| Fuente:      | 2  |

# Z80 – Pines

| Pin     | Tipo |           |   |
|---------|------|-----------|---|
| D0..D7  | I/O  | Triestado | Bus de Datos  |
| A0..A15 | O    | Triestado | Direcciones para memoria (16 bits) o E/S (8 bits)                                   |
| IORQ    | O    | Triestado | Sin M1: en A0..A7 dirección válida de E/S<br>Con M1: reconocimiento a interrupción. |
| MREQ    | O    | Triestado | A0..A15 dirección válida de memoria   |
| RD      | O    | Triestado | El Z80 espera ver datos válidos en D0..D7   |
| WR      | O    | Triestado | Hay datos válidos en D0..D7 puestos por el Z80                                      |

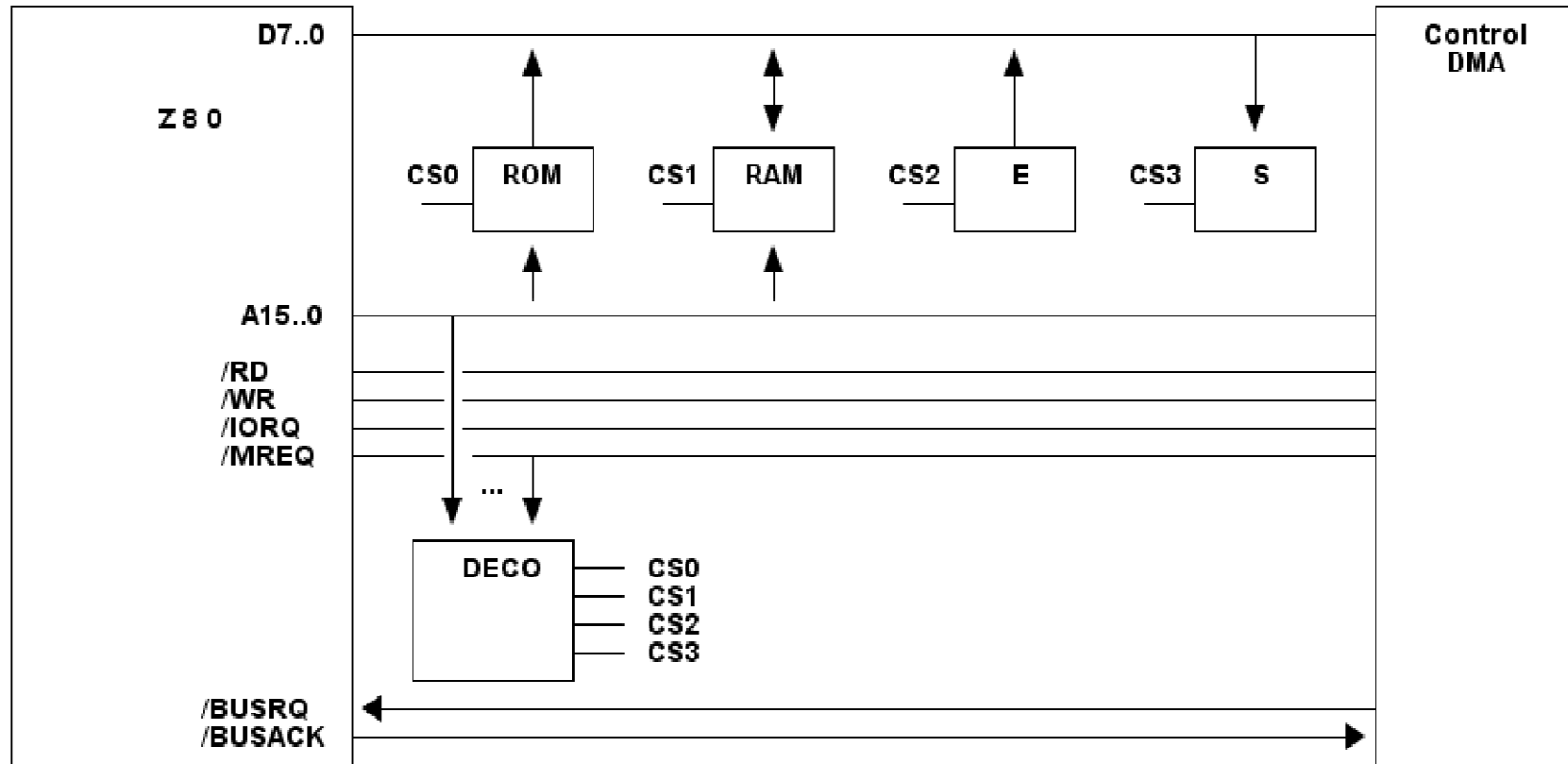
# Z80 – Pines

- ¿Por qué triestado en direcciones y control?
  - Entrada /BUSREQ solicita al Z80 que se retire del bus.
  - Salida /BUSACK avisa que ya se retiró
  - El que solicita el bus pasa a manejar datos, direcciones y control



**Bus Request/Acknowledge Cycle**

# Z80 – Pines



# Z80 – Pines

|           |   |   |
|-----------|---|---|
| BUSREQ    | I | Solicitud de Bus para DMA   |
| BUSACK    | O | Indica que el Z80 se retiro de los buses  |
| CLK       | I | Reloj de la máquina de estados  |
| RESET     | I | Reset   |
| M1        | O | Con MREQ: ciclo de búsqueda de OP CODE<br>Con IORQ: ciclo de reconocimiento de interrupción           |
| WAIT      | I | Solicitud de espera, Z80 prolonga ciclo de acceso a memoria o E/S                                     |
| NMI       | I | Solicitud Interrupción no enmascarable  |
| INT       | I | Solicitud Interrupción enmascarable   |
| HALT      | O | Indica Z80 en estado Halted (luego de instrucción HALT).<br>Sale de este estado con una interrupción. |
| RFSH      | O | Indica A0..A6 dirección válida para refresco memoria dinámica.  |
| Vcc y Gnd |   | Alimentación. 5VDC  |

# Z80 – Pin de RESET

- **/RESET**

- Lleva al procesador a un estado conocido.
- Activa durante 3T para garantizar inicialización.
- 2T después que RESET = 1 comienza la ejecución de primera instrucción

- Inicialización

- $PC \leftarrow 0x0000$  (dirección de programa inicial)
- $IFF1 \leftarrow 0$  (interrupciones deshabilitadas),
- $I \leftarrow 0$  (registro de vector de interrupciones)
- Modo 0 de interrupciones
- $R \leftarrow 0$  (registro de refresco de memoria)
- Bus de Datos y bus de direcciones en tercer estado
- Líneas de control inactivas

- Todo lo demás debe inicializarse explícitamente por software en el programa cargado a partir de la dirección 0000H

# Ciclos de Máquina

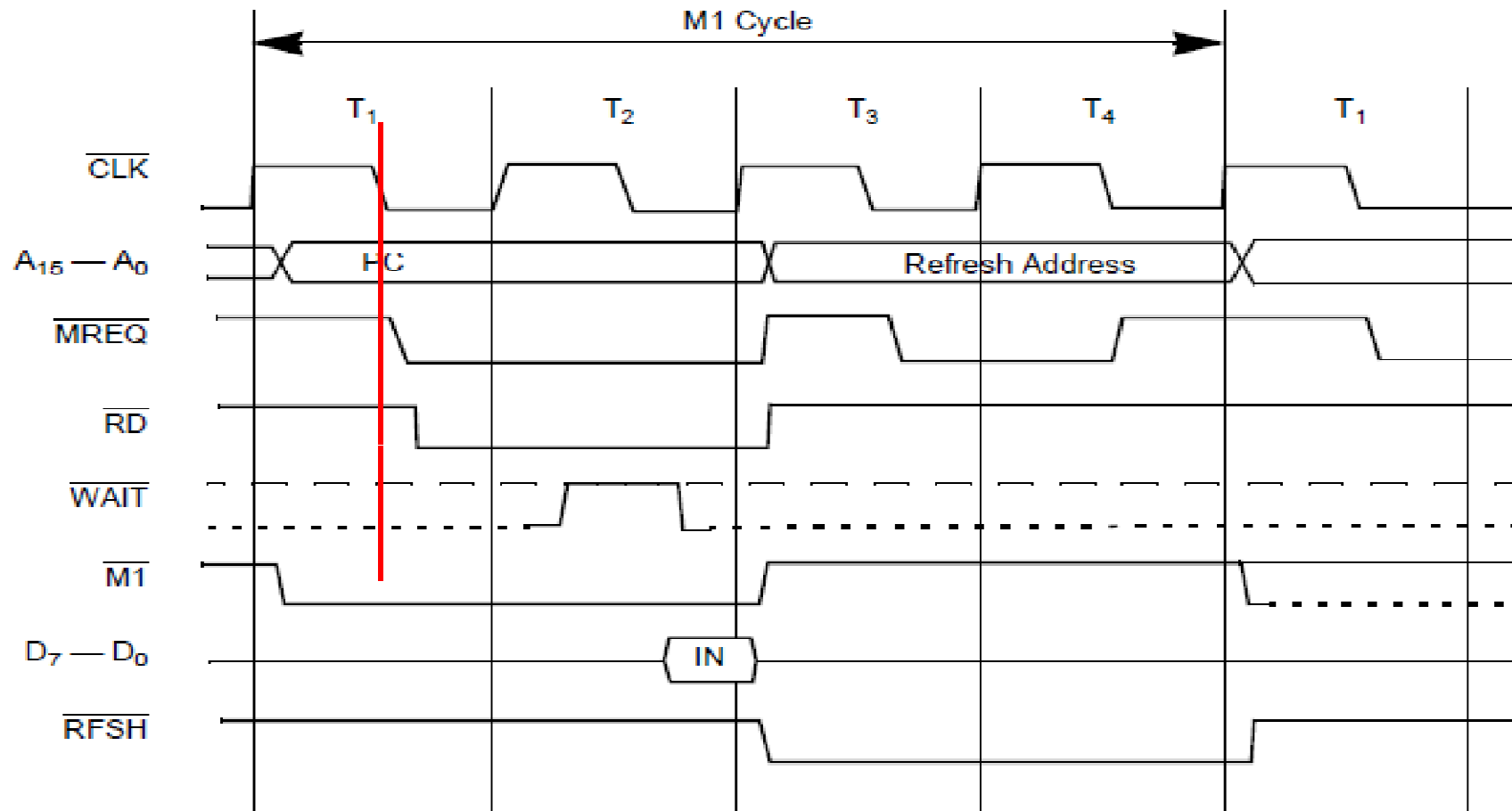
- Ciclos T: períodos de reloj
- Ciclos M:
  - Secuencias básicas en que se descompone la ejecución de cada instrucción.
  - La mayoría son transferencias en el bus
  - Por eso a veces se les llama ciclos de bus
- Ciclos M en el Z80
  1. M1: Búsqueda del código de operación y Refresh
  2. Lectura/Escritura Memoria
  3. Lectura/Escritura E/S
  4. Requerimiento/Concesión del BUS
  5. Solicitud/Reconocimiento de INT
  6. Solicitud/Reconocimiento de NMI
  7. Halt
  8. Reset
  9. “Operación Interna (bus inactivo)”



# Ciclo M1

- Dura 4 T
- ¿Por qué diferente de ciclo lectura?
- Decodificación de instrucción
  - Luego de leer OP CODE se debe decodificar.
  - 2 ciclos T en que no se usa el bus.
  - Z80 usa ese tiempo para refresco de memoria dinámica.
    - Solución habitual: controlador externo solicita bus (DMA) y maneja direcciones y control para refrescar la memoria dinámica.
    - Z80 facilita refresco
      - A0..A6 = R por 2T posteriores a la lectura del OP CODE
      - R se incrementa en cada ciclo M1, recorre todas las direcciones
      - Circuitería externa detecta refresco sensando la señal RFSH
- No vamos a profundizar uso de RFSH en el curso

# Ciclo M1

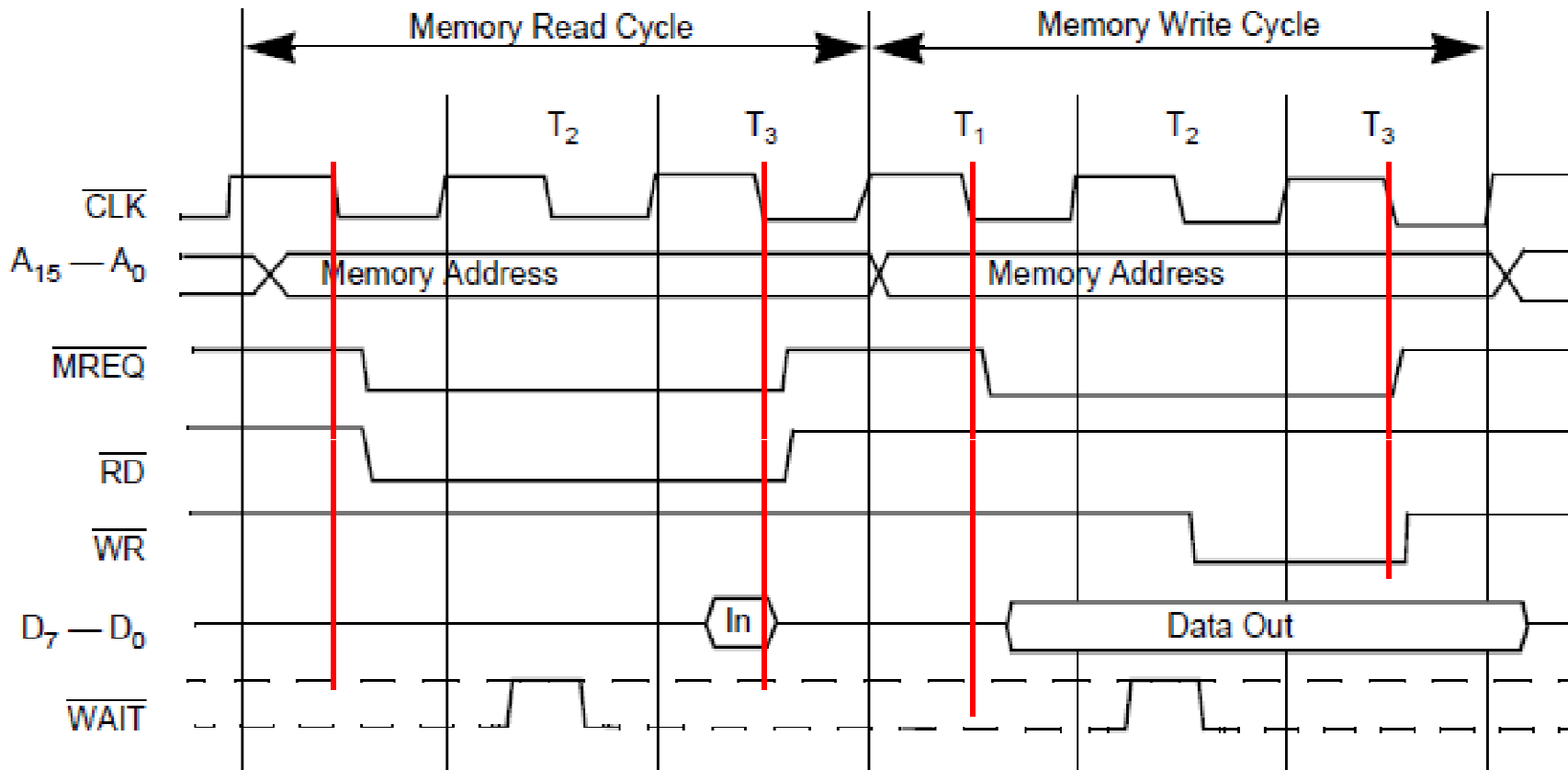


## Instruction Op Code Fetch

# Ciclo M1

- T1 y T2: Lectura del OPCODE
  - Direcciones válidas con valor PC luego de la subida de T1
  - /M1 activa luego de la subida de T1.
  - /RD y /MREQ activas luego de la bajada de T1. Indica direcciones válidas.
  - La Decodificación (/MREQ , Ai.....) debe llegar a la entrada /CE de la memoria y /RD a la /OE.
  - La memoria pone el contenido de la dirección PC sobre el bus de datos.
  - Z80 lee el bus de datos con flanco subida de T3
  - /M1, /RD y /MREQ pasan a inactivas luego de la subida de T3
- T3 y T4: Refresh
  - Se realiza el refresh de la DRAM (fuera de alcance de este curso)
  - Se decodifica el opcode y si su ejecución no requiere acceso a memoria, se ejecuta inmediatamente.

# Ciclo de Lectura/Escritura de Memoria



**Memory Read or Write Cycle**

# Ciclo de Lectura/Escritura de Memoria

- Lectura

- Dura 3T
- Similar a primera parte de M1
- No se activa /M1
- Lectura es en la bajada de T3
- Requerimiento para tiempo acceso menos restrictivo que ciclo M1.

- Escritura

- Dura 3T
- /MREQ y direcciones igual a M1.
- Datos válidos luego de bajada de T1.
- /WR baja luego de bajada de T2. Indica que hay datos válidos
- Escritura con subida de /WR (que es luego de bajada de T3)

# Ciclos de Máquina

- Ejemplo.

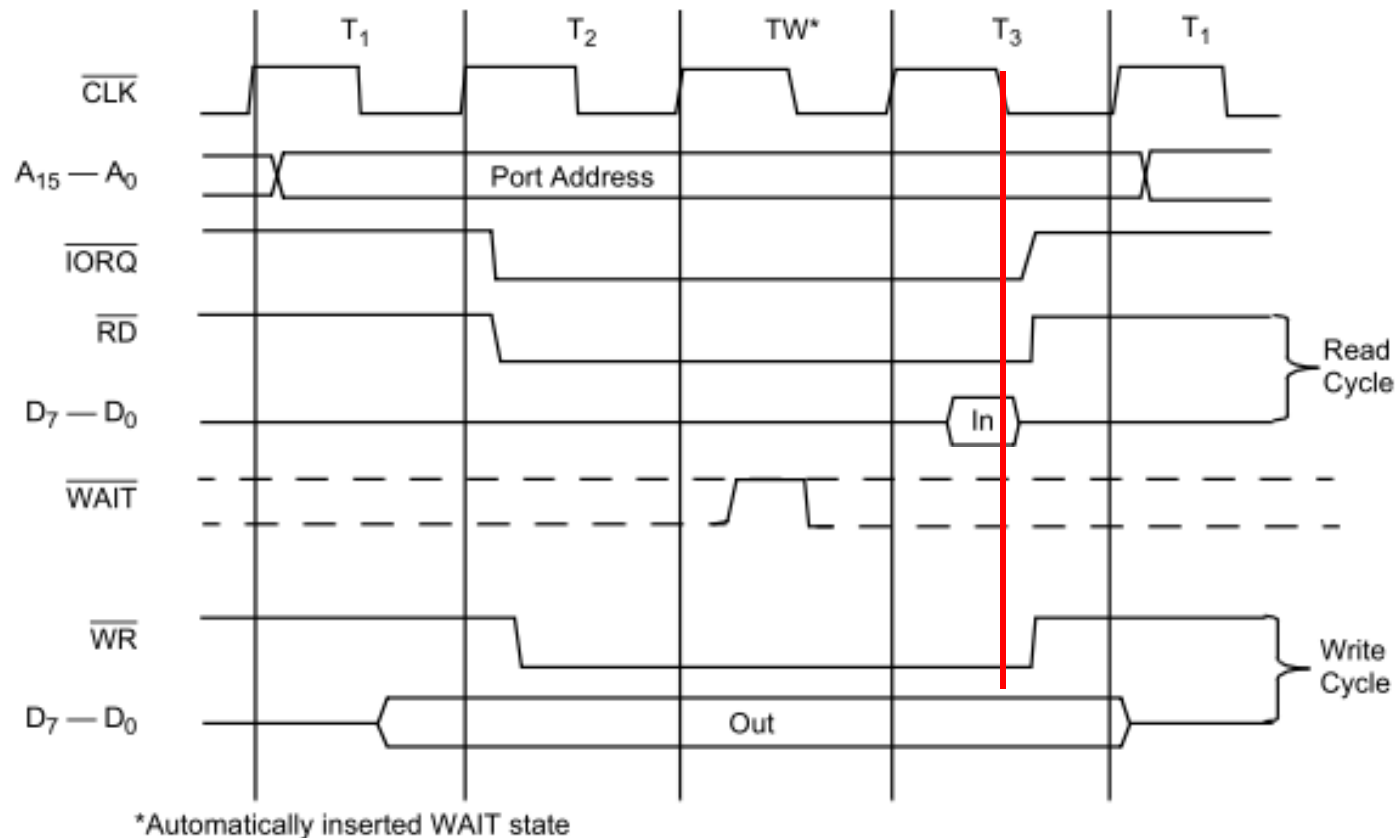
- Supongamos que tenemos un sistema con 32k ROM y 32kRAM, donde PC = 0x0100, H = 0x80 y L = 0x10.
- ¿Qué ciclos intervienen en la ejecución de LD (HL), 0x55 ?

(Opcode de LD (HL), nn : 0010 0001<sub>b</sub> = 0x21 )

| Acción           | Lectura Opcode | Lectura Parámetro | Ejecución de instrucción |
|------------------|----------------|-------------------|--------------------------|
| Ciclo de Maq.    | M1             | Lectura           | Escritura                |
| Bus Direcciones  | 0x0100         | 0x0101            | 0x8010                   |
| Bus Datos        | 0x21           | 0x55              | 0x55                     |
| Cantidad de T    | 4              | 3                 | 3                        |
| Accede a Memoria | ROM            | ROM               | RAM                      |

- De la catilla: Cantidad de ciclos T de la instrucción = **10 ≥ 4 + 3 + 3**

# Ciclo de Lectura/Escritura de Entrada/Salida



## 7. Input or Output Cycles

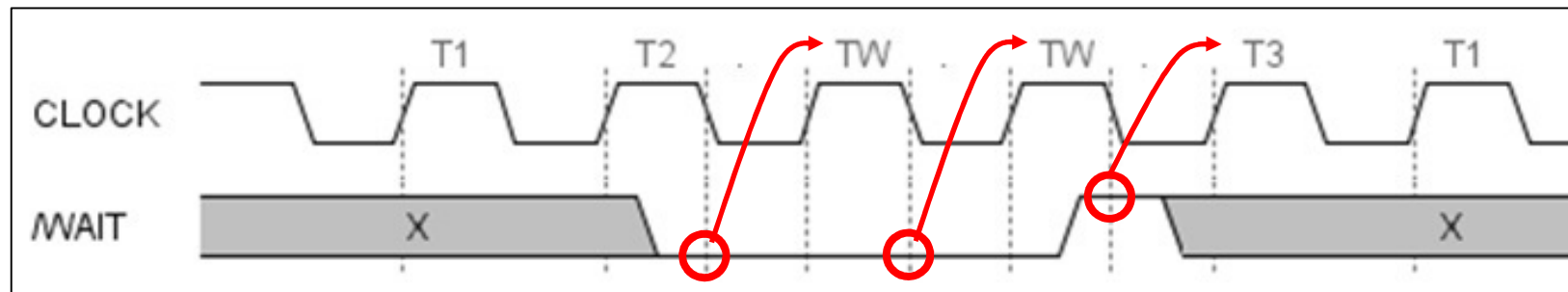
# Ciclo de Lectura/Escritura de Entrada/Salida

- Lectura Entrada
  - Dura 4T
  - Similar a Lectura de Memoria
  - Se activan /IORQ y /RD en la subida de T2
  - Inserta automáticamente un Tw (tiempo de espera) luego de T2.
  
- Escritura
  - Dura 4T
  - Similar a Escritura a Memoria
  - Se activan /IORQ y /WR en la subida de T2M1.
  - Inserta automáticamente un Tw (tiempo de espera) luego de T2.



# Ciclos de espera Tw

- Los Ciclos M pueden congelarse al final de T2
- Un circuito externo activa /WAIT en la bajada de T2
  - Se insertan ciclos de espera Tw
  - Se continúan los Tw hasta que /WAIT vuelva a inactiva
  - Permite “enlentecer” el uP para adaptarse a requerimientos en tiempos de acceso.



# Estado del BUS

- Se puede determinar qué tipo de ciclo de máquina está realizando la CPU.

| CICLO              | MREQ\ | IORQ\ | RD\ | WR\ | M1\ |
|--------------------|-------|-------|-----|-----|-----|
| M1                 | 0     | 1     | 0   | 1   | 0   |
| Lectura Mem        | 0     | 1     | 0   | 1   | 1   |
| Escritura Mem      | 0     | 1     | 1   | 0   | 1   |
| Lectura E/S        | 1     | 0     | 0   | 1   | 1   |
| Escritura E/S      | 1     | 0     | 1   | 0   | 1   |
| Reconocimiento INT | 1     | 0     | 1   | 1   | 0   |

Suponiendo que no hay solicitud del BUS (BUSREQ y BUSACK)