



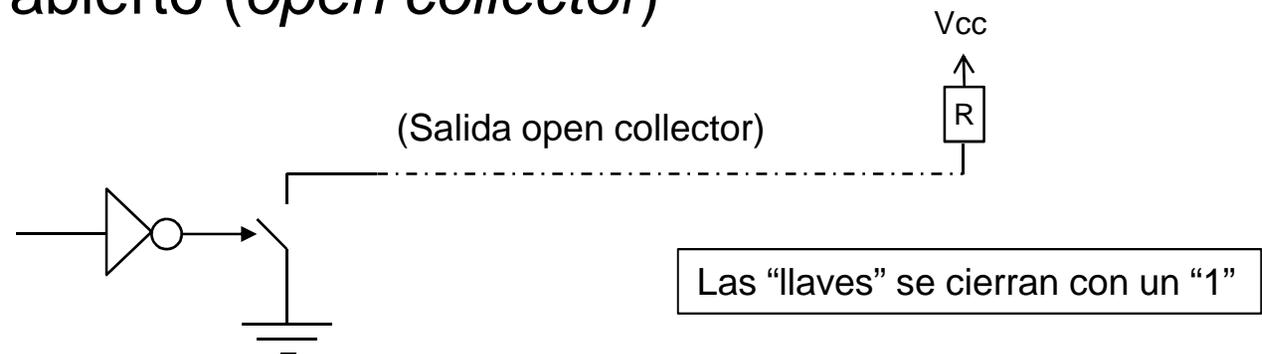
8. – Memorias. Características, Hojas de Datos y Conexión.

Introducción a los microprocesadores
2015

Modelo de compuertas

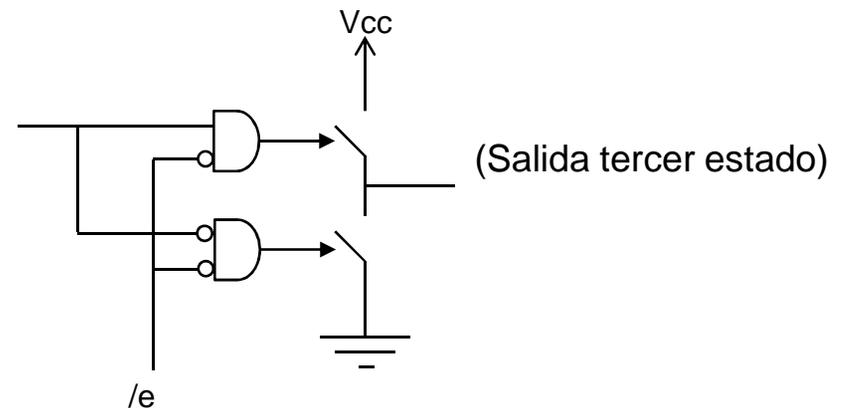
- Salida activa: “0” o “1”
- Salida colector abierto (*open collector*)

- Modelo:



- Salida Triestado (*tristate*).

- Modelo:



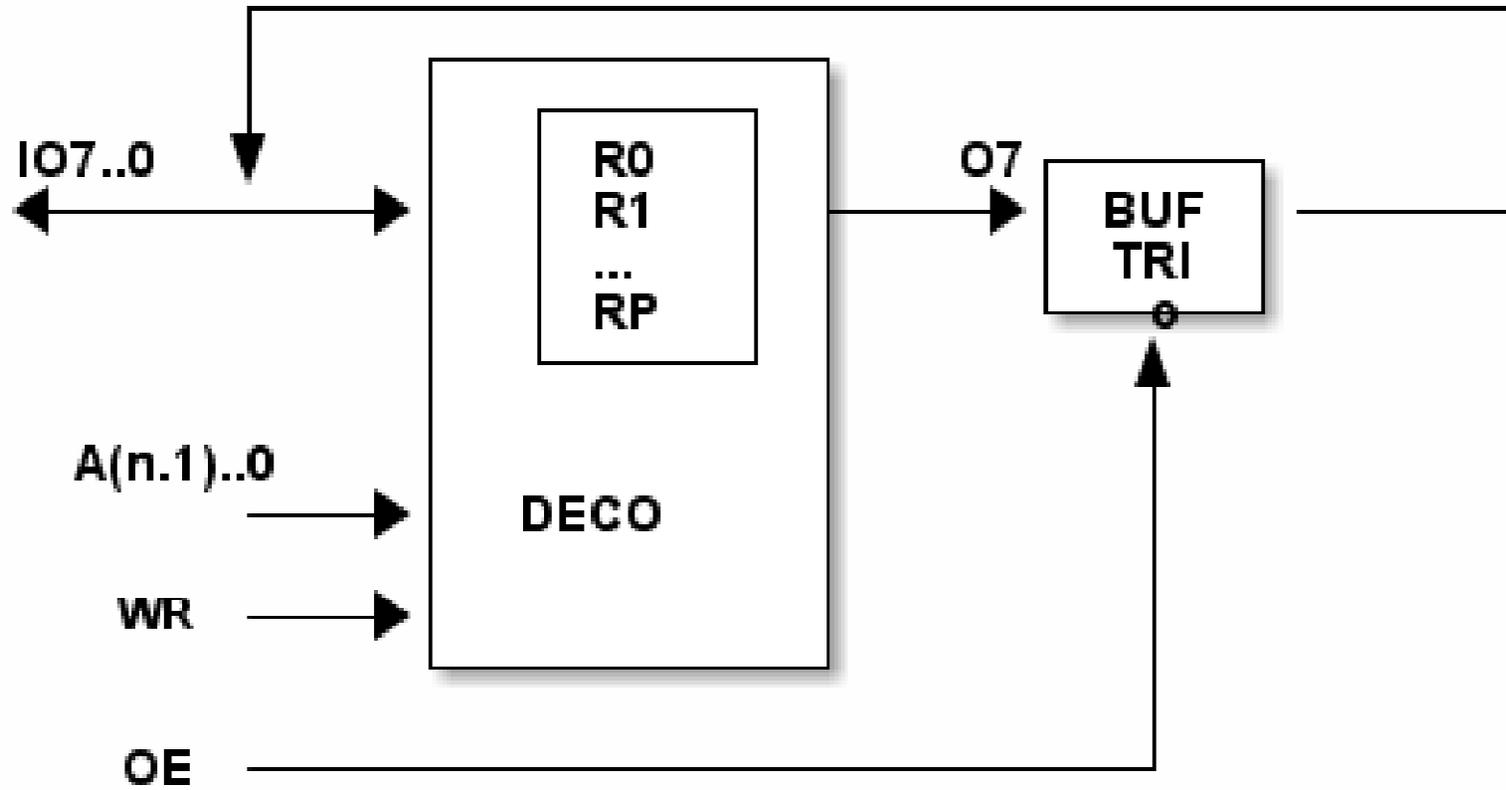
Modelo de compuertas

- Z80 clásico:
 - Bus Triestado
 - Solo un dispositivo “habilitado” por vez
 - Si me equivoco: **CORTOCIRCUITO!!**
- T80 laboratorio:
 - Bus Multiplexado (activas)
 - Solo un dispositivo “seleccionado” por vez
 - Si me equivoco: **ERROR LÓGICO, NO HAY CORTO !!**

Memorias

- Conjunto de registros
- Comparten
 - Líneas de entrada de datos
 - Líneas de salida de datos.
- Entradas de control
 - Escritura o lectura de un registro.
- Entradas de direccionamiento
 - Seleccionan cuál es el registro a escribir o leer.

Memorias



Memorias

Características

- Capacidad
 - cantidad de registros x el ancho de palabra
 - $p \times m$ indica p registros de m bits cada uno.
 - n entradas de direccionamiento
 - $p = 2^n$
 - Abreviaturas
 - $1K = 2^{10} = 1024$
 - $1M = 1K \cdot 1K = 2^{20}$
 - $1G = 2^{30}$

Memorias

Características

- Tiempo de acceso
 - Tiempo desde direcciones estables hasta registro seleccionado listo para hacer la transferencia
 - Lectura: contenido del registro en las salidas estable
 - Escritura: registro seleccionado pronto para ser escrito
 - Clasificación según el tiempo de acceso
 - Tiempo de acceso constante.
 - Tiempo de acceso variable.
 - Depende de la dirección. P. ej.: disco duro, unidad de cinta.
- Tiempo de ciclo
 - Es el tiempo mínimo entre dos transferencias consecutivas.

Memorias

Características

- Volátil o no volátil
 - No volátil
 - Conserva los datos aunque esté apagada
 - El programa inicial necesita estar en memoria No volátil.
 - ROM, PROM, EPROM, FLASH, RAM con baterías....
 - Volátil
 - Funciona mientras hay alimentación
 - DRAM, SDRAM...

Memorias

Características

- Solo lectura:
 - Son NO Volátiles
 - El contenido se fija de una vez y para siempre.
 - Tiempo de ciclo en escritura infinito.
 - **ROM** (Read Only Memory):
 - Contenido se determina en la fabricación. Es “a medida”.
 - Costo fijo alto, volúmenes de fabricación muy grandes.
 - **PROM** (Programmable ROM)
 - Contenido lo “programa” el usuario una única vez
 - Usualmente aplicando tensiones mayores a las de operación

Memorias

Características

- Lectura preferente
 - Se puede borrar y volver a grabar
 - Son también NO VOLATILES
 - “Tiempo de ciclo” para escritura mucho mayor que para lectura.
 - Accesible para volúmenes de producción bajos.
 - **EPROM** (Eraseable Programmable ROM):
 - Idem PROM, pero se puede borrar exponiéndola varios min a luz ultravioleta.
 - **EEPROM** (Electrically Eraseable PROM) (FLASH):
 - Se borra con voltajes mayores a los normales (similar a la grabación).
 - Posible borrado y reprogramación dentro del sistema
 - P. ej. para actualizar BIOS de un PC
 - Pendrives, tarjetas SD, etc.

Memorias

Características

- De lectura/escritura
 - En general son VOLATILES
 - Pueden ser NO VOLATILES usando pilas.
 - Tiempos de ciclo en lectura y en escritura son similares.
 - Nombre usual **RAM** (Random Access Memory). El nombre no es adecuado, pero es lo que se usa.
 - Las ROMs, etc. también son “random access” (en oposición a acceso secuencial).
 - Se clasifican en:
 - RAM Estática (SRAM)
 - RAM Dinámica (DRAM)

Memorias

Características

- **RAM estática:**
 - La celda que memoriza un bit es similar a un Flip-Flop.
- **RAM dinámica:**
 - Voltaje en un condensador
 - Requieren refresco de memoria dinámica
 - Condensador no ideal se descarga por fugas
 - Necesario censar y reescribir periódicamente (decenas de mseg) cada celda, de lo contrario se pierde la información
- RAM estática vs. dinámica
 - Estática ocupa mayor área, por tanto más cara
 - Estática es más rápida, se usa para memoria caché
 - Estática consume menos, mejor para equipos a batería

Circuitos Integrados

Hojas de datos

- Absolute Maximum Ratings
 - Niveles (tensión, corriente, temp.) que si se exceden dañan el chip.

ABSOLUTE MAXIMUM RATINGS

SYMBOL	RATING	VALUE	UNIT
V_{DD}	Power Supply Voltage	- 0.3 to 7.0	V
V_{IN}	Input Voltage	- 0.3* to 7.0	V
$V_{I/O}$	Input/Output Voltage	- 0.5* to $V_{DD} + 0.5$	V
P_D	Power Dissipation	1.0/0.6 **	W
T_{solder}	Soldering Temperature (10 s)	260	°C
T_{strg}	Storage Temperature	- 55 to 150	°C
T_{opr}	Operating Temperature	0 to 70	°C

* - 3.0 V when measured at a pulse width of 50 ns

** SOP

Circuitos Integrados

Hojas de datos

- Recommended Operating Conditions
 - Condiciones dentro de las cuales el fabricante garantiza que el dispositivo funciona de acuerdo a lo especificado..

DC RECOMMENDED OPERATING CONDITIONS ($T_a = 0^\circ$ to 70°C)

SYMBOL	PARAMETER	MIN	TYP	MAX	UNIT
V_{DD}	Power Supply Voltage	4.5	5.0	5.5	V
V_{IH}	Input High Voltage	2.2	–	$V_{DD} + 0.3$	
V_{IL}	Input Low Voltage	-0.3^*	–	0.8	
V_{DH}	Data Retention Supply Voltage	2.0	–	5.5	

* – 3.0 V when measured at a pulse width of 50 ns

Circuitos Integrados

Hojas de datos

- Electrical Characteristics o DC Characteristics
 - Niveles dentro de los que se mantienen las tensiones y corrientes del chip si se respetan las condiciones de operación recomendadas.

DC Electrical Characteristics Over Operating Range with $V_{PP} = V_{CC}$

Symbol	Parameter	Test Conditions	Min	Max	Units
V_{IL}	Input Low Level		-0.5	0.8	V
V_{IH}	Input High Level		2.0	$V_{CC} + 1$	V
V_{OL}	Output Low Voltage	$I_{OL} = 2.1 \text{ mA}$		0.4	V
V_{OH}	Output High Voltage	$I_{OH} = -2.5 \text{ mA}$	3.5		V

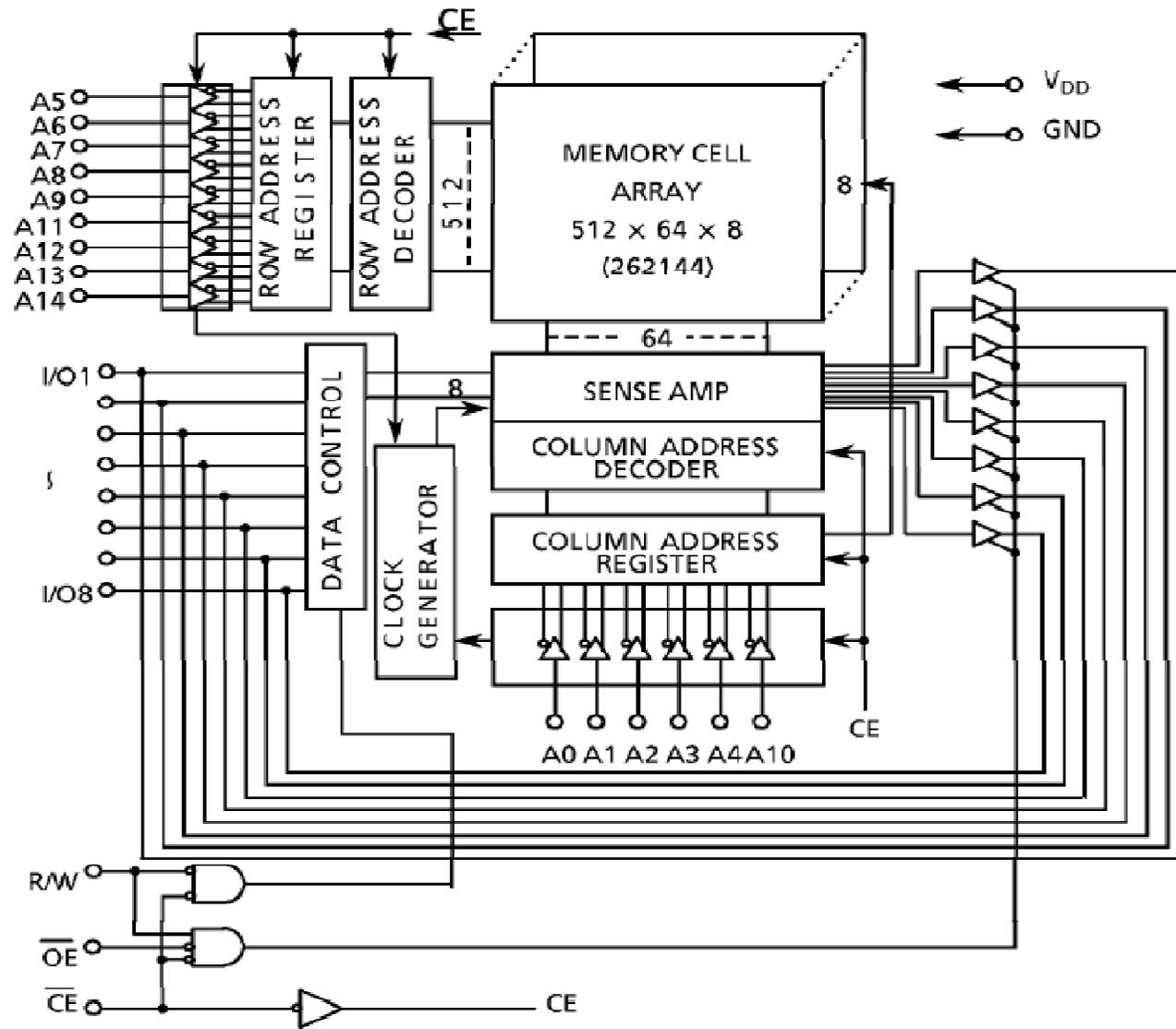
Circuitos Integrados

Hojas de datos

- AC Characteristics

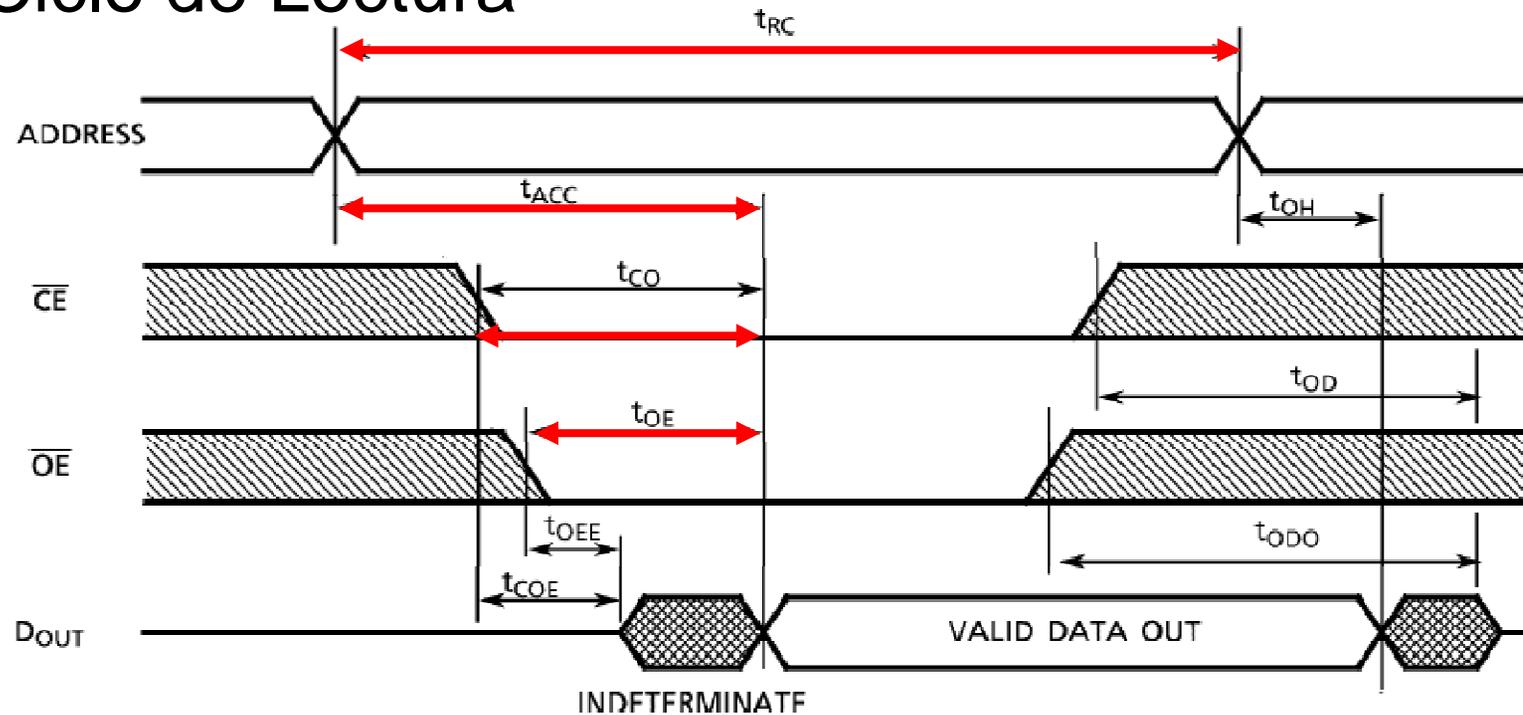
- Todo lo que tiene que ver con temporización
- Timing Requirements
 - Condiciones que deben ser respetadas por el circuito externo para que el chip funcione como se espera
 - P. ej. tiempo de setup en una entrada.
- Switching Characteristics
 - Qué tan rápido responden las salidas del chip a cambios en las entradas.
 - Suponiendo que se respetan los requerimientos de tiempo y las condiciones de operación recomendadas.

Memorias - Hojas de datos



Memorias – Hojas de datos

- Ciclo de Lectura



SYMBOL	PARAMETER	TC55257DPL/DFL/DFTL/DTRL					
		-55L		-70L		-85L	
		MIN	MAX	MIN	MAX	MIN	MAX
t_{RC}	Read Cycle Time	55	-	70	-	85	-
t_{ACC}	Address Access Time	-	55	-	70	-	85
t_{CO}	Chip Enable Access Time	-	55	-	70	-	85
t_{OE}	Output Enable Access Time	-	30	-	35	-	45

Memoria – Hojas de datos

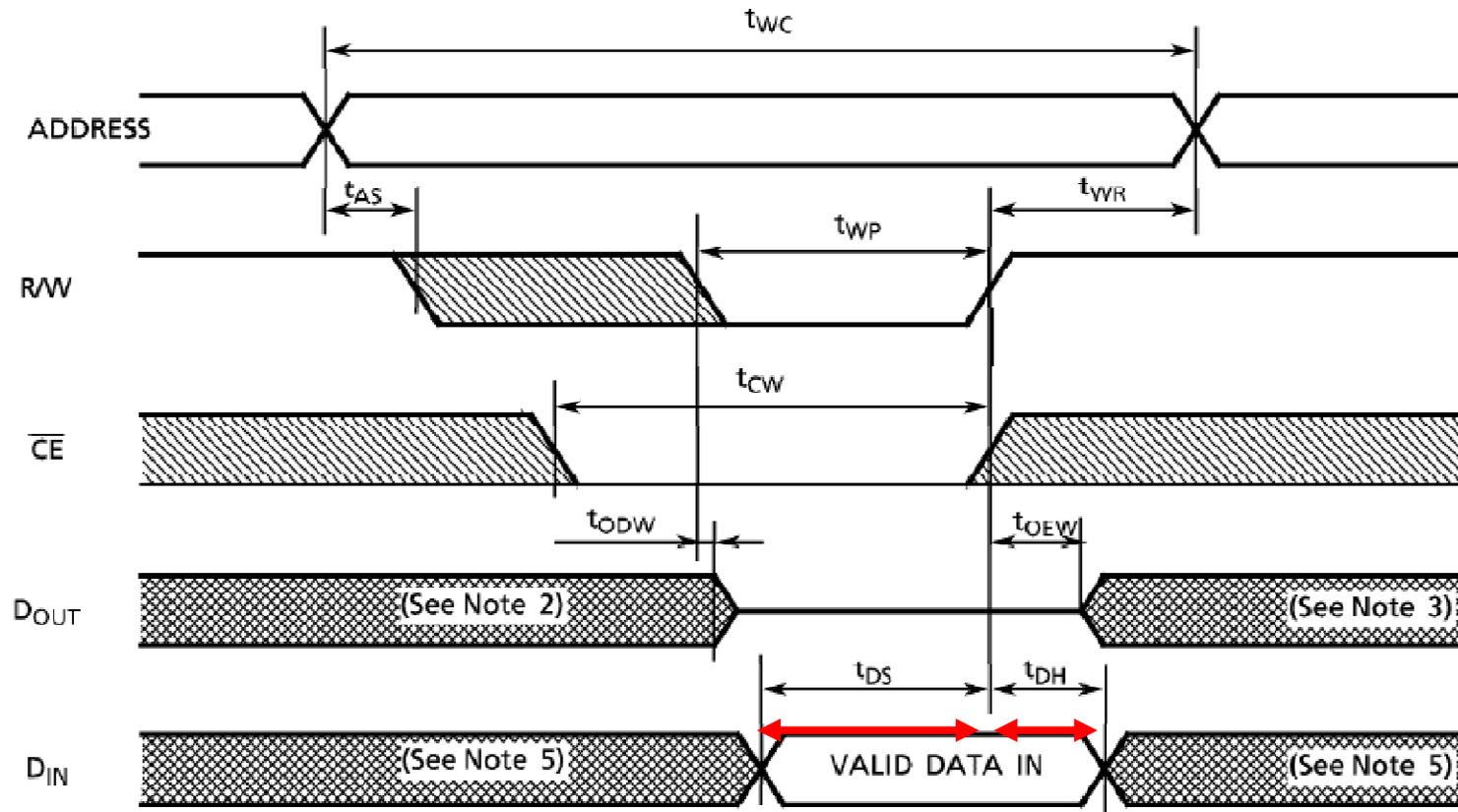
- Ciclo de Lectura

READ CYCLE

SYMBOL	PARAMETER	TC55257DPL/DFL/DFTL/DTRL						UNIT
		-55L		-70L		-85L		
		MIN	MAX	MIN	MAX	MIN	MAX	
t_{RC}	Read Cycle Time	55	–	70	–	85	–	ns
t_{ACC}	Address Access Time	–	55	–	70	–	85	
t_{CO}	Chip Enable Access Time	–	55	–	70	–	85	
t_{OE}	Output Enable Access Time	–	30	–	35	–	45	
t_{COE}	Chip Enable Low to Output Active	10	–	10	–	10	–	
t_{OEE}	Output Enable Low to Output Active	5	–	5	–	5	–	
t_{OD}	Chip Enable High to Output High-Z	–	20	–	25	–	30	
t_{ODO}	Output Enable High to Output High-Z	–	20	–	25	–	30	
t_{OH}	Output Data Hold Time	10	–	10	–	10	–	

Memoria – Hojas de datos

- Ciclo de Escritura



t_{DS}	Data Setup Time	25	–	30	–	40	–
t_{DH}	Data Hold Time	0	–	0	–	0	–

Memoria

Hojas de datos

- Ciclo de Escritura

WRITE CYCLE

SYMBOL	PARAMETER	TC55257DPL/DFL/DFTL/DTRL						UNIT
		-55L		-70L		-85L		
		MIN	MAX	MIN	MAX	MIN	MAX	
t_{WC}	Write Cycle Time	55	–	70	–	85	–	ns
t_{WP}	Write Pulse Width	45	–	50	–	60	–	
t_{CW}	Chip Enable to End of Write	50	–	60	–	65	–	
t_{AS}	Address Setup Time	0	–	0	–	0	–	
t_{WR}	Write Recovery Time	0	–	0	–	0	–	
t_{ODW}	R/W Low to Output High-Z	–	20	–	25	–	30	
t_{OEW}	R/W High to Output Active	5	–	5	–	5	–	
t_{DS}	Data Setup Time	25	–	30	–	40	–	
t_{DH}	Data Hold Time	0	–	0	–	0	–	

AC TEST CONDITIONS

Output load: 30 pF + one TTL gate (-55L)

100 pF + one TTL gate (-70L, -85L)

Input pulse level: 0.6 V, 2.4 V

Timing measurements: 1.5 V

Reference level: 1.5 V

t_R, t_F : 5 ns

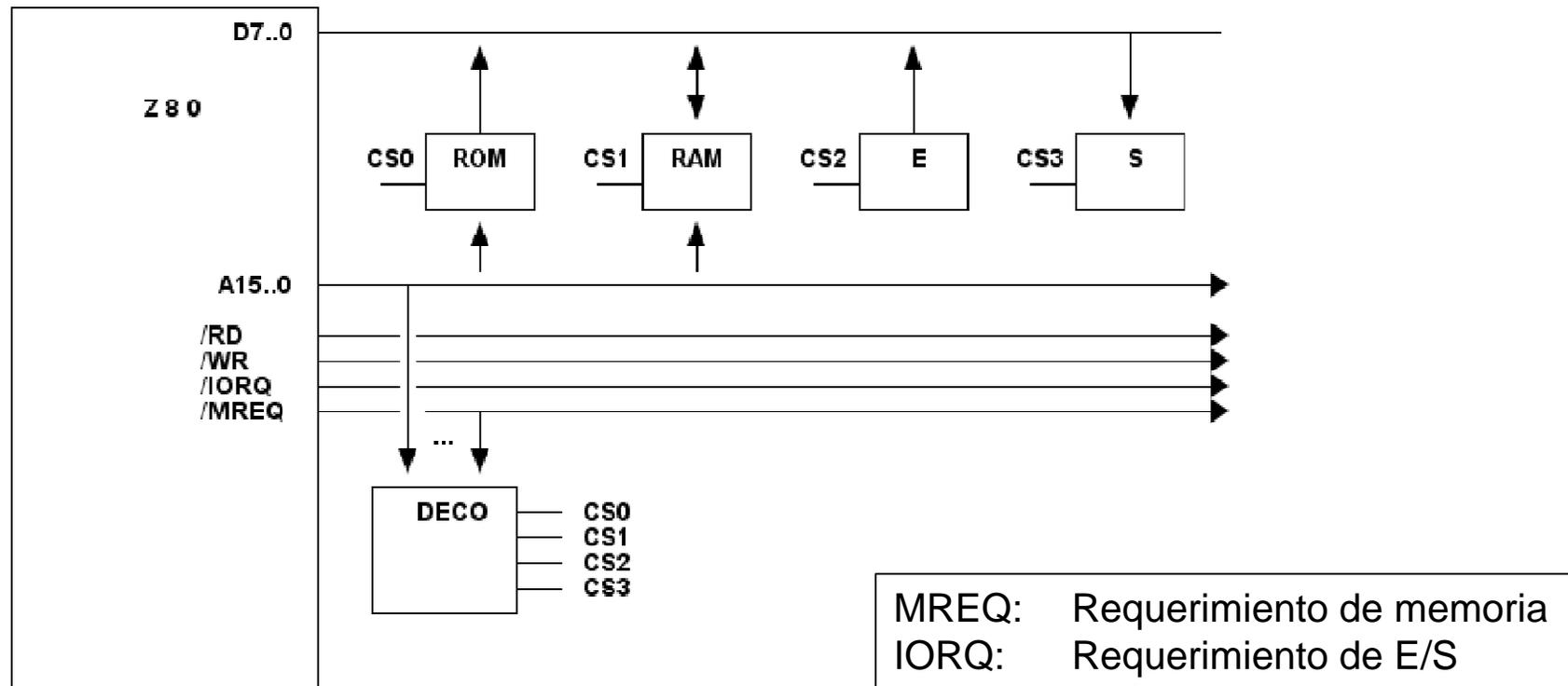
Memorias – Hojas de datos

- Referencia

Stephen M. Nolan and Jose M. Soltero, “**Understanding and Interpreting Standard-Logic Data Sheets**”, Application Report SZZA036B, Texas Instruments, May 2003.

- <http://www.ti.com/lit/an/szza036b/szza036b.pdf>

Memorias – Conexión al Z80

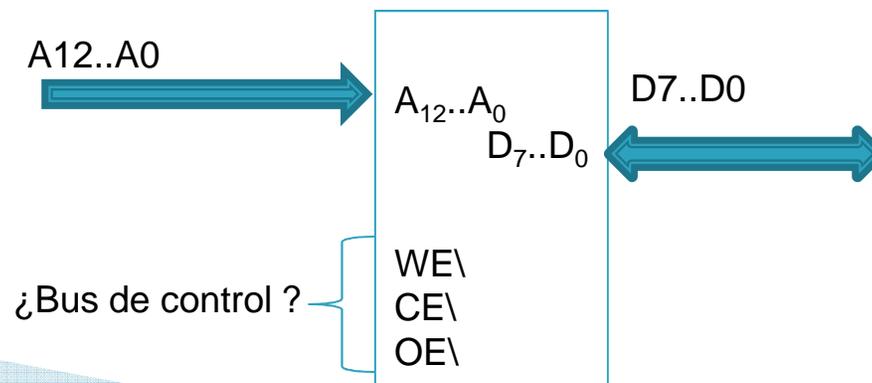


- Lectura de memoria: bajan /MREQ y /RD
- Escritura en memoria: bajan /MREQ y /WR
- Lectura de Entrada: bajan /IORQ y /RD
- Escritura en Salida: bajan /IORQ y /WR

Memorias – Conexión al Z80

En general la memoria se arma con varios chips (ROMs y RAMs).

- Bus de datos: se conectan directamente al bus de datos del Z80.
- Bus de direcciones: se conecta a los pines más bajos del bus de direcciones del Z80.
- Bus de Control:
 - /WE: en general se conecta a /WR del Z80
 - /OE: en general se conecta a /RD del Z80
 - /CE: se arma una lógica con la señal /MREQ y los pines direcciones del Z80 no conectados a la memoria. A esta lógica se le llama DECODIFICACIÓN DE MEMORIA

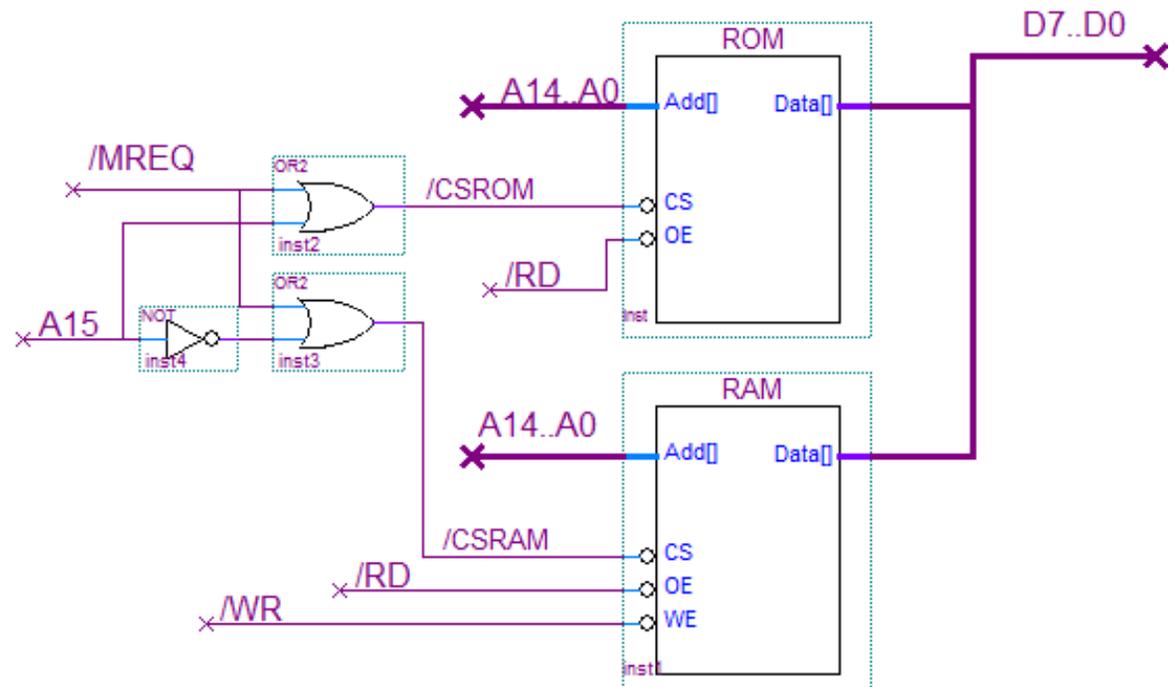
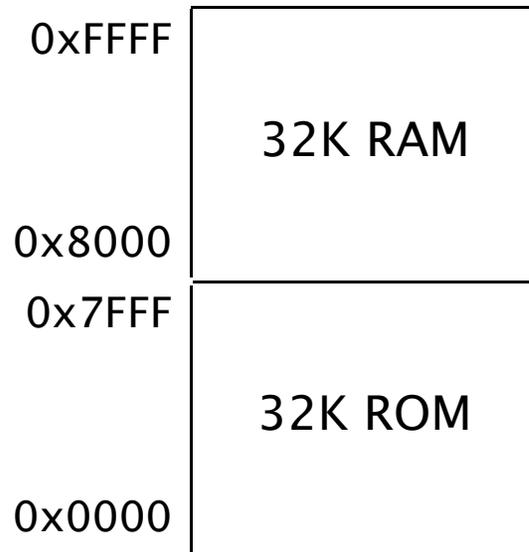


Decodificación de Memoria

Ejemplo 1:

- 32K de ROM y 32K de RAM (Chips 32Kx8 de ROM y RAM)

MAPA DE MEMORIA



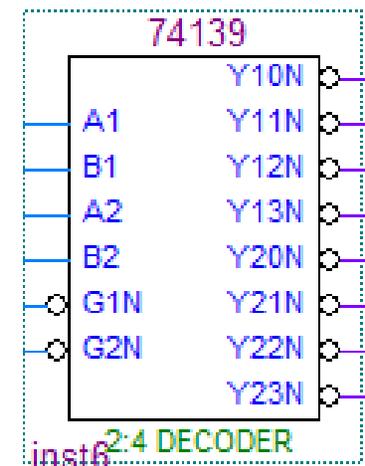
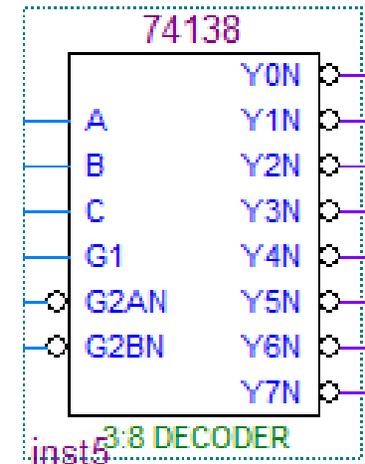
¿Qué chip de memoria se selecciona al ejecutar LD A, (0x8000)?

R: En particular $A_{15} = 1 \rightarrow /CSRAM = 0 \rightarrow$ se selecciona la RAM.

Decodificación de Memoria

Repaso decodificadores:

- 74138
 - Tiene 3 entradas de habilitación (2 nivel bajo y 1 nivel alto).
 - Si no está habilitado todas las salidas son 1.
 - Si está habilitado, la salida seleccionada en ABC es 0 y las restantes son 1.
- 74139
 - Equivale a 2 decodificadores en paralelo independientes.
 - Tiene 1 entradas de habilitación por nivel bajo para cada uno.
 - Si no está habilitado todas las salidas son 1.
 - Si está habilitado, la salida seleccionada en AB es 0 y las restantes son 1.



Decodificación de Memoria

Ejemplo 2:

- 32K de ROM y 8K de RAM.
- Chips: ROM 16Kx8 y RAM 2Kx8
 - ROM: Con $A_0 \dots A_{13}$ direcciono 16K
 → puedo decodificar con $A_{14} \dots A_{15}$
 - RAM: Con $A_0 \dots A_{10}$ direcciono 2K
 → puedo decodificar con $A_{11} \dots A_{15}$

MAPA DE MEMORIA

0xFFFF	VACIO
	VACIO
0x9800	RAM 3
0x9000	RAM 2
0x8800	RAM 1
0x8000	RAM 0
0x7FFF	ROM 1
0x4000	
0x3FFF	ROM 0
0x0000	

VARIANTE 1

A15	A14	A13	A12	A11	Memoria
1	0	0	1	1	RAM 3
1	0	0	1	0	RAM 2
1	0	0	0	1	RAM 1
1	0	0	0	0	RAM 0
0	1	X	X	X	ROM 1
0	0	X	X	X	ROM 0

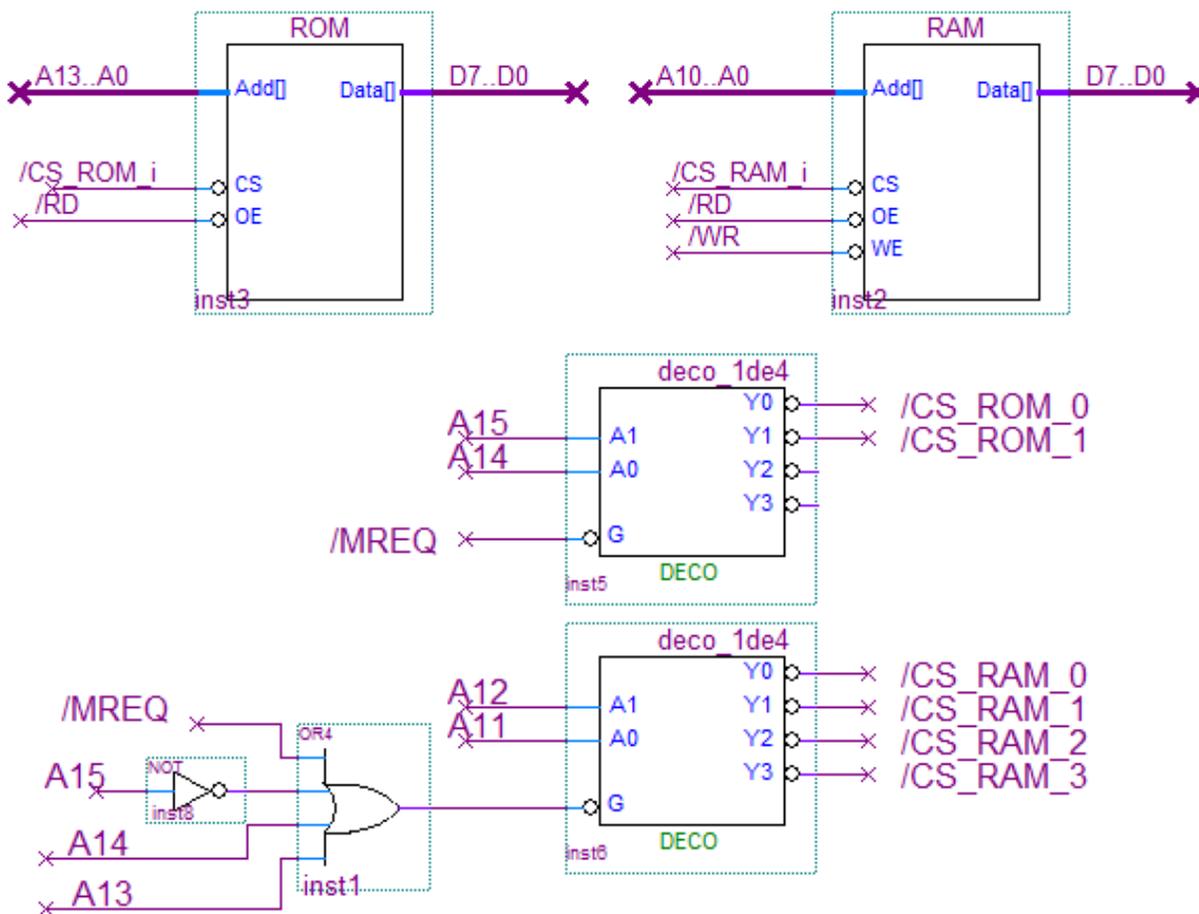
Decodificación de Memoria

Ejemplo 2:

- 32K de ROM y 8K de RAM.
- Chips: ROM 16Kx8 y RAM 2Kx8

VARIANTE 1

A15	A14	A13	A12	A11	Memoria
1	0	0	1	1	RAM 3
1	0	0	1	0	RAM 2
1	0	0	0	1	RAM 1
1	0	0	0	0	RAM 0
0	1	X	X	X	ROM 1
0	0	X	X	X	ROM 0



Decodificación de Memoria

Ejemplo 2:

- 32K de ROM y 8K de RAM.
- Chips: ROM 16Kx8 y RAM 2Kx8

VARIANTE 2

A15	A14	A13	A12	A11	Memoria
1	X	X	1	1	RAM 3
1	X	X	1	0	RAM 2
1	X	X	0	1	RAM 1
1	X	X	0	0	RAM 0
0	1	X	X	X	ROM 1
0	0	X	X	X	ROM 0

MAPA DE MEMORIA

0xFFFF	RAM 3 FANTASMA
	RAM 2 FANTASMA
	RAM 1 FANTASMA
0xE000	RAM 0 FANTASMA
	RAM 3 FANTASMA
	RAM 2 FANTASMA
	RAM 1 FANTASMA
0xC000	RAM 0 FANTASMA
	RAM 3 FANTASMA
	RAM 2 FANTASMA
	RAM 1 FANTASMA
0xA000	RAM 0 FANTASMA
0x9800	RAM 3
0x9000	RAM 2
0x8800	RAM 1
0x8000	RAM 0
0x7FFF	ROM 1
0x4000	
0x3FFF	ROM 0
0x0000	

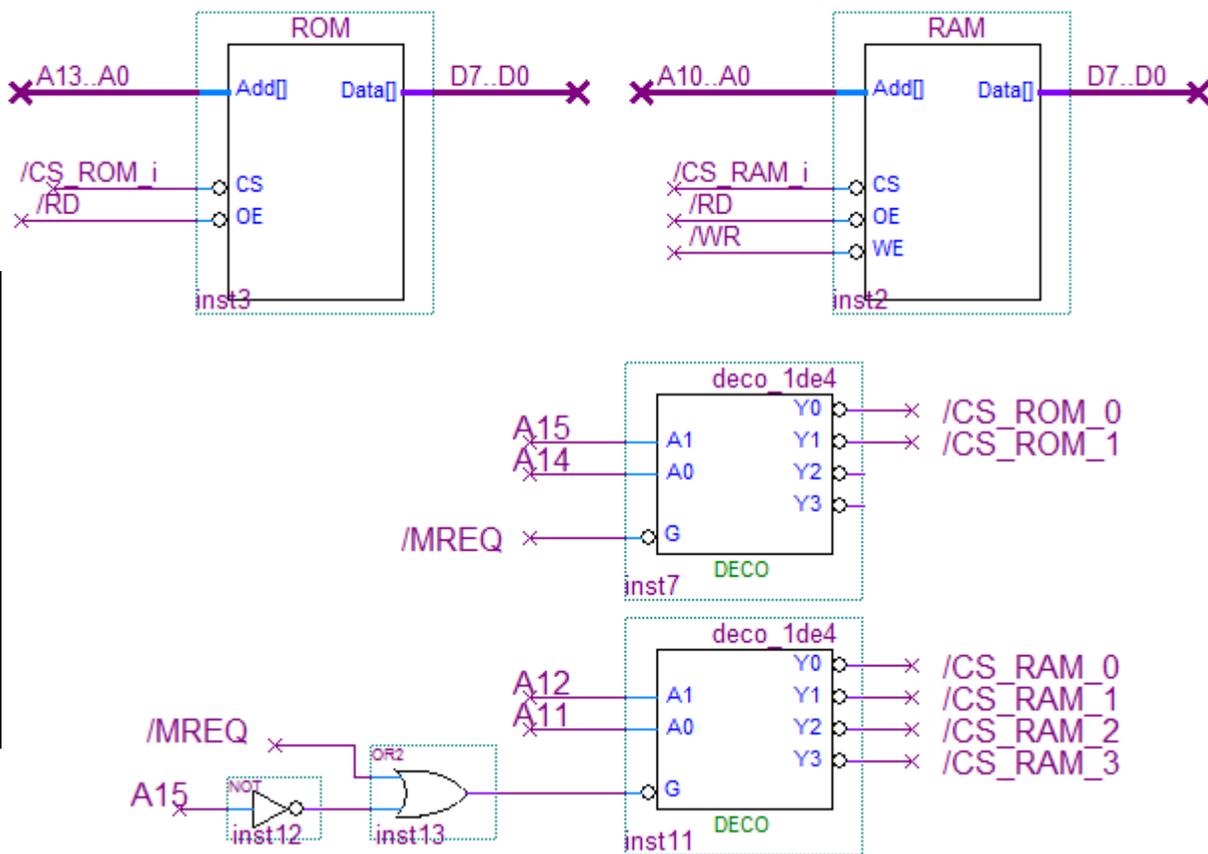
Decodificación de Memoria

Ejemplo 2:

- 32K de ROM y 8K de RAM.
- Chips: ROM 16Kx8 y RAM 2Kx8

VARIANTE 2

A15	A14	A13	A12	A11	Memoria
1	X	X	1	1	RAM 3
1	X	X	1	0	RAM 2
1	X	X	0	1	RAM 1
1	X	X	0	0	RAM 0
0	1	X	X	X	ROM 1
0	0	X	X	X	ROM 0



Decodificación de Memoria

Ejemplo 2:

- 32K de ROM y 8K de RAM.
- Chips: ROM 16Kx8 y RAM 2Kx8

Preguntas para cada variante:

- ¿Qué chip de memoria se accede al ejecutar LD A, (0xA000)?

R Variante 1: Ninguno
R variante 2: RAM_0

- ¿Qué valor se guarda en el registro A luego de ejecutar el siguiente código?:
LD (0x9000), 8
LD A, (0xF000)

R Variante 1: Basura
R variante 2: 8