

Curso de posgrado:

SystemVerilog para diseño y verificación de circuitos digitales

Profesor: **Alfonso Chacón, RyDev Inc. , Tecnológico de Costa Rica**

Fechas: 27 de Julio al 9 de Agosto de 2023.

Lugar: Universidad Católica del Uruguay, edificio Mullin, Comandante Braga 2715, Montevideo.

- Clases y Laboratorio sobre base diaria en horario de la tarde a definir con los inscriptos.
- Posibilidad de realizar módulos independientes.
- Curso sin costo, con registro previo en <https://forms.gle/5ZXJaesWGypCCqud8>
- Consultas: aarnaud@ucu.edu.uy

Organiza: Universidad Católica del Uruguay

Apoya: ANII – Agencia Nacional de Investigación e Innovación.

Resumen

El curso se divide en tres módulos fundamentales: el primer módulo introduce a las capacidades del SystemVerilog para desarrollar hardware digital, orientado a personas que ya tienen una base de diseño digital usando VHDL o Verilog. El segundo módulo explora las capacidades de SystemVerilog para el desarrollo de ambientes de verificación para circuitos digitales avanzados. El tercer módulo explora las bases de síntesis de circuitos digitales descritos en SystemVerilog, usando herramientas y flujos comerciales. Se cierra el curso con un proyecto a realizar por parte de los estudiantes.

Programa detallado

Módulo 1: Introducción a System Verilog para diseño digital avanzado (12 horas de clase teórica, 3 horas de laboratorios on-hand)

- 1) El espacio de declaración en SystemVerilog
- 2) Tipos de datos en SystemVerilog. Tipos definidos por el usuario.

- 3) Tipos de dato avanzados: arreglos, estructuras y uniones
- 4) Bloques procedimentales, tareas y funciones
- 5) Sentencias procedimentales
- 6) Modelando máquinas de estado con SV.
- 7) Jerarquía de módulos. Interfaces

Módulo 2: System Verilog para verificación de circuitos digitales (12 horas de clase teórica, 4 horas de laboratorios on-hand)

- 1) Uso de estructuras de datos, sentencias procedimentales y rutinas en System Verilog (SV).
- 2) Bases de la programación orientada a objetos (OOP) en SV.
- 3) Creación de tests aleatorios, cobertura de test y generación de reportes.
- 4) Hilos y comunicación intra-procesos en SV.
- 5) Guías para la creación de pruebas de banco.
- 6) Cobertura funcional.

Módulo 3: Síntesis lógica de circuitos digitales descritos en System Verilog (6 horas de clase teórica, 3 horas de laboratorios on-hand)

- 1) Introducción a los conceptos de síntesis lógica y física digital
- 2) Codificación en RTL para circuitos sintetizables
- 3) El flujo de síntesis lógica comercial. Restricciones de velocidad y potencia.
- 4) Análisis estático de tiempos y simulación post-síntesis
- 5) Estudio de consumos de potencia.