

# Facultad de Ingeniería

## Comisión Académica de Posgrado

---

### Formulario de Aprobación Curso de Posgrado

**Asignatura:** Algoritmos y Arquitecturas para procesamiento de señales digitales

---

**Profesor de la asignatura :** Prof. Lirida Naviner Full Professor, Institut Mines-Telecom, Télécom ParisTech/CNRS-LTCl, Department Communications and Electronics, Paris, France.

**Profesor Responsable Local :** Prof. Fernando Silveira, Grado 5, Instituto de Ingeniería Eléctrica

**Otros docentes de la Facultad:** Ing. Francisco Veirano, Grado 2, Instituto de Ingeniería Eléctrica

**Programa(s):** Maestría y Doctorado en Ingeniería Eléctrica

**Instituto ó Unidad:** IIE

**Departamento ó Area:** Electrónica

---

**Horas Presenciales:** 12

**Nº de Créditos:** 4

**Público objetivo y Cupos:**

Público objetivo: Estudiantes de posgrado en Ingeniería Eléctrica con interés en diseño digital.  
No tiene cupo.

---

**Objetivos:**

Profundizar en el diseño de circuitos digitales para procesamiento de señales. En particular estudiar el diseño de bloques básicos para estas tareas (sumadores, multiplicadores, divisores, etc) y cómo es posible mejorar la implementación en función de criterios de desempeño (velocidad de procesamiento) o de costo (área del circuito).

---

**Conocimientos previos exigidos:**

Diseño de electrónica digital básica y álgebra booleana.

**Conocimientos previos recomendados:**

Conocimiento de lenguajes de descripción hardware (VHDL o Verilog).

---

**Metodología de enseñanza:**

- Horas clase (teórico - práctico): 12
- Horas consulta: 0
- Horas evaluación: 0
  - Subtotal horas presenciales: 12
- Horas estudio: 18
- Horas resolución ejercicios/prácticos: 0
- Horas proyecto final/monografía: 30
  - Total de horas de dedicación del estudiante: 60

# Facultad de Ingeniería

## Comisión Académica de Posgrado

---

---

### Forma de evaluación:

Realización de proyecto final que involucre aplicar las técnicas vistas en el curso y presentar un breve reporte de los resultados obtenidos.

---

### Temario:

\*Fundamentos de lógica síncrona

\*Sumadores de dos operandos

- Half Adders, Full Adders, Ripple Carry Adders, Carry Skip Adders, Carry Select Adders

\*Sumadores multi operandos y multiplicadores

- Multiplicadores Carry Save, Tree y basados en el algoritmo de Booth.

\*Divisores y raíz cuadrada

\*Aceleración de cálculo y asignación temporal de recursos de hardware.

---

### Bibliografía:

Digital Computer Arithmetic Datapath Design Using Verilog HDL (Author James E. Stine) ISBN 978-1-4419-8931-4, Edition Springer 2004.

---

## Facultad de Ingeniería Comisión Académica de Posgrado

---

### Datos del curso

---

**Fecha de inicio y finalización:** 9 de Abril 2019 al 12 de Abril de 2019 4 días, 3hs por día presenciales más realización del trabajo para aprobación

**Horario y Salón:** 14 a 17hs, Salón 703 (Rojo)

---