

Aspectos Avanzados de Arquitectura de Computadoras

Prueba Final Curso 2016

- Indique su nombre completo y número de cédula en cada hoja.
- Numere todas las hojas e indique el total de hojas en la primera. Escriba las hojas de un solo lado.
- Solo se responderán dudas de letra. No se responderán preguntas en los últimos 30 minutos de la prueba.
- La prueba es individual y sin material. Duración de la prueba : 3 horas.
- El puntaje mínimo de aprobación es de 60 puntos.
- Justifique todas sus respuestas.

Pregunta 1 (10 puntos)

Considere la siguiente diagrama de pipeline MIPS:

Instrucción\Ciclo	1	2	3	4	5	6	7	8	9	10	11	12	13
div.d F0,F2,F4	IF	ID	DIV	DIV	DIV	DIV	DIV	DIV	DIV	DIV	DIV	DIV	...
add.d F10,F10,F8		IF	ID	A1	A2	A3	A4	MEM	WB				
sub.d F12, F12, F14			IF	ID	A1	A2	A3	A4	MEM	WB			

Suponga que en el ciclo 12 ocurre una excepción de división por cero. Explique por qué no pueden mantenerse excepciones precisas si la instrucción finaliza en la etapa WB. Explique cómo soluciona este problema el agregado de la etapa de commit.

Pregunta 2 (10 puntos)

Indique cómo se calcula el AMAT y cómo lo afecta el aumentar la asociatividad de una caché.

Pregunta 3 (10 puntos)

Explique la técnica de loop unrolling y cómo ayuda a mejorar la performance de los programas.

Pregunta 4 (10 puntos)

Explique el funcionamiento de una Branch History Table.

Pregunta 5 (10 puntos)

Explique las diferencias entre fine-grained, coarse-grained y simultaneous multithreading.

Pregunta 6 (10 puntos)

Explique en qué consisten los protocolos de coherencia de caché por husmeo. Indique un ejemplo.

Pregunta 7 (10 puntos)

Explique en qué consiste la "Ley de Amdahl" aplicada a una mejora genérica del procesador.

Pregunta 8 (10 puntos)

Explique brevemente la diferencia entre E/S por interrupciones y E/S utilizando Procesadores de E/S (en particular, DMA).

Problema (20 puntos)

Considere el pipeline MIPS visto en teórico, con múltiples unidades funcionales y con un único puerto de escritura en el banco de registros. Suponga las etapas Fetch/Decode/Execute/Memory Access/Write Back/Commit. Para el siguiente fragmento de código, realice un diagrama del pipeline, indicando en qué etapa se encuentra cada instrucción para cada ciclo de reloj:

```
add R3, R4, R6 ; suma registros R4,R6 y los almacena en R3
sub R5, R3, R2 ; resta registros R3 y R2 y los almacena en R5
mul.d F1, F2, F3 ; multiplica registros F2 y F3 y almacena en F1
mul R6, R5, R1 ; multiplica registros R5 y R1 y almacena en R6
add.d F2, F1, F6 ; suma registros F1 y F6 y almacena en F2
add R3, R4, R6 ; suma registros R4,R6 y los almacena en R3
```

Las unidades funcionales de este pipeline son:

- ALU entera – 1 ciclo de duración
- ALU punto flotante – 4 ciclos de duración
- Multiplicador entero/punto flotante – 7 ciclos de duración

Solución

Sin Forwarding

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	
add R3, R4, R6	IF	ID	EX	MEM	WB	C																		
sub R5, R3, R2		IF	ID	ID	ID	EX	MEM	WB	C															
mul.d F1, F2, F3			IF	IF	IF	ID	M1	M2	M3	M4	M5	M6	M7	MEM	WB	C								
mul R6, R5, R1						IF	ID	ID	M1	M2	M3	M4	M5	M6	M7	MEM	WB	C						
add.d F2, F1, F6							IF	IF	ID	ID	ID	ID	ID	ID	A1	A2	A3	A4	MEM	WB	C			
add R3, R4, R6									IF	IF	IF	IF	IF	IF	ID	EX	MEM	WB						C

Con forwarding

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19				
add R3, R4, R6	IF	ID	EX	MEM	WB	C																	
sub R5, R3, R2		IF	ID	EX	MEM	WB	C																
mul.d F1, F2, F3			IF	ID	M1	M2	M3	M4	M5	M6	M7	MEM	WB	C									
mul R6, R5, R1				IF	ID	M1	M2	M3	M4	M5	M6	M7	MEM	WB	C								
add.d F2, F1, F6					IF	ID	ID	ID	ID	ID	ID	A1	A2	A3	A4	MEM	WB	C					
add R3, R4, R6						IF	IF	IF	IF	IF	IF	ID	EX	MEM	WB								C