



2do PARCIAL DE ELECTRONICA 1
05/07/06

Resolver cada problema en hojas separadas.
Duración de la prueba: 3 horas 30 minutos.
La prueba es sin material.
Los puntajes de los problemas se indican sobre un total de 100 puntos.

PROBLEMA 1 (27 pts.)

- a) Para el circuito de la Figura 1.a, hallar la corriente I_{out} en función de la corriente I_1 si se cumple que $I_{SQa} = n \cdot I_{SQb}$, siendo I_S la corriente de saturación del transistor. Se cumple que V_{CQa} es tal que Qa está en zona activa.
- b) Para el circuito de la Figura 1.b, considerando que las bases de los transistores $Q1$ y $Q2$ tienen su nivel de continua fijado externamente de modo de asegurar que estén polarizados en zona activa, hallar:
 - i. el equivalente Norton del circuito en señal visto desde el terminal de salida, es decir: la resistencia de salida y la corriente de cortocircuito a la salida.
 - ii. la transferencia $v_0/(v_1-v_2)$
 - iii. el Slew Rate.

Datos: Todos los transistores tiene el mismo valor de V_{BE} , V_A , V_{CEsat} y $\beta \gg 1$

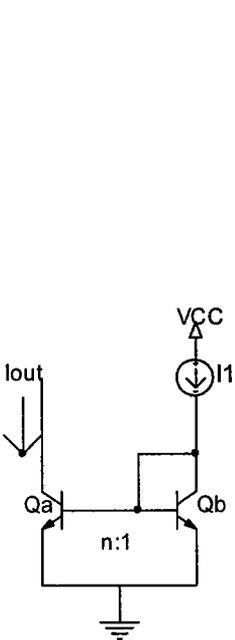


Figura 1.a

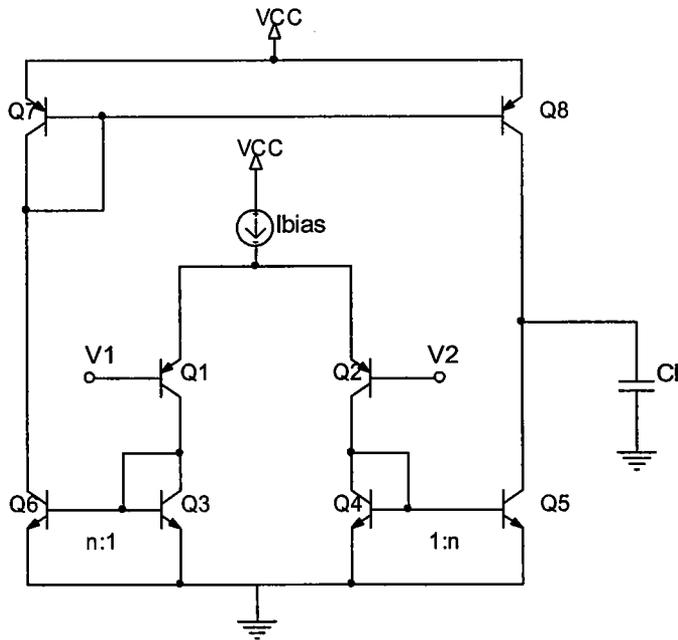


Figura 1.b

PROBLEMA 2 (27 pts.)

El circuito de la Figura es un amplificador MOS de dos etapas en el que V_{BIAS} es una tensión continua de valor 4V y R_G una resistencia de valor muy grande que a los efectos del problema se considerará infinita.

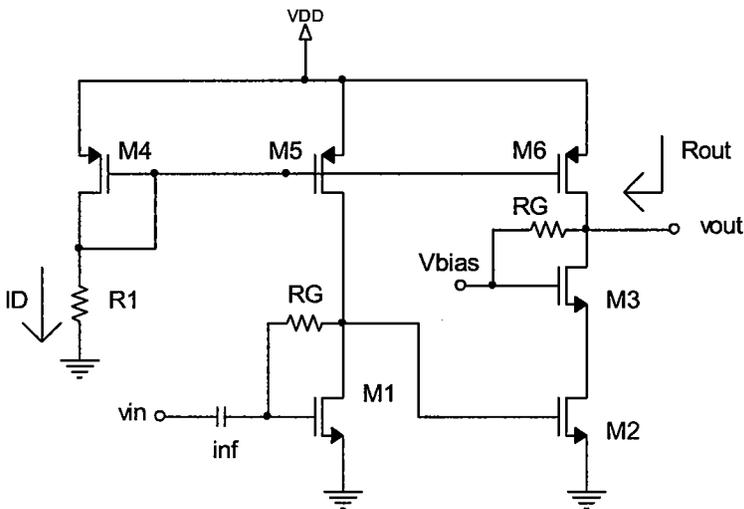
- Determine el valor de la resistencia R_1 para obtener una $I_D=1\text{mA}$.
- Determine la tensión en continua en todos los nodos del circuito.
- Determine la resistencia R_{OUT} del circuito.
- Determine la ganancia en señal v_{out}/v_{in} .
- ¿Cuál es la mínima tensión V_{BIAS} que asegura un correcto funcionamiento del circuito?

Datos:

$V_{DD}=10\text{V}$

Transistores nMOS: $\beta_n=2\text{ mA/V}^2$, $V_{t0n}=1\text{V}$, $\delta_n=0$, $V_{An}=20\text{V}$, sustrato la Source

Transistores pMOS: $\beta_p=1\text{ mA/V}^2$, $V_{t0p}=1.2\text{V}$, $\delta_p=0$, $V_{Ap}=100\text{V}$, sustrato a VDD



PROBLEMA 3 (23 pts.)

El circuito de la figura es parte de un dispositivo para avisar, mediante el encendido del LED D_4 , que una puerta esta abierta en un auto cuando el conductor esta sentado dentro del mismo.

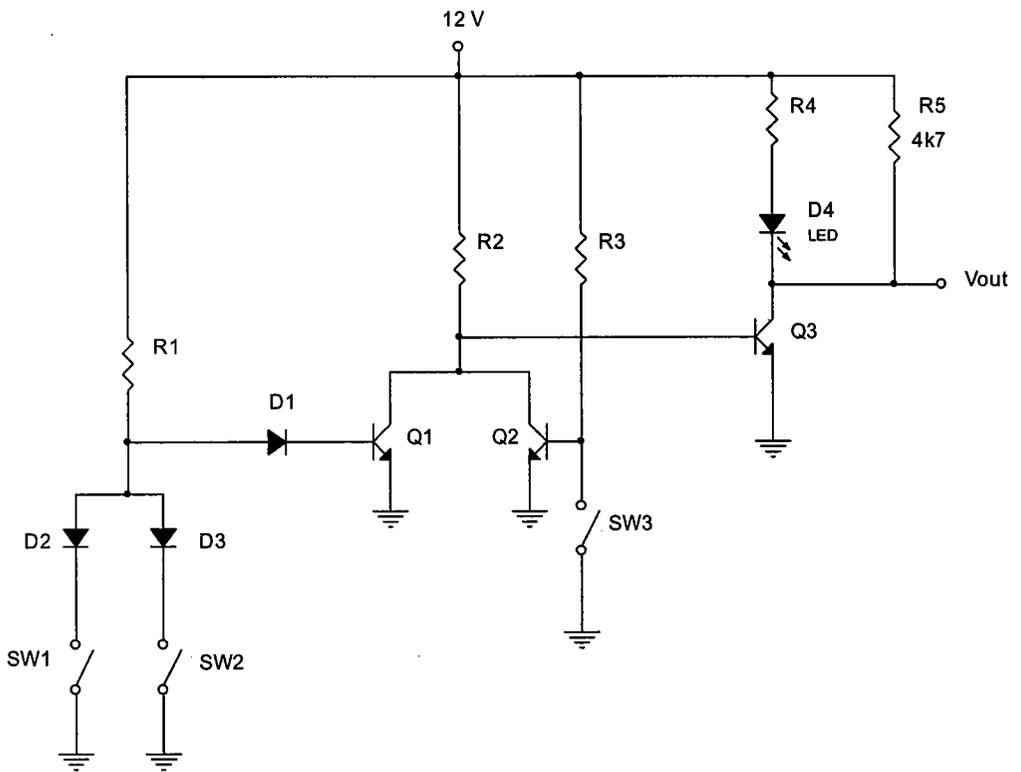
Los interruptores SW_1 y SW_2 son tales que cuando la puerta correspondiente esta abierta el interruptor está cerrado y SW_3 es tal que cuando el conductor está sentado el interruptor esta cerrado.

- Dimensionar las resistencias R_1 , R_2 , R_3 y R_4 para que el circuito funcione correctamente trabajando los transistores en corte y saturación.
- Si a la salida se conecta una compuerta lógica, que supondremos no toma ni entrega corriente, indicar que condición tienen que cumplir V_{IH} y V_{IL} de esta compuerta para tener márgenes de ruido de al menos 2V.

Datos: Q_1 , Q_2 y Q_3 son idénticos con $\beta = 100$, $V_{BE} = 0.7\text{V}$, $V_{CESAT} = 0.3\text{V}$.

D_1 , D_2 , D_3 también son idénticos con $V_\gamma = 0.7\text{V}$.

D_4 es un LED que se enciende con una corriente de 10mA , presentando a esa corriente una caída de 1.2V .



PREGUNTA (23 pts.)

- a) Indicar como varía en una compuerta CMOS:
 - i) el retardo t_p con la tensión de alimentación VDD.
 - ii) el consumo dinámico P con la tensión de alimentación VDD, la frecuencia de operación f y la capacidad de carga C_L .
- b) Las Figuras 1 y 2 muestran un mecanismo para reducir el consumo en circuitos integrados CMOS digitales.

En la Fig. 1 se tiene el circuito original en que se procesa una cierta función lógica $F(IN)$, cuya entrada y salida se muestrean en registros con la señal f_{CLK} . El procesamiento $F(IN)$ en la Fig. 1 la realizan cuatro etapas que supondremos, a los efectos de los cálculos de consumo y retardos, todas manejan a su salida la misma capacidad de carga C_U y tienen igual retardo. A los efectos de cálculo de consumo se asumirá el peor caso en que estas capacidades C_U conmutan de 0 a 1 y de 1 a 0 en cada ciclo de reloj.

A los efectos de reducir el consumo se utiliza el mecanismo de “pipeline”, mostrado en la Fig. 2, en que el procesamiento de la función lógica $F(IN)$ se divide en varias partes, cuatro en este caso, al introducir tres registros que almacenan resultados intermedios. El cambio de arquitectura hace que cada una de estas cuatro secciones de lógica que quedan entre dos registros dispongan de todo el período de reloj para procesar la información a expensas de aumentar la “latencia” o demora entre que se toma un nuevo dato de entrada y sale procesado a la salida.

En lo que sigue:

- se despreciará el retardo propio de los registros usados en las Figs. 1 y 2,
 - se supondrá que la capacidad que es conmutada en cada ciclo de reloj en cada registro de la Fig. 1 y Fig. 2 vale C_{REG} .
- i) Sean $VDD1$ y $VDD2$ las tensiones de alimentación de las Figs. 1 y 2 respectivamente. $VDD1$ es tal que el circuito de la Fig.1 tiene el máximo retardo admisible para la frecuencia f_{CLK} . Se busca un $VDD2$ tal que el circuito de la Fig.2 funcione correctamente y se obtenga la máxima reducción de consumo posible. Determinar $k_{VDD} = VDD2 / VDD1$.
- ii) Determinar la reducción de consumo $k_P = P2/P1$, con $P1$ y $P2$ el consumo dinámico de los circuitos de la Fig. 1 y 2 respectivamente, que se alcanza con el $VDD2$ determinado en i) en el caso particular en que $C_U = 3 \cdot C_{REG}$.

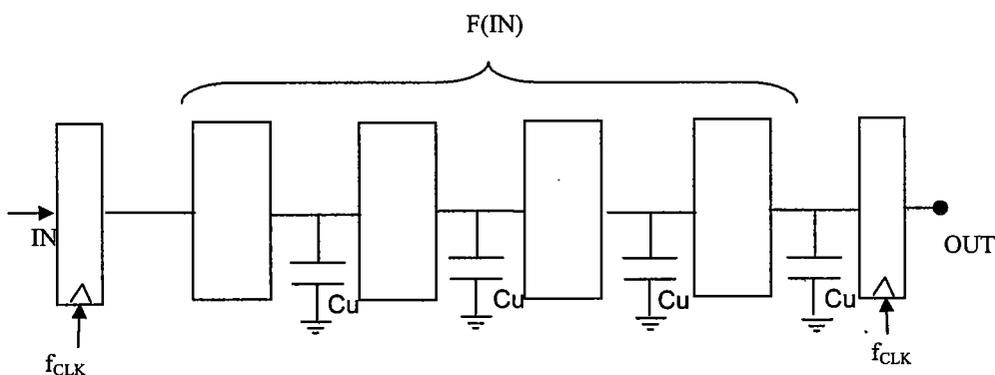


Figura 1

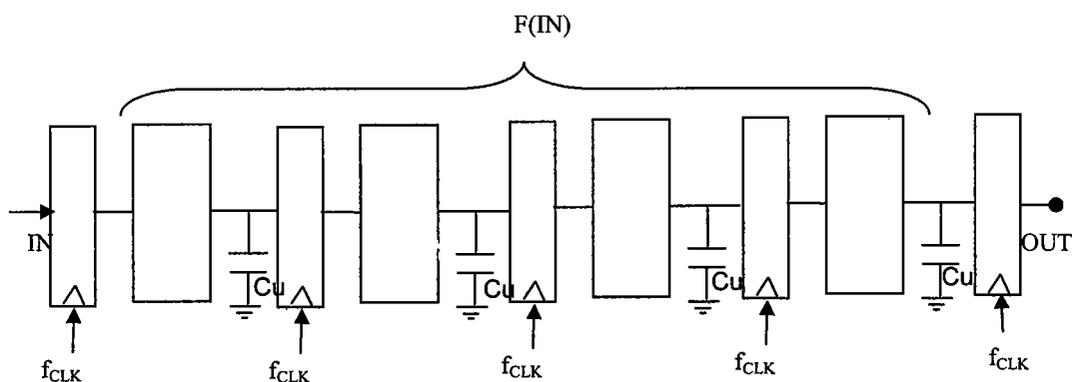
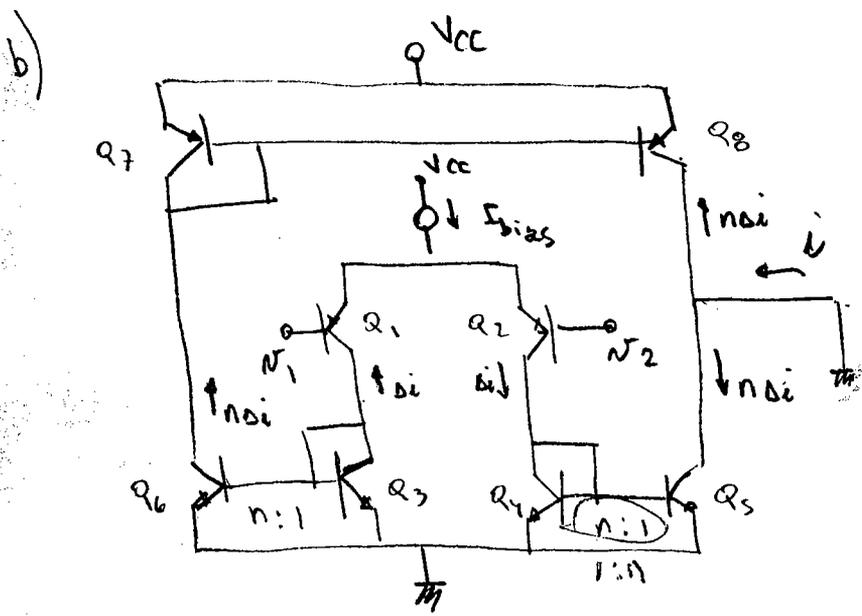


Figura 2

a) $I_1 = I_{s_{qb}} \cdot e^{V_{BEb}/V_T}$

$I_{out} = I_{s_{qb}} \cdot e^{V_{BEb}/V_T} = n I_{s_{qb}} \cdot e^{V_{BEb}/V_T} = n I_1$



$i_{cc} = 2 n \Delta i = n g_m (\nu_1 - \nu_2)$

$\Delta i = g_{m_{1,2}} \frac{(\nu_1 - \nu_2)}{2}$

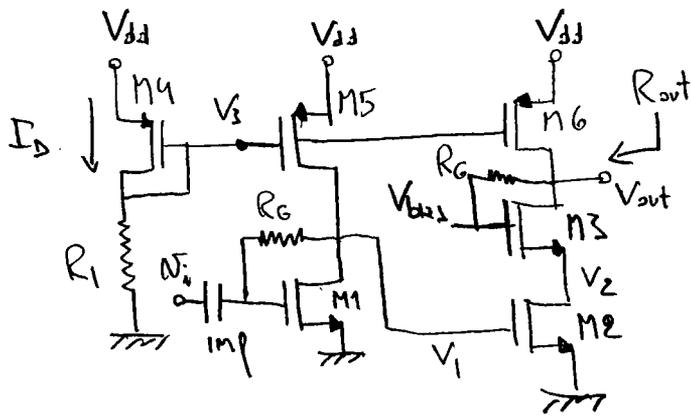
$R_{vout} = r_{o3} \parallel r_{o5} = \frac{V_A}{n I_{bias} - 2}$

$\frac{V_o}{(\nu_1 - \nu_2)} = -n g_m \cdot R_{vout} \parallel C_L = \frac{-n g_{m_{1,2}} \cdot R_{vout}}{R_{vout} C_L s + 1}$

Si se desbalancea totalmente el par

$i_{out} = n I_{bias} \Rightarrow S_r = \frac{n I_{bias}}{C_L}$

Probleme 2



$$a) \quad I_D = \frac{\beta_P}{2} (V_{SG4} - |V_{tp}|)^2 \Rightarrow V_{SG4} = |V_{tp}| + \sqrt{\frac{2I_D}{\beta_P}} = 1,2 + \sqrt{\frac{2 \cdot 1}{1}} = 2,61 \text{ V}$$

$$R_1 = \frac{V_{DD} - V_{SG4}}{I_D} = \frac{10 - 2,61}{1} = 7,386 \text{ k}\Omega \Rightarrow \boxed{R_1 = 7,386 \text{ k}\Omega}$$

$$b) \quad I_{D1} = I_{D5} = I_{D4} \Rightarrow I_{D1} = \frac{\beta_M}{2} (V_{GS1} - |V_{tm}|)^2 \Rightarrow V_{GS1} = |V_{tm}| + \sqrt{\frac{2I_{D1}}{\beta_M}}$$

$$\Rightarrow V_{SG1} = 1 + \sqrt{\frac{2 \cdot 1}{2}} = 1 + 1 = 2 \text{ V}$$

$$I_{D3} = I_{D6} = I_{D4} \Rightarrow I_{D3} = \frac{\beta_M}{2} (V_{GS3} - |V_{tm}|)^2 \Rightarrow V_{GS3} = |V_{tm}| + \sqrt{\frac{2I_{D3}}{\beta_M}} = 2 \text{ V}$$

$$V_{D4} = R_1 I_D = 7,386 \text{ V}$$

$$\Rightarrow V_{S4} = V_{S5} = V_{S6} = V_{DD}$$

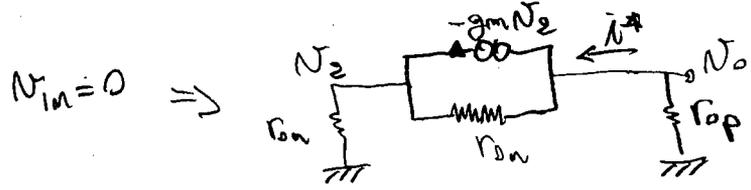
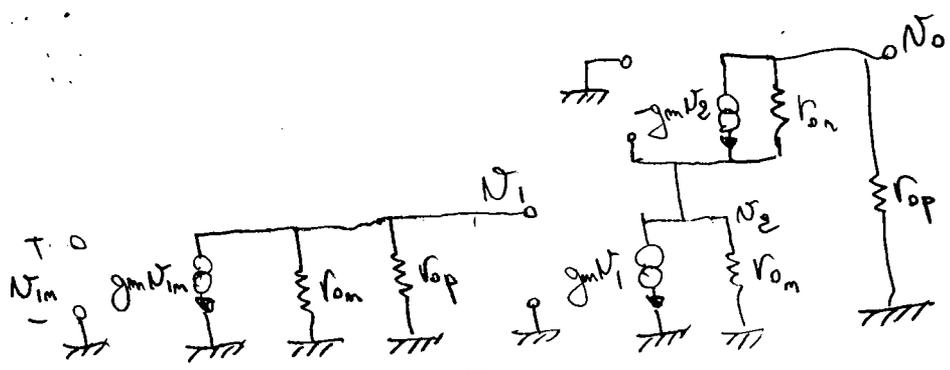
$$V_{G4} = V_{G5} = V_{G6} = V_{D4} = 7,386 \text{ V}$$

$$V_{G1} = V_{D1} = V_{D5} = V_{G2} = 2 \text{ V}$$

$$V_{D2} = V_{S3} = V_{bias} - V_{SG3} = 4 - 2 = 2 \text{ V}$$

$$V_{D6} = V_{D3} = V_{G3} = V_{bias} = 4 \text{ V}$$

c)



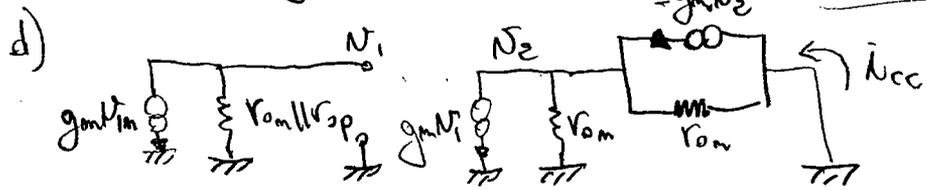
$$\frac{N_o}{r_{op}} = -g_m N_2 + \frac{N_o - N_2}{r_{om}} \Rightarrow N_2 = -g_m r_{om} N_2 + N_o - N_2 \Rightarrow N_2(2 + g_m r_{om}) = N_o$$

$$\Rightarrow N_2 = \frac{N_o}{2 + g_m r_{om}}$$

$$g_m = \sqrt{2\beta_n I_D} = 2 \times 10^{-3} \text{ S}^{-1} \quad \left| \Rightarrow g_m r_{om} = 40 \gg 2 \right| \Rightarrow N_2 = \frac{N_o}{g_m r_{om}}$$

$$r_{om} = \frac{V_{An}}{I_D} = \frac{20}{1 \times 10^{-3}} = 20 \times 10^3 \Omega$$

$$i^* = \frac{N_2}{r_{om}} = \frac{N_o}{g_m r_{om}^2} \Rightarrow \frac{N_o}{i^*} = g_m r_{om}^2 \Rightarrow \boxed{R_o = (g_m r_{om}^2 \parallel r_{op}) = 90 \text{ k}\Omega}$$



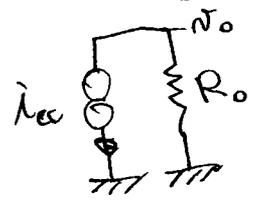
$$g_m N_1 + \frac{N_2}{r_{om}} = -g_m N_2 - \frac{N_2}{r_{om}} \Rightarrow N_2 \left(\frac{2}{r_{om}} + g_m \right) = -g_m N_1 \Rightarrow N_2 = -\frac{r_{om} g_m N_1}{2 + r_{om} g_m}$$

$$\Rightarrow N_2 \approx -N_1$$

$$N_1 = -g_m (r_{om} \parallel r_{op}) N_{in} \quad \left| \Rightarrow N_2 = g_m (r_{om} \parallel r_{op}) N_{in} \right.$$

$$i_{cc} = -g_m N_2 - \frac{N_2}{r_{om}} = -\left(g_m + \frac{1}{r_{om}} \right) N_2 = -\left(\frac{g_m r_{om} + 1}{r_{om}} \right) N_2 \approx -g_m N_2$$

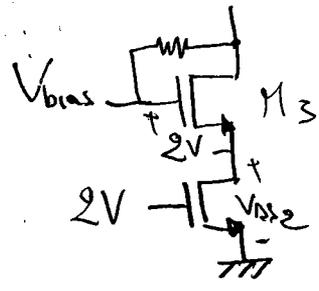
$$\Rightarrow i_{cc} = -g_m^2 (r_{om} \parallel r_{op}) N_{in}$$



$$\Rightarrow N_o = -R_o i_{cc} = g_m^2 (r_{om} \parallel r_{op}) (g_m r_{om}^2 \parallel r_{op}) N_{in}$$

$$\Rightarrow \boxed{G = g_m^2 (r_{om} \parallel r_{op}) (g_m r_{om}^2 \parallel r_{op}) = 5926}$$

e.)



$$V_{GS2} = V_{bias} - 2V > V_{GS2} - |V_{th}|$$

$$V_{bias} > 2 + V_{GS2} - |V_{th}| = 4 - 1$$

$$\Rightarrow \boxed{V_{bias} > 3V}$$

PROBLEMA 3:

- a) $R2 / \text{con } (SW1 \text{ o } SW2 \text{ cerrados}) \Rightarrow Q1 \text{ cortado}$
 $\text{y } SW3 \text{ cerrado} \rightarrow Q2 \text{ cortado}$
 $\Rightarrow Q3 \text{ saturado} \Rightarrow \text{para dimensionar } R2$
 debemos conocer I_{CQ3} cuando está saturado

$$I_{CQ3} = \frac{V_{CC} - V_{CESAT3} - V_{LED}}{R_4} + \frac{V_{CC} - V_{CESAT3}}{R_5}$$

$\parallel \rightarrow \text{por requerimiento de } 10\text{mA del LED}$
 $\parallel \rightarrow \frac{12 - 0.3V}{47k} = 2.$

$$R_4 = \frac{12V - 0.3V - 1.2V}{10\text{mA}} = \boxed{1.05k = R_4}$$

$$\Rightarrow I_{CQ3} = 12.5\text{mA}$$

$$R2 / I_{BQ3} > \frac{I_{CQ3}}{\beta} \Rightarrow I_{BQ3} = 10 \cdot \frac{I_{CQ3}}{\beta}$$

$$\Rightarrow \frac{V_{CC} - V_{BEQ3}}{R2} = 10 \cdot \frac{I_{CQ3}}{\beta}$$

$$\Rightarrow R2 = \frac{12 - 0.7}{10 \times \frac{12.5\text{mA}}{100}} = \boxed{8.04k = R2}$$

$R3 / Q2$ saturado en el peor caso ($I_{CQ2 \text{ m} \times}$)
 en que $Q1$ cortado

$$\Rightarrow I_{CQ2 \text{ m} \times} = \frac{V_{CC} - V_{CESATQ2}}{R2}$$

$$R3 / I_{BQ2} = 10 \cdot \frac{I_{CQ2 \text{ m} \times}}{\beta}$$

2006

$$\Rightarrow R_3) \frac{V_{CC} - V_{BEQ2}}{R_3} = 10 \cdot \frac{V_{CC} - V_{CESATQ2}}{R_2 \cdot 100}$$

$$\Rightarrow R_3 = \frac{12 - 0.7}{\frac{10(12 - 0.3)}{100 \cdot 8.04k}} = \boxed{87.3k = R_3}$$

R_1 / Q_1 saturado en el peor caso (I_{CQ1} máxima)
en que Q2 cortado

$$\Rightarrow R_1 / I_{BQ1} = \frac{I_0}{\beta} \cdot I_{CQ1 \text{ máx}}$$

$$\Rightarrow \frac{V_{CC} - V_{BEQ1} - V_f}{R_1} = \frac{I_0}{\beta} \cdot \frac{(V_{CC} - V_{CESATQ1})}{R_2}$$

$$\Rightarrow R_1 = \frac{12 - 0.7 - 0.7}{\frac{10(12 - 0.3)}{100 \cdot 8.04k}} = \boxed{85.8k = R_1}$$

b) Salida en nivel alto del circuito = $V_{OH} = V_{CC}$
(pues con Q3 cortado, Q4 cortado y R5 lleve
 $V_{out} = V_{CC}$)

Salida en nivel bajo del circuito = $V_{OL} = V_{CESATQ3}$

$$\Rightarrow V_{OH} \leq V_{CC} - 1V = 10V.$$

$$V_{OL} > V_{CESATQ3} + 2V = 2.3V.$$