

**SEGUNDO PARCIAL DE ELECTRONICA 1 ---09/07/2002**

Resolver cada problema en hojas separadas.

Duración de la prueba: 3 horas 30 minutos.

La prueba es sin material.

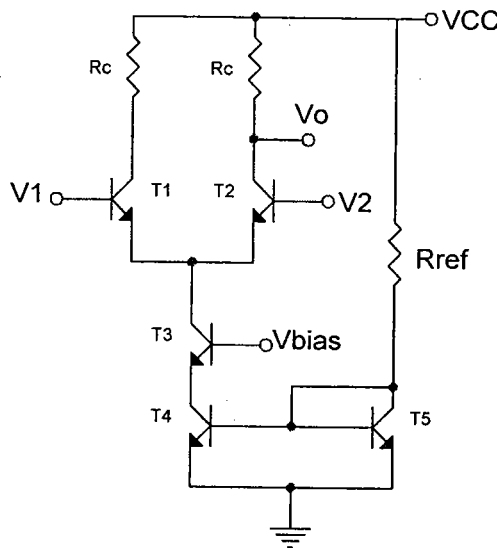
Verifique que la letra que recibió tiene 3 páginas

Los puntajes de los problemas se indican sobre un total de 100 puntos.

**PROBLEMA 1 (30 puntos)**

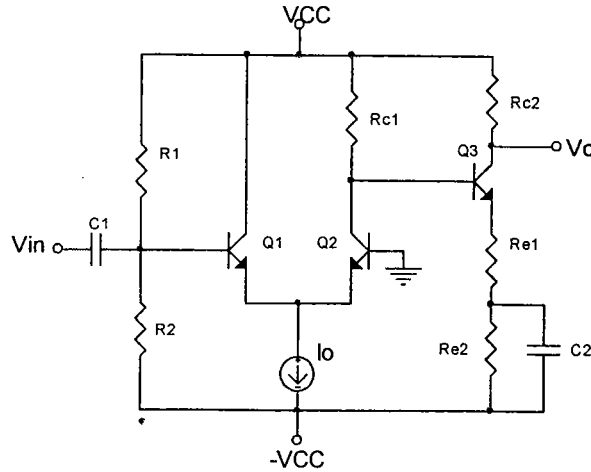
En el circuito de la figura los transistores están caracterizados por los parámetros usuales:  $\beta$ ,  $V_A$ ,  $V_{BE}$ ,  $V_{CESAT}$ . La tensión  $V_{bias}$  es tal que T4 trabaja en zona activa.

- a) Calcular la ganancia en modo común  $A_c$  y la relación de rechazo al modo común CMRR.
- b) Comparar este resultado con el que se tendría en el circuito estándar en que T3 se sustituye por un cortocircuito.



**PROBLEMA 2 (25 puntos)**

- a) Calcular la ganancia del circuito de la figura en su banda pasante.
  - b) Calcular los condensadores  $C_1$  y  $C_2$  para que la frecuencia de corte inferior sea 200Hz.
- $R_1 = R_2 = 10K\Omega$ ,  $R_{C1} = 6.8K\Omega$ ,  $R_{C2} = 1.2K\Omega$ ,  $R_{E1} = 120\Omega$ ,  $R_{E2} = 2.7K\Omega$ ,  $I_o = 2mA$ ,  $V_{BE} = 0.7V$ ,  $\beta = 100$ ,  $V_{CC} = 10V$ .



**PROBLEMA 3 (25 puntos)**

El circuito de la figura tiene como función detectar cuando el pico positivo de la entrada  $V_{in}$  supera un cierto nivel. En ese caso se debe encender un LED y se le da una señal a un circuito digital, del cual sólo se muestra la primer compuerta.

- (a) ¿Cual es el máximo valor de pico positivo de  $V_{in}$  que es posible detectar con este circuito ?
- (b) Dimensionar  $R_B$  y  $R_C$  para que cada vez que el comparador detectó que la señal superó el nivel establecido, se encienda el LED (D1) y la compuerta detecte un cero lógico a la entrada.
- (c) ¿ Que función cumple  $R_{aux}$ ?

Datos de los transistores:  $V_{BE}=0.7V$ ,  $V_{CESAT}=0.3V$ ,  $\beta=100$

Datos del LED: corriente recomendada en estado encendido:  $I_{ON}=10mA$ , máxima caída en directo en estado encendido, con corriente  $I_{ON}$ ,  $V_{ON} = 2V$ .

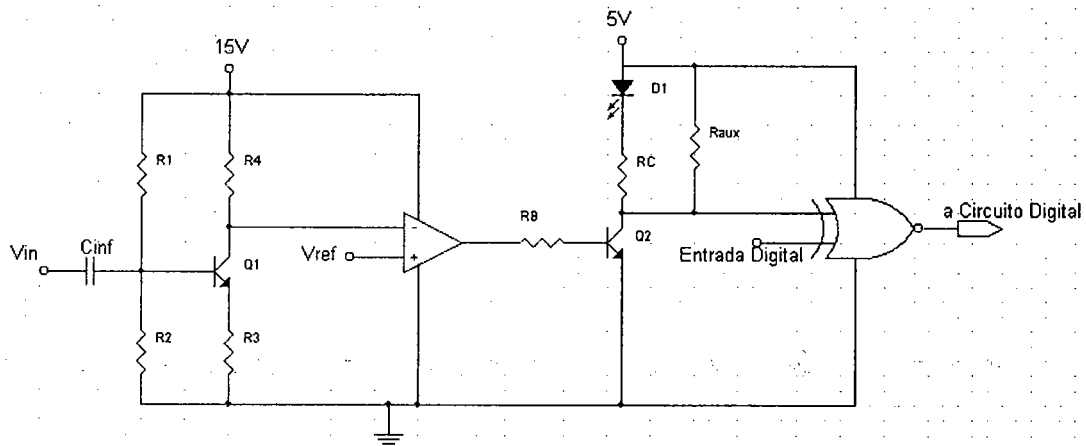
Datos de la compuerta:  $V_{IH} = 3.5V$ ,  $V_{IL} = 1.5V$

Datos del operacional: se supondrá ideal.

$R_1=130 k\Omega$ ,  $R_2=20 k\Omega$ ,  $R_3=1 k\Omega$ ,  $R_4=6.8 k\Omega$ .

$R_{aux} = 1k\Omega$ .

$C_{inf}$  se supondrá infinito



**PROBLEMA 4 (20 puntos)**

- (a) Deducir la expresión para el tiempo de propagación  $t_{pHL}$  de un inversor CMOS cargado con una capacidad  $C_L$  cuando a su entrada se aplica un escalón ideal entre 0 y  $V_{DD}$ . Se considerará la aproximación de que el transistor nMOS, que descarga a  $C_L$ , trabaja saturado en el rango de tensiones de interés para el cálculo de  $t_{pHL}$ . Los datos del transistor nMOS son los usuales:  $\mu$ ,  $C_{ox}$ ,  $V_{t0}$ ,  $W$ ,  $L$ .

En las partes que siguen se considerará que  $t_{pLH} = t_{pHL}$ .

- (b) Como muestra la figura 1, un inversor (Inv1) que esta a la salida de un circuito integrado digital CMOS debe manejar la capacidad externa al chip  $C_{ext}$ . ¿Cuál es la relación entre el retardo ( $t_p$ ) que introduce el inversor y el retardo ( $t_{p0}$ ) que hay cuando el inversor tiene conectado a su salida solamente otro inversor igual a él con capacidad de entrada  $C_{in}$ ?
- (c) Para mejorar el retardo de salida del circuito se utiliza la configuración de la figura 2 donde se usa como buffer un inversor cuyos transistores son  $K$  veces más anchos que los del inversor Inv1. Sabiendo que las capacidades vistas a la entrada de los inversores se pueden aproximar como proporcionales al ancho de sus transistores, expresar el retardo total ( $t_{pT}$ ) entre el punto A y la salida del chip en función del retardo  $t_{p0}$  definido en la parte (b)
- (d) Hallar el valor de  $K$  que minimiza el retardo  $t_{pT}$ . Para este valor de  $K$ , si  $C_{ext} = 1600 \cdot C_{in}$  ¿qué mejora se logra en el retardo de salida del chip respecto al caso en que no se utiliza el buffer (retardo  $t_p$  calculado en b)?.

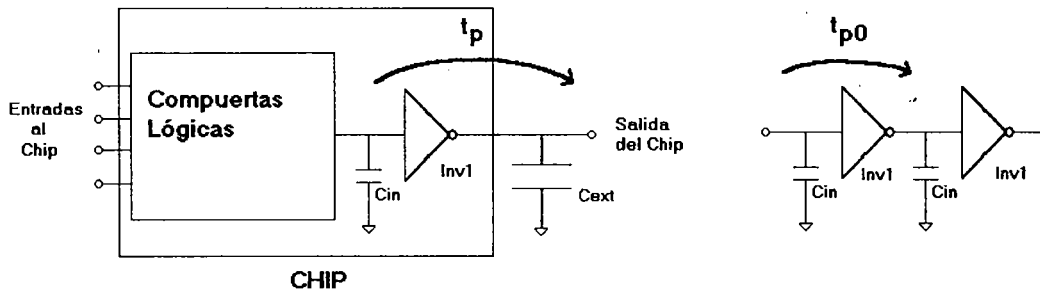


Figura 1

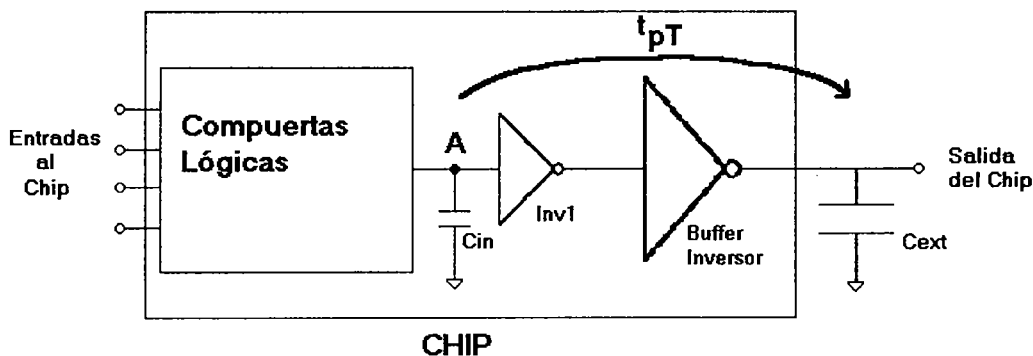
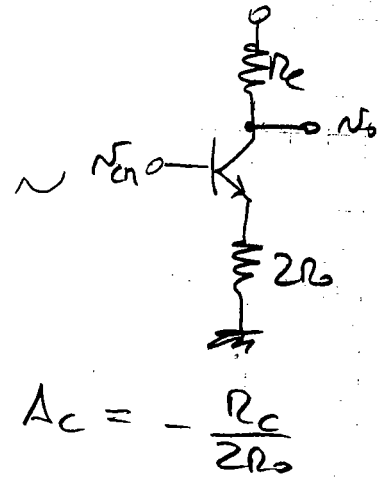
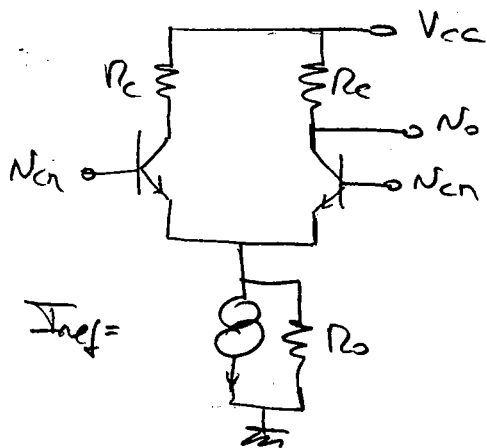


Figura 2

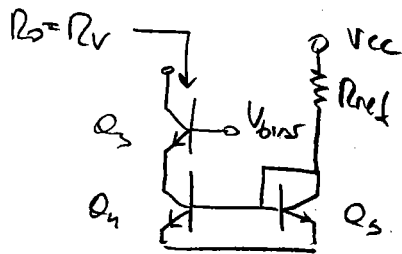
# Problems 1

(e)  $A_c$  :

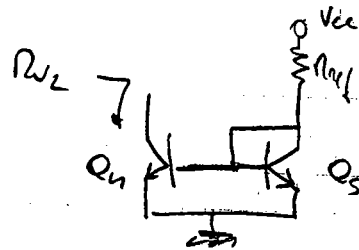
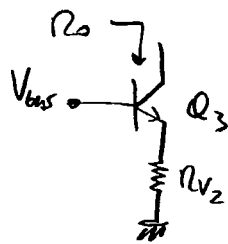


$$A_c = -\frac{R_C}{2R_E}$$

$R_o$  :

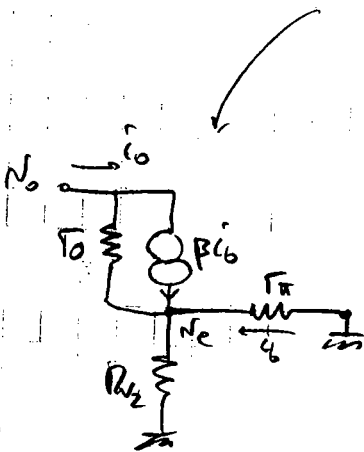


Divido :



$$R_{E2} = r_{e4}$$

Resistencia de salida de un etapa de corriente



$$V_{do} \text{ e } N_o : \bar{G} = \beta i_b + \frac{N_o - N_e}{r_o}$$

$$N_o \text{ e } N_e : \frac{N_e}{R_{E2}} = \bar{G} + i_b$$

$$i_b = -\frac{N_e}{r_{\pi}}$$

$$\left. \begin{aligned} N_e \left( \frac{1}{R_{e2}} + \frac{1}{r_{\pi}} \right) = \bar{i}_o &\Rightarrow N_e = \bar{i}_o (R_{e2} // r_{\pi}) \end{aligned} \right\}$$

$$\bar{i}_o = - \left( \frac{\beta}{r_{\pi}} + \frac{1}{r_o} \right) N_e + \frac{N_o}{r_o} \Rightarrow \bar{i}_o = - \left( \frac{\beta r_o + 1}{r_o} \right) N_e + \frac{N_o}{r_o}$$

$$g_m r_o = \frac{I_C}{V_T} \times \frac{V_A}{I} - \frac{V_A}{V_T} \gg 1 \Rightarrow \frac{\beta r_o + 1}{r_o} \approx g_m$$

$$\Rightarrow \bar{i}_o = -g_m (R_{e2} // r_{\pi}) \bar{i}_o + \frac{N_o}{r_o}$$

$$\Rightarrow \frac{N_o}{\bar{i}_o} = r_o (1 + g_m (R_{e2} // r_{\pi}))$$

$$R_{e2} = r_{o4} = \frac{V_A}{I_{ref}}$$

$$r_{\pi} = \frac{\beta V_T}{I_{ref}}$$

$$V_A \approx 50 - 100 \text{ V}$$

$$\beta V_T \approx 2,6 \text{ V} \quad (\beta = 100)$$

$$\Rightarrow r_{o4} \gg r_{\pi}$$

$$\Rightarrow R_{e2} // r_{\pi} \approx r_{\pi}$$

$$\Rightarrow R_o = r_o (1 + \frac{g_m r_{\pi}}{\beta \gg 1}) \Rightarrow \boxed{R_o = \beta r_o}$$

$$\boxed{A_c = -\frac{R_c}{2\beta r_o}}$$

$$A_v = -\frac{g_m R_c}{2} \Rightarrow \boxed{CMRR = g_m \beta r_o}$$

(b) sin Q3

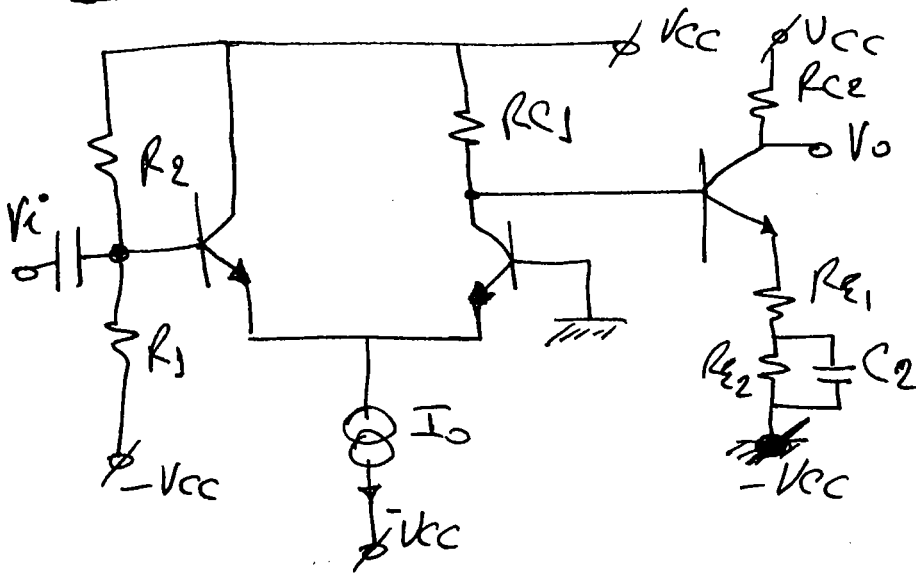
$$R_w = R_o = r_o$$

$$\rightarrow \boxed{A_c = -\frac{R_c}{2r_o}}$$

$$\rightarrow \boxed{CMRR = g_m r_o}$$

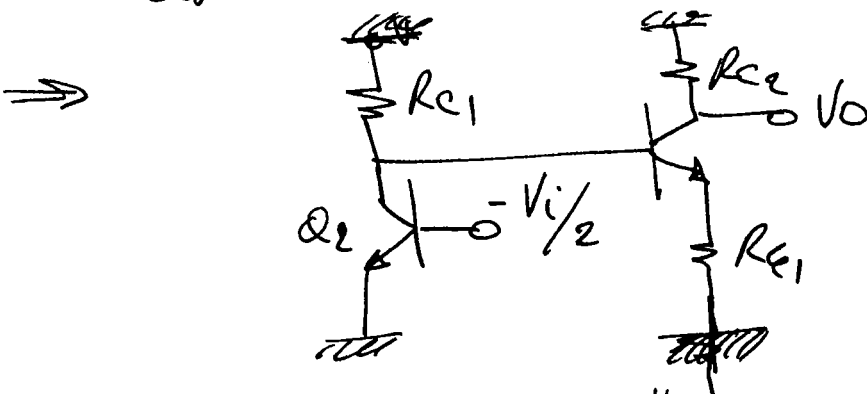
con Q3  
ei CMRR er  
 $\beta$  veer +  
g<sub>m</sub> r<sub>o</sub>

Problema 2:



a) Emisoral, como pa diferencial tiene fuente de corriente ideal  $\rightarrow A_C = 0$

$\Rightarrow$  Considero entrada diferencial y divido circuito a la mitad



$\Rightarrow$  Carga de etapa:  $R_{c2} \parallel (R_{i \text{ de etapa}}) =$   
 $= R_{c2} \parallel (r_{\pi 3} + (\beta + 1) R_{e1})$

$\Rightarrow$  Ganancia de la etapa =  $\frac{1}{2} \cdot (R_{c2} \parallel (r_{\pi 3} + (\beta + 1) R_{e1}))$

Ganancia de etapa =  $\frac{-\beta R_{c2}}{(r_{\pi 3} + R_{e1}(\beta + 1))} \cdot \frac{1}{2} \text{ de } \frac{V_i}{2}$

Problema 2

→ Ganancia total:

$$I_{C1,2} = \frac{I_0}{2} = 1 \mu A$$

desprecia  $I_{B3}$  frente a  $I_{C2}$

$$V_{C2} = V_{B3} = V_{CC} - R_{C1} \cdot I_{C2} = 3.2V$$

$$I_{E3} \approx I_{C3} = \frac{V_{B3} - V_{BE} - (-V_{CC})}{R_{E1} + R_{E2}} = \frac{3.2 - 0.7 + 10}{0.12 + 2.7} = 4.43 \text{ mA}$$

$$\Rightarrow I_{B3} = \frac{4.43 \text{ mA}}{100} = 44.3 \mu A \ll I_{C2} = 1 \mu A \checkmark$$

$$\Rightarrow r_{\pi 3} = \frac{\beta \cdot V_T}{I_{C3}} = 587 \Omega$$

$$\Rightarrow \text{Ganancia de etapa} = \frac{10.0385}{2} \cdot \left( \frac{6.8k \parallel 12.7k}{100} \right) = 85$$

$\underbrace{\hspace{1cm}}_{f_{m2}} \quad \underbrace{\hspace{1cm}}_{R_{C1}} \quad \underbrace{\hspace{1cm}}_{R_{E2}}$

$$\text{Ganancia de etapa} = \frac{-100 \cdot 1.2k}{12.7k} = -9.5$$

→ Ganancia total = -807.5

b) Polo asociado a  $C_1$  en  $\frac{1}{2\pi C_1 \cdot (R_1 \parallel R_2 \parallel R_{i1})}$

$$R_{i1} = 2r_{\pi 1} = 5.2k$$

$$\Rightarrow \frac{R_1 \parallel R_2 \parallel R_{i1}}{5k} = 2.55k$$

↓ resistencia de entrada de la etapa

Polo asociado a  $C_2$  en  $\frac{1}{2\pi C_2 \cdot (R_{E1} \parallel R_{E2})} = 115 \Omega$

tema 2 Trabajo Práctico Electrónica I 2009 (3)

⇒ Conviene que polo de  $C_1$  sea el que este a más baja frecuencia de esta manera se minimiza el valor de los condensadores

$$\Rightarrow \frac{1}{2\pi C_1 \cdot 9.55k} = \frac{200Hz}{10} = 20Hz$$

$$\frac{1}{2\pi C_2 \cdot 115} = 200Hz$$

$$\Rightarrow C_1 = 3.1 \mu F, C_2 = 6.9 \mu F.$$



problema 4:



a)

$$i_D = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - V_t)^2$$

C. descargándose a i cte  $\Rightarrow \frac{i_D t_{pHL}}{C_L} = \frac{V_{DD}}{2} \Rightarrow t_{pHL} = \frac{V_{DD} \cdot C_L \cdot L}{2 \mu C_{ox} W (V_{DD} - V_t)^2}$

b)  $\frac{t_p}{t_{p0}} = \frac{C_{ext}}{C_{in}} \Rightarrow t_p = t_{p0} \frac{C_{ext}}{C_{in}}$

c)  $t_{pT} = t_{p0} \cdot \frac{k C_{in}}{C_{in}} + \frac{\frac{t_p}{k}}{\frac{C_{ext}}{C_{in}}}$

d)  $\frac{\partial t_{pT}}{\partial k} = t_{p0} - \frac{t_{p0}}{k^2} \frac{C_{ext}}{C_{in}}$

$$\frac{\partial t_{pT}}{\partial k} = 0 \Rightarrow \frac{t_{p0}}{k^2} \frac{C_{ext}}{C_{in}} = t_{p0} \Rightarrow k^2 = \frac{C_{ext}}{C_{in}}$$

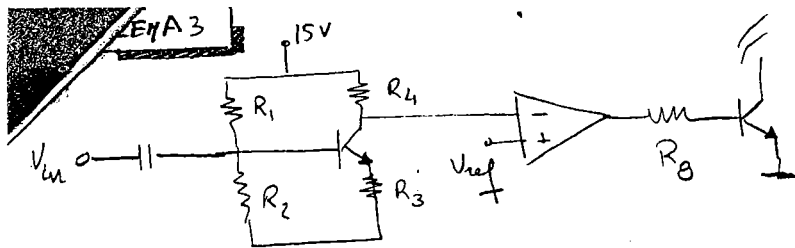
$$\Rightarrow k = \sqrt{\frac{C_{ext}}{C_{in}}}$$

$$k = 40 \Rightarrow t_{pT} = 40 t_{p0} + 40 t_{p0} = 80 t_{p0}$$

$$t_p = 1600 t_{p0}$$

Se disminuye el retardo en 20 veces

*[Handwritten signature]*  
1.1. 2.2

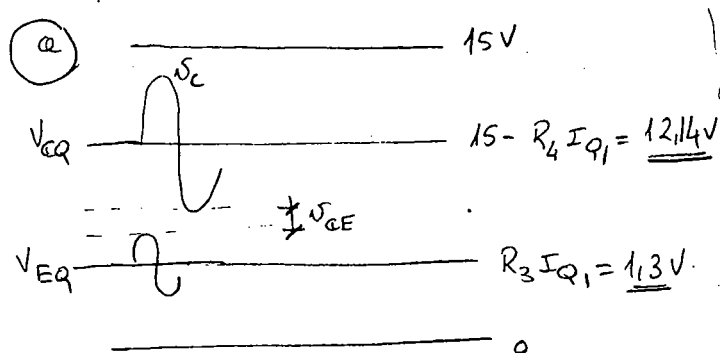


$$R_1 = 130k$$

$$R_2 = 20k$$

$$R_3 = 1k$$

$$R_4 = 2,2k$$



$$I_{Q1} = \frac{15 \cdot \frac{R_2}{R_2 + R_1} - V_{be}}{R_3} = 1,3mA$$

$$V_{CE}(t) > V_{CEsat} \quad \forall t$$

$$\hat{V}_c = \frac{R_4}{R_3} \hat{V}_{in} = 2,2$$

$$\hat{V}_E = \hat{V}_{in}$$

↑ pica

$$\Rightarrow V_{ceQ} - \hat{V}_c - (V_{EQ} + \hat{V}_E) \geq V_{CEsat}$$

$$12,14 - 2,2 \cdot \hat{V}_{in} - (1,3 + \hat{V}_{in}) \geq V_{CEsat}$$

$$\Rightarrow \hat{V}_{in} \leq 3,29V$$

b) Asumiendo que  $Q_2$  satura:

$$\frac{5 - V_{DL} - V_{CEsat}}{R_c} = 10mA \rightarrow R_c = 270 \Omega$$

Por otro lado,  $Q_2$  estara saturado  $\Leftrightarrow i_B > \frac{i_c}{\beta}$  ( $\beta = 100$ )

$$i_c = 10mA + \frac{5 - V_{CEsat}}{R_{aux}} = 10mA + 4,7mA = 14,7mA$$

↑ corriente por el LED

$$i_B > \frac{14,7mA}{100} \rightarrow i_B \geq 0,15mA, \text{ tomo 10 veces mas grande} \rightarrow i_B = 1,5mA$$

$$\text{Luego, } \frac{15 - 0,7}{R_B} = 1,5mA \rightarrow R_B = 9533 \Omega$$

c)  $R_{max}$  se encuentra para transmitir un nivel logico "1" (5V) o lo contrario cuando el transistor y el led estan cortados. De lo contrario ese para la compuerta XNOR, no superaria  $5 - V_D = 3V < V_{IH}$  y no se reconocera como un "1".