

EXAMEN DE ELECTRONICA 1**22/02/2014**

Resolver cada problema en hojas separadas.

Duración de la prueba: 3 horas 30 minutos.

La prueba es sin material.

Los puntajes de los problemas se indican sobre un total de 100 puntos.

PROBLEMA 1 (40 puntos)

Dados los siguientes datos del circuito de la figura:

Q1 y Q2 idénticos con tensión de Early que se puede suponer infinita

Q3 y Q4 idénticos con tensión de Early $V_a=100V$

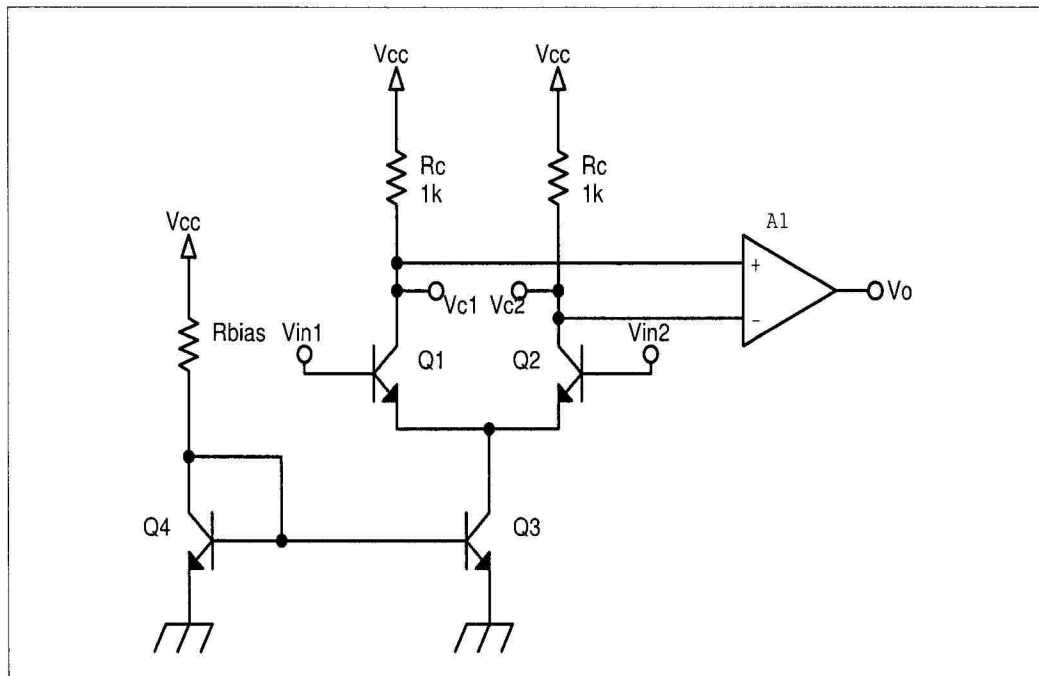
$V_{BE}=0.7V$ y $V_{CESAT}=0.3V$ para todos los transistores

$V_{CC} = 10V$

El Bloque A1 es un amplificador diferencial con resistencia diferencial de entrada $R_{in}=2\text{ k}\Omega$, ganancia diferencial $A_{dif}=10\text{ V/V}$ y ganancia en modo común $A_c=0.1\text{ V/V}$.

Calcule:

- El valor de R_{bias} , para que la ganancia del par diferencial $(V_{in1}-V_{in2})/(V_{c2}-V_{c1})=50\text{ V/V}$
- El rango de entrada en modo común ICMR.
- La ganancia en modo común y el CMRR del circuito, considerando como salida la tensión diferencial $(V_{c2} - V_{c1})$.
- Calcule nuevamente la ganancia en modo común y el CMRR pero ahora de todo el circuito, es decir, considerando como salida a V_o .



PROBLEMA 2 (40 puntos)

- a) Para el circuito de la Figura calcule V_{out} en función de V_1 , V_2 y V_3 .
Sugerencia: Suponiendo que todos los transistores trabajan en zona activa, primero determine la corriente I_{out} en función de las corrientes I_1 , I_2 , I_3 .
- b) ¿Que condición deben cumplir V_1 , V_2 y V_3 para que sea válida la suposición realizada en a)?
- c) Calcule V_{out} en función de V_1 para el circuito de la Figura 2 (en donde el terminal V_3 de la Figura 1 se conectó a V_{out} y V_2 es una tensión de referencia, fija, V_{ref}).

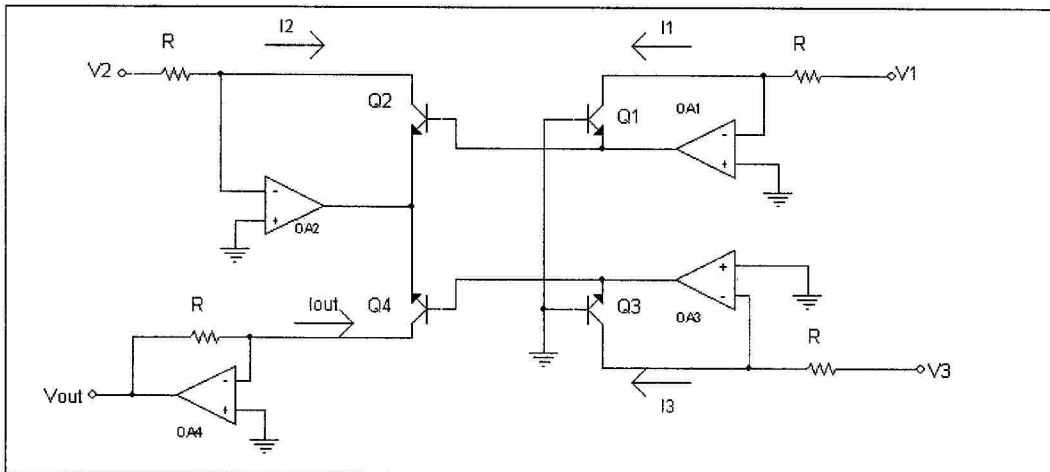


Figura 1

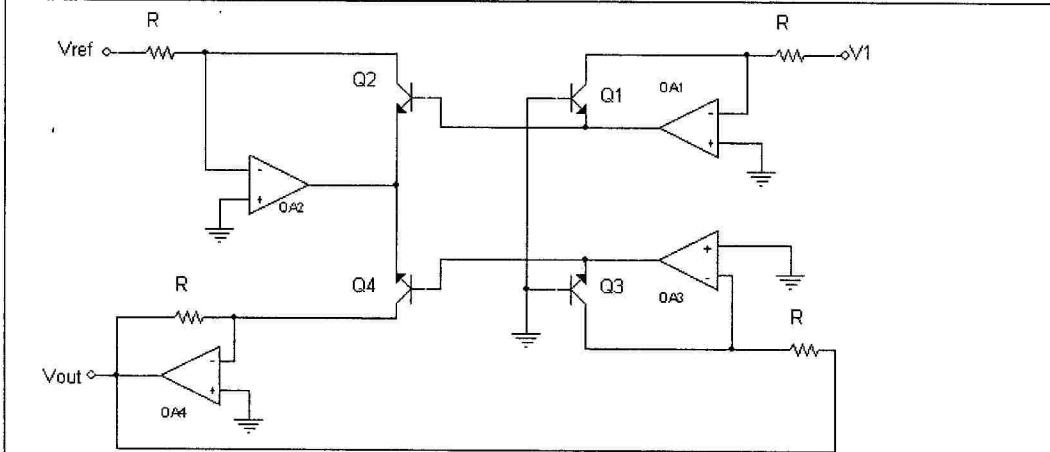
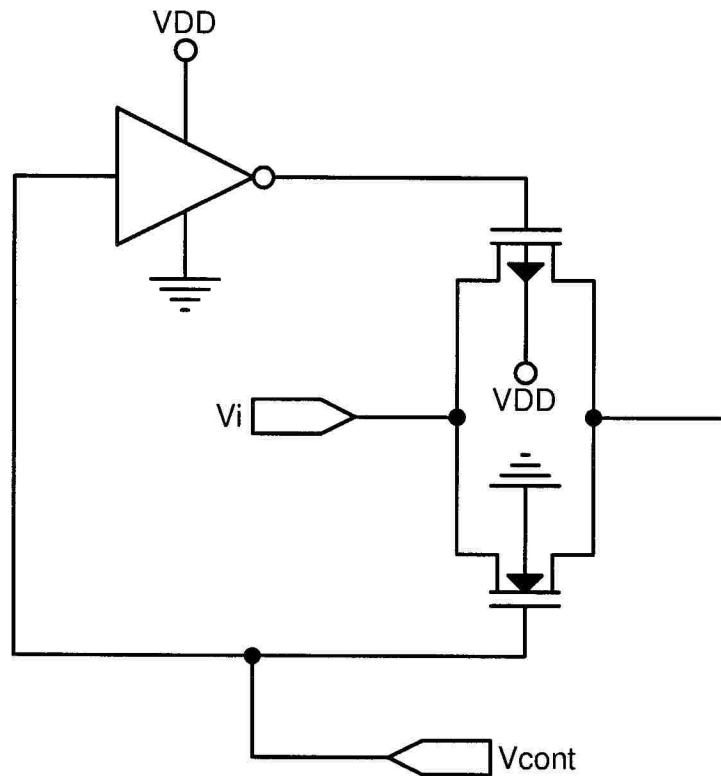


Figura 2

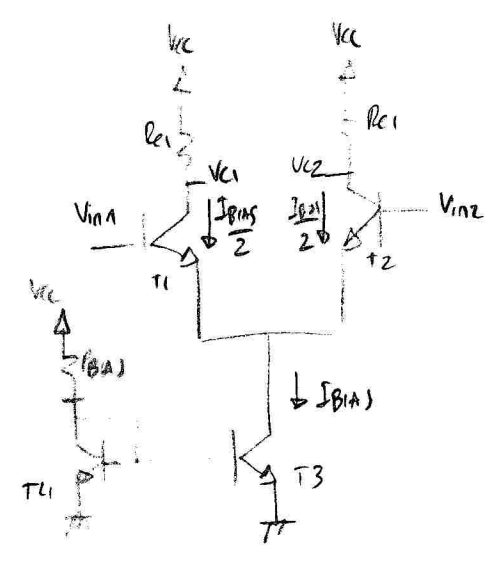
PREGUNTA (20 puntos)

- a) Se tiene una llave analógica CMOS clásica como la mostrada en la figura.
- Graficar la conductancia de la llave en función de la tensión de entrada V_i , para V_i entre 0 y V_{DD} .
 - ¿Cuál es la mínima tensión V_{DD} que asegura que la llave opere correctamente para todo V_i entre 0 y V_{DD} ? ¿Qué ocurre si V_{DD} es menor que este mínimo?
- b) Si se implementa un circuito de muestreo y retención (sample and hold) con esta llave y un condensador de 1000 pF. ¿Cuál es el valor mínimo de V_{DD} requerido para que la frecuencia de corte en modo muestreo de este circuito sea mayor que 100 kHz para todo V_i entre 0 y V_{DD} ?

En todo el problema, los transistores considerados tienen los siguientes datos: $V_{T0n} = |V_{T0p}| = 1\text{V}$, $\beta_n = \beta_p = 1\text{mA/V}^2$, $\delta_n = \delta_p = 0$.



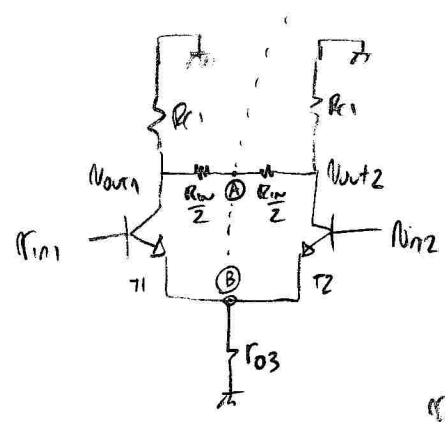
DC:



$$I_{BIAS} = \frac{V_{CC} - V_{BE}}{R_{BIAS}} \quad \text{III}$$

$$g_{m1} = g_{m2} = \frac{I_{BIAS}}{2V_T} \quad \text{II}$$

AC:



$g_{m1} - g_{m2} = \Delta d$ (conductor diff) \Rightarrow (A) y (B) Trans y puntos separar

$$\frac{V_{out1}}{N_d} = -\frac{1}{2} g_{m1} R_{c1} // \frac{R_{b1}}{2}$$

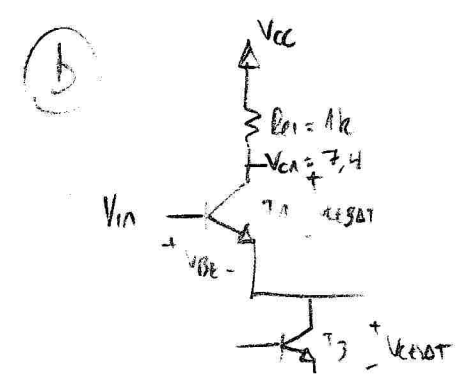
$$= -\frac{V_{out2}}{N_d} \quad \text{I}$$

$V_{in0} = V_{in1} = V_{in2} \Rightarrow V_{out1} = V_{out2} = V_A$ (no circuit conector Rb1)

$$\frac{V_{out1}}{N_{cm}} = \frac{V_{out2}}{N_{cm}} = \frac{R_{c1}}{2R_{03}} \quad \text{IV}$$

$$\text{a) } \Delta_D = \frac{V_{out2} - V_{out1}}{I_{BIAS} - I_{in2}} \stackrel{\text{I}}{=} g_{m1} \cdot R_{c1} // \frac{R_{b1}}{2} \stackrel{\text{II}}{=} \frac{I_{BIAS}}{2V_T} \cdot R_{c1} // \frac{R_{b1}}{2} \stackrel{\text{III}}{=} \frac{V_{CC} - V_{BE}}{2V_T R_{BIAS}} \cdot R_{c1} // \frac{R_{b1}}{2} \Rightarrow$$

$$\Rightarrow R_{BIAS} = \frac{V_{CC} - V_{BE}}{2V_T \Delta_D} \cdot R_{c1} // \frac{R_{b1}}{2} \Rightarrow \boxed{R_{BIAS} = 1,9 k\Omega} \Rightarrow I_{BIAS} = 5,2 \text{ mA}$$



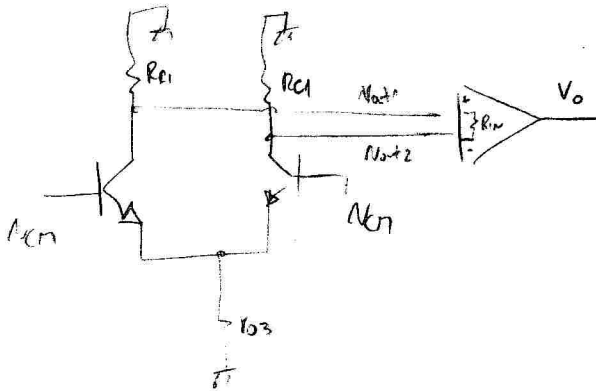
ICMR_{min}: HACIA ABAJO V_{in} puede decrecer mientras T_1 y T_2 estén en zona activa \Rightarrow $ICMR_{min} = V_{BE} + V_{ceSAT} = 1 \text{ V}$

ICMR_{max}: HACIA ARRIBA debe asegurarse que T_1 esté en zona activa \Rightarrow $ICMR_{max} = V_{ce1} - V_{ceSAT} + V_{BE} = 7,8 \text{ V}$
 \Rightarrow $ICMR = [1 \text{ V} - 7,8 \text{ V}]$

(C)
$$S_{cm} = \frac{N_{out1} - N_{out2}}{N_{cm}} = 0 \rightarrow \boxed{A_{cm} = 0} \Rightarrow \boxed{CMRR = \infty}$$

(D)
$$A_D^* = A_D \cdot A_{dif} = 10.50 \Rightarrow \boxed{A_D^* = 500 \frac{V}{V}}$$

A_{cm}^*



$$N_o = A_{dif} (N_{out1} - N_{out2}) + A_c \left(\frac{N_{out1} + N_{out2}}{2} \right)$$

por (IV)
$$\frac{N_{out1}}{N_{cm}} = \frac{N_{out2}}{N_{cm}} = \frac{R_{c1}}{2r_{o3}}$$

$$A_c^* = \frac{N_o}{N_{cm}}$$

$$\Rightarrow A_c^* = \frac{N_o}{N_{cm}} = \frac{A_{dif} (N_{out1} - N_{out2}) + A_c \left(\frac{N_{out1} + N_{out2}}{2} \right)}{N_{cm}} = \frac{-1}{2} A_c \left(\frac{N_{out1}}{N_{cm}} + \frac{N_{out2}}{N_{cm}} \right) =$$

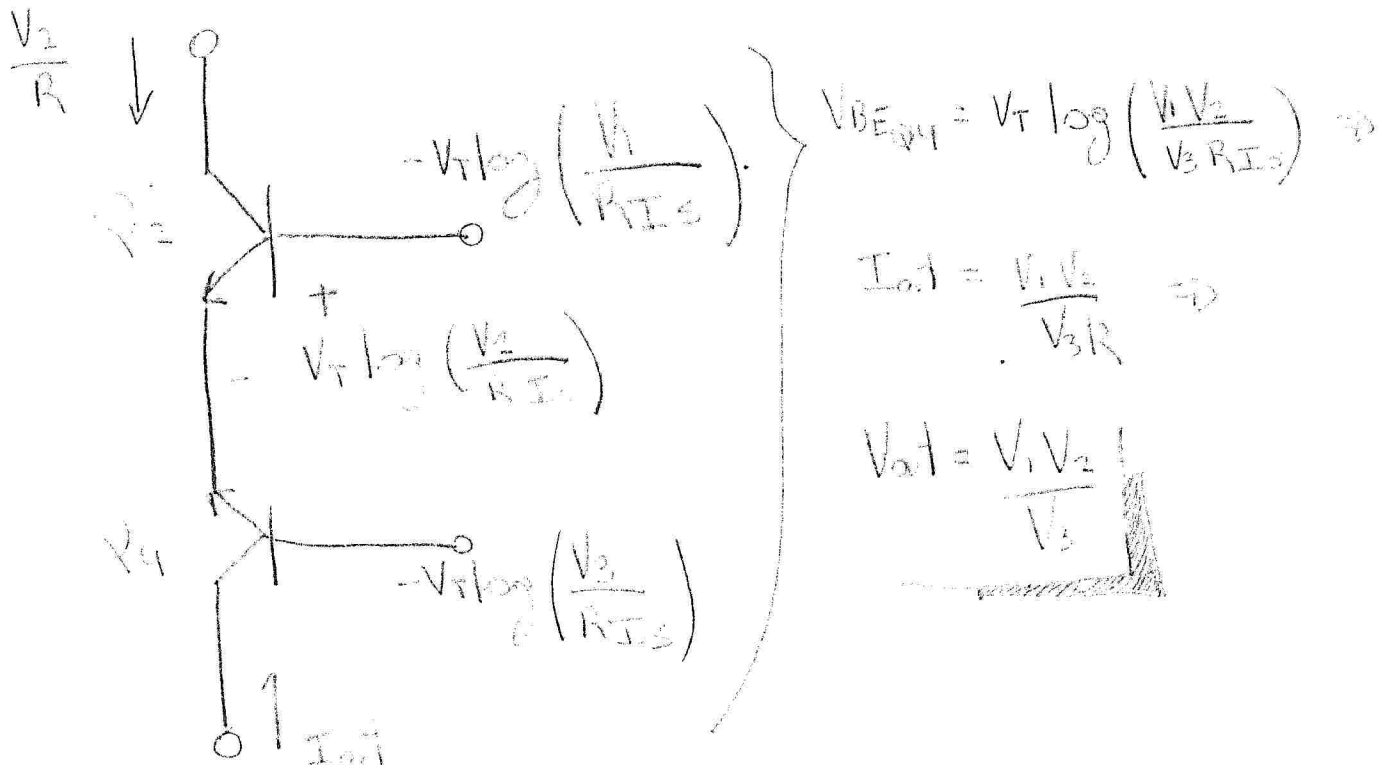
$$= \frac{1}{2} A_c \cdot \frac{R_{c1}}{r_{o3}} = \frac{1}{2} A_c \cdot \frac{R_{c1}}{V_A} \cdot I_{BIAS} \Rightarrow \boxed{A_c^* = 0,0026 \frac{V}{V}}$$

$$\boxed{CMRR^* = \frac{A_D^*}{A_c^*} = 106 \text{ dB}}$$

J

Solucion

(b)



(c)

Pero que los transistores están en modo activo
 $I_D = I_S (e^{V_{BE}/V_T} - 1)$

$$I_{in} = I_{out} \Rightarrow R I_3$$

nota que: $V_{BE_{Q1}} = V_{BE_{Q2}} = V_{BE_{Q3}} = V_{BE_{Q4}}$
 $I_{C1} = I_{C2} = I_{C3} = I_{C4} = I_{out}$

(c)

$$V_{out} = \frac{V_1 V_2}{V_3} = \frac{V_1 V_{out}}{V_3 I} \Rightarrow V_{out} = \frac{V_1 V_2}{V_3}$$