

EXAMEN DE ELECTRONICA 1
28/07/04



Resolver cada problema en hojas separadas.
Duración de la prueba: 3 horas 30 minutos.
La prueba es sin material.
Los puntajes de los problemas se indican sobre un total de 100 puntos.

PROBLEMA 1 (40 puntos)

- a) Los circuitos de las Figuras 1 y 2 implementan dos espejos de corriente. Calcule para el caso en el que β es finito, el error relativo en I_O definido como: $e=(I_{REF}-I_O)/I_O$. Suponga todos los transistores idénticos.
- b) Calcule para los circuitos de las Figuras 1 y 2 la resistencia de salida en señal. Considere los parámetros de pequeña señal idénticos para todos los transistores.
- c) En el circuito de la Figura 3 la fuente de corriente I_O se implementa con el espejo de la Figura 2. Calcule:
 - i. $V_{o1}-V_{o2} = f(V_1, V_2)$
 - ii. $V_{o1} = f(V_1, V_2)$

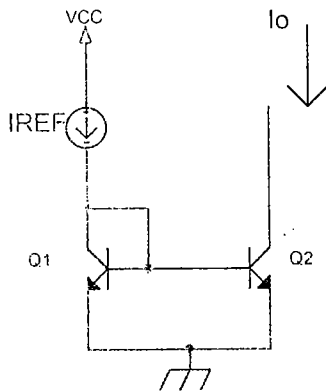


Figura 1

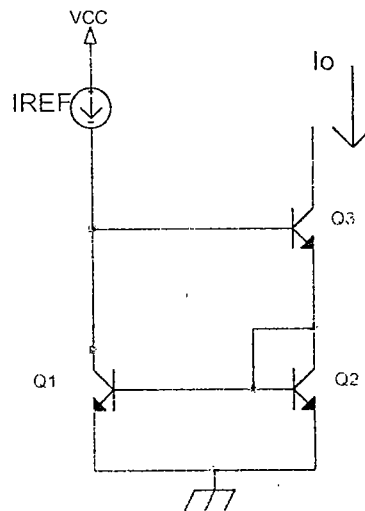


Figura 2

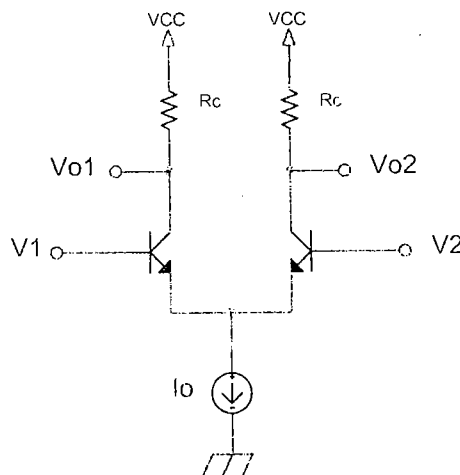


Figura 3

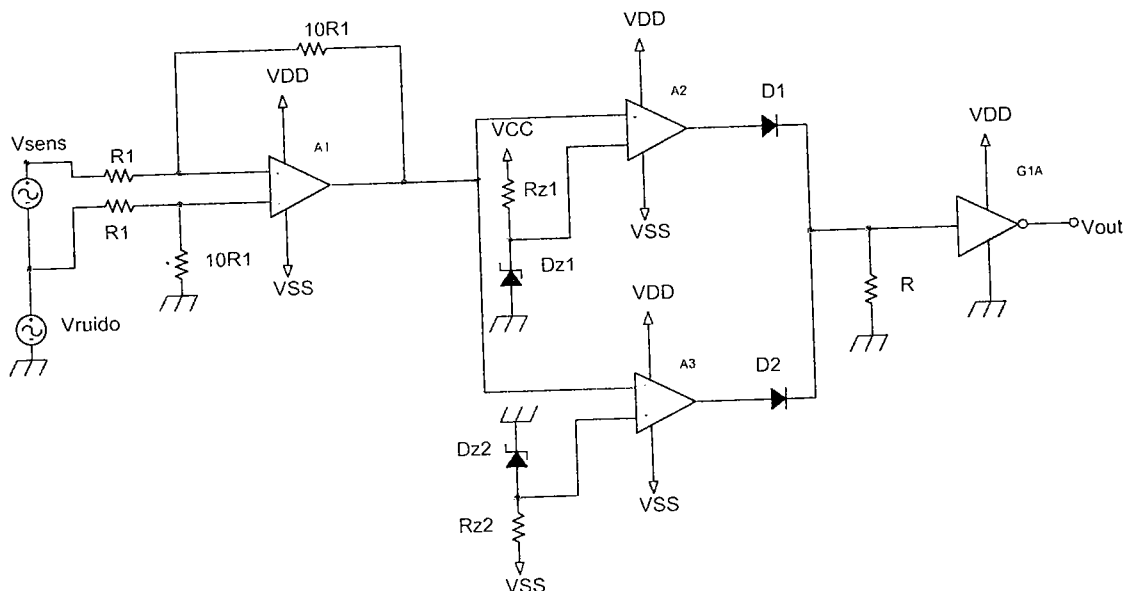
PROBLEMA 2 (40 puntos)

El circuito de la figura procesa la señal V_{SENS} que proviene de un sensor, para entregar el resultado a la puerta lógica G_{1A} . A la entrada del circuito también se tiene la señal de ruido V_{RUIDO} , como se indica en la figura.

- Si el amplificador A1 se implementa con el amplificador operacional LM318, cuyos datos se adjuntan (suponga $T_A=25^\circ C$). ¿Cuál es la mínima tensión V_{SENS} que se puede procesar en el peor caso si se desea que la señal válida a la salida de A1 sea siempre al menos 10 veces mayor que el nivel de continua que se tiene a la salida de A1 con entrada V_{SENS} nula?
- Si la mínima tensión V_{SENS} es la hallada en a), ¿cuál es, en el peor caso, la máxima amplitud admisible de V_{RUIDO} , si se desea que la amplitud de ruido a la salida de A1 sea 100 veces menor que la señal válida?
- Si la compuerta G_{1A} es un inversor CMOS, ¿qué condición deben cumplir los parámetros de los transistores que lo componen para que cuando su salida sea 0 no haya una corriente continua entre V_{DD} y tierra para la entrada que tendrá en el circuito de la figura?. Se desprecian las corrientes de fuga y subumbral de los transistores que componen el inversor CMOS.
- ¿Hasta que frecuencia de la señal V_{SENS} se puede considerar constante la ganancia hasta la salida de A1?
- Si la frecuencia de V_{SENS} es menor a la indicada en d), ¿para qué valores de la señal V_{SENS} se tendrá un 1 a la salida de G_{1A} y para cuáles un 0?

Datos:

- Todas las resistencias indicadas como R1 son idénticas entre sí y también lo son las indicadas como 10.R1.
- R1 vale 10kΩ.
- Los amplificadores A2 y A3 se supondrán ideales.
- Los diodos zener DZ1 y DZ2 son ideales con tensión zener V_Z , tensión directa V_{FZ} y las resistencias RZ1 y RZ2 son adecuadas para operación en zona zener.
- Los diodos D1 y D2 tienen tensión directa V_D .
- $V_{DD} = -V_{SS} = 5V$



electrical characteristics at specified free-air temperature (see Note 5)

PARAMETER	TEST CONDITIONS†	T _A ‡	LM118, LM218			LM318			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
V _{IO} Input offset voltage	V _O = 0	25°C	2 4			4 10			mV
		Full range	6			15			
I _{IO} Input offset current	V _O = 0	25°C	6 50			30 200			nA
		Full range	100			300			
I _{IB} Input bias current	V _O = 0	25°C	120 250			150 500			nA
		Full range	500			750			
V _{ICR} Common-mode input voltage range	V _{CC±} = ±15 V	Full range	±11.5			±11.5			V
V _{OM} Maximum peak output voltage swing	V _{CC±} = ±15 V, R _L = 2 kΩ	Full range	±12	±13		±12	±13		V
A _{VD} Large-signal differential voltage amplification	V _{CC±} = ±15 V, V _O = ±10 V, R _L ≥ 2 kΩ	25°C	50	200		25	200		V/mV
		Full range	25			20			
B ₁ Unity-gain bandwidth	V _{CC±} = ±15 V	25°C	15			15			MHz
r _i Input resistance		25°C	1*	3		0.5	3		MΩ
CMRR Common-mode rejection ratio	V _{IC} = V _{ICRmin}	Full range	80	100		70	100		dB
k _{SVR} Supply-voltage rejection ratio (ΔV _{CC} /ΔV _{IO})		Full range	70	80		65	80		dB
I _{CC} Supply current	V _O = 0, No load	25°C	5 8			5 10			mA

* On products compliant to MIL-STD-883, Class B, this parameter is not production tested.
 † All characteristics are measured under open-loop conditions with common-mode input voltage, unless otherwise specified.
 ‡ Full range for LM118 is -55°C to 125°C, full range for LM218 is -25°C to 85°C, and full range for LM318 is 0°C to 70°C.
 NOTE 9: Unless otherwise noted, V_{CC} = ±5 V to ±20 V. All typical values are at V_{CC±} = ±15 V and T_A = 25°C.

PREGUNTA (20 puntos)

- a) Comparar una compuerta CMOS y una compuerta TTL en los siguientes aspectos, fundamentando en todos los casos las respuestas:

Criterio	CMOS	TTL
Consumo estático con las entradas a tierra o fuente		
Variación del nivel lógico a la salida con el número de compuertas conectadas a la salida		
Niveles lógicos a la salida sin carga (indicar los valores en cada caso, fundamentando).		

- b) Calcular la corriente por la entrada de un inversor TTL cuando dicha entrada está a tierra y cuando dicha entrada está a la fuente de alimentación.

1) a)

en FIGURA 1

$$I_0 = I_{c2} = I_{c1} \quad (\text{Pues } V_{be1} = V_{be2})$$

$$I_{ref} = (B+2) I_{b1} = \left(\frac{B+2}{B}\right) I_{c1} = \left(\frac{B+2}{B}\right) I_0$$

$$e = \frac{I_{ref} - I_0}{I_0} = \left(\frac{B+2}{B} - 1\right) = 2/B$$

$$e = 2/B$$

en FIGURA 2

$$I_0 = I_{c3}$$

$$(I) \quad I_{E3} = I_{c3} \left(\frac{B+1}{B}\right)$$

$$\text{análogo a figura 1: } I_{E3} = \left(\frac{B+2}{B}\right) I_{c1} \quad (II)$$

$$\text{de (I) y (II)} \quad I_{c3} \left(\frac{B+1}{B}\right) = I_{c1} \left(\frac{B+2}{B}\right)$$

$$\text{y} \quad I_{ref} = I_{c1} + I_{c3}/B$$

$$\Rightarrow I_{ref} = I_{c3} \left(\frac{B+1}{B}\right) \left(\frac{B}{B+2}\right) + \frac{I_{c3}}{B} = I_0 \left(\frac{B+1}{B+2} + \frac{1}{B}\right)$$

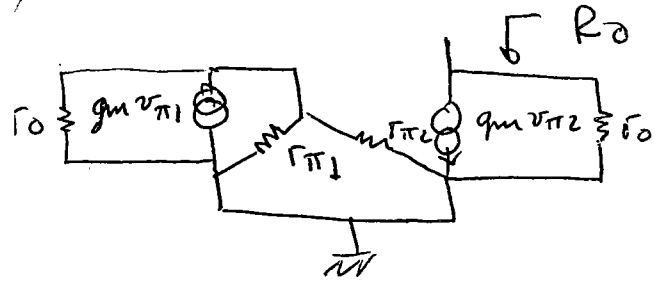
\downarrow
 $I_{c3} = I_0$

$$e = \left(\frac{B+1}{B+2} + \frac{1}{B} - 1\right) = \frac{2}{(B+2)B} \approx \frac{2}{B^2}$$

\downarrow
 $B \gg 2$

1) b) en FIGURA 1:

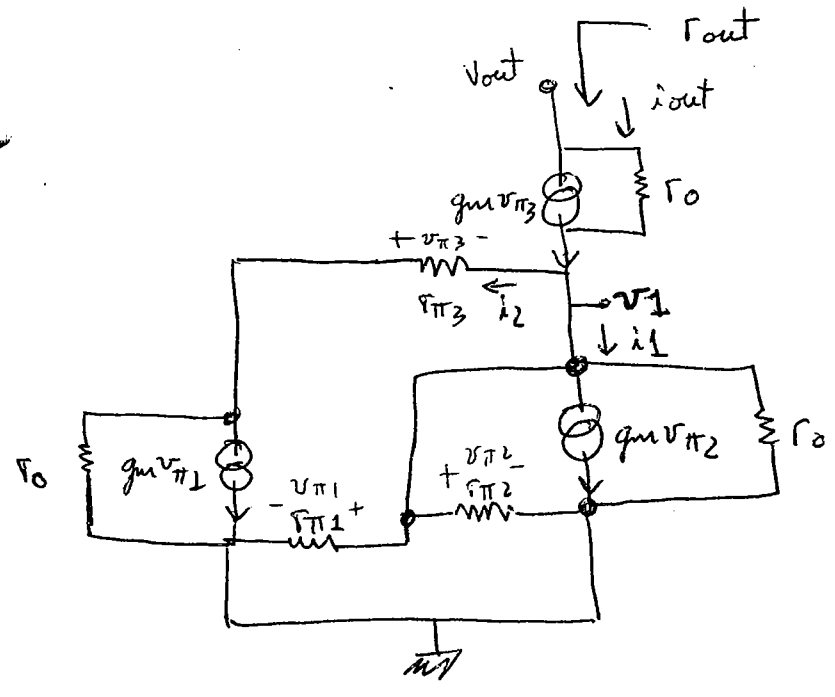
Fuente de corriente en señal es un circuito abierto -



$$v_{\pi 2} = \phi$$

$$\Rightarrow R_o = r_o$$

en FIGURA 2:



$$i_1 = gm v_1 + \frac{v_1}{r_{\pi}} + \frac{v_1}{r_o} \quad (I)$$

$$i_2 r_{\pi 3} + r_o (i_2 - gm v_1) = v_1$$

$$\Rightarrow i_2 = v_1 \left(\frac{1 + gm r_o}{r_{\pi} + r_o} \right) \quad (II)$$

$$i_{out} = i_1 + i_2 \quad (III)$$

$$v_{out} = v_1 + \underbrace{(i_{out} + gm r_{\pi} i_2)}_{\beta} r_o \quad (IV)$$

ej 1) b) continuación

$$r_{out} = \frac{v_{out}}{i_{out}}$$

$$i_{out} = V_1 \left(g_m + \frac{1}{r_\pi} + \frac{1}{r_o} + \frac{1 + g_m r_o}{r_\pi + r_o} \right)$$

↓
ecu (I), (II) en (III)

$$v_{out} = V_1 \left[1 + \beta r_o \left(\frac{1 + g_m r_o}{r_\pi + r_o} \right) \right] + r_o i_{out}$$

↓
ecu (I), (II) en (IV)

$$r_{out} = \frac{1 + \beta r_o \left(\frac{1 + g_m r_o}{r_\pi + r_o} \right) + r_o}{\left(g_m + \frac{1}{r_\pi} + \frac{1}{r_o} + \frac{1 + g_m r_o}{r_\pi + r_o} \right)}$$

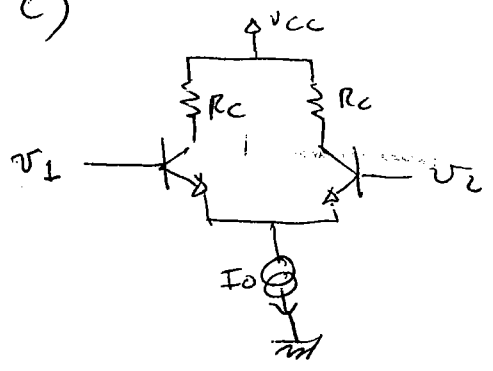
$$\left. \begin{array}{l} 1/r_\pi = g_m/\beta \\ r_o \gg r_\pi, \beta \gg 1 \end{array} \right\} \Rightarrow g_m r_o \gg 1$$

$$r_{out} \approx \frac{1 + \beta r_o (g_m r_o / r_o)}{g_m + \frac{g_m r_o}{r_o}} + r_o$$

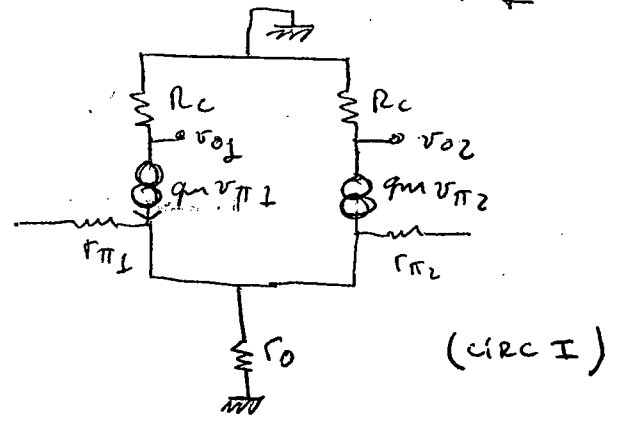
$$r_{out} \approx r_o + \frac{\beta r_o g_m}{2 g_m} \approx \frac{\beta}{2} r_o$$

$$r_{out} \approx \frac{\beta}{2} r_o$$

1) c)



2)

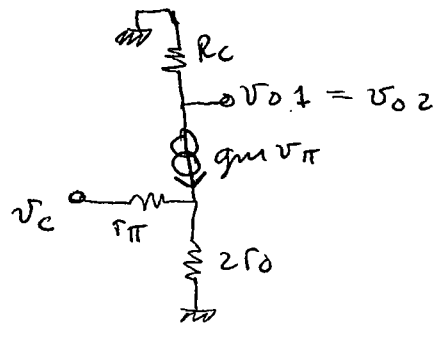


$$v_1 = \frac{v_1 + v_2}{2} + \frac{v_1 - v_2}{2} = v_c + v_d/2$$

$$v_2 = \frac{v_1 + v_2}{2} - \frac{v_1 - v_2}{2} = v_c - v_d/2$$

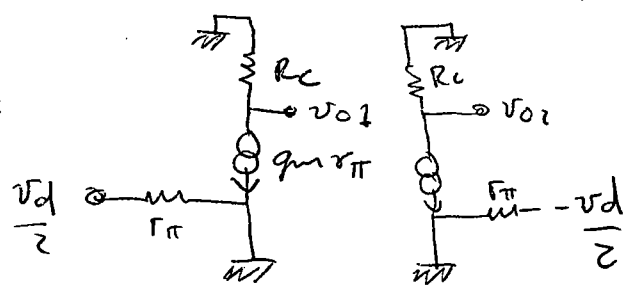
SUPERPOSICIÓN:

$v_1 = v_2 = v_c \Rightarrow$ (CIRC I) =



$$v_{o1} = v_{o2} = -v_c \cdot \frac{\beta R_C}{r_{\pi} + (\beta + 1) 2r_0} \approx -v_c \frac{R_C}{2r_0}$$

$v_1 = -v_2 = v_d/2 \Rightarrow$ (CIRC II)



$v_{o1} = -g_m R_C v_d/2$

$v_{o2} = g_m R_C v_d/2$

Con salida diferencial por simetría la ganancia en modo común es 0, por lo que V_c no afecta.

$v_{o1} - v_{o2} = -g_m R_C v_d = g_m R_C (v_2 - v_1)$

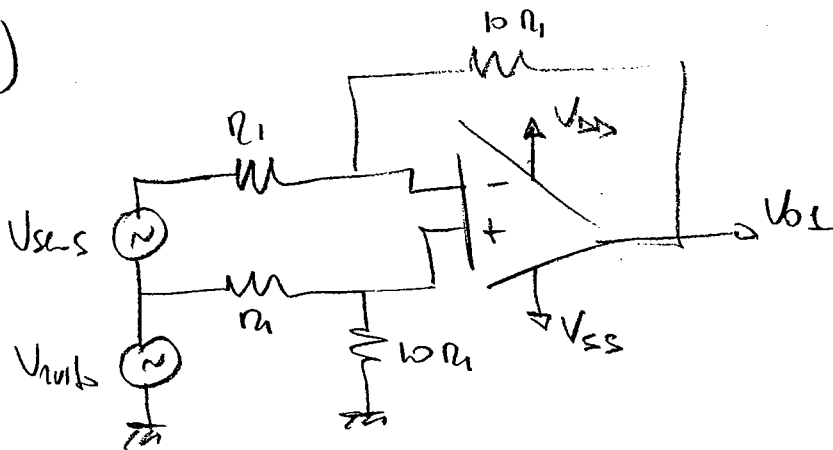
$v_{o1} = \frac{-v_c R_C}{2r_0} - g_m R_C \frac{v_d}{2} = -\frac{(v_1 + v_2) R_C}{4r_0} + \frac{g_m R_C}{2} (v_2 - v_1)$

$v_{o1} = V_{CC} - \frac{R_C I_0}{2} - \frac{(v_1 + v_2) R_C}{4r_0} + \frac{g_m R_C}{2} (v_2 - v_1)$

$v_{o1} - v_{o2} = -g_m R_C v_d$

EXAMEN ELECTRONICA 1 JUL/2004

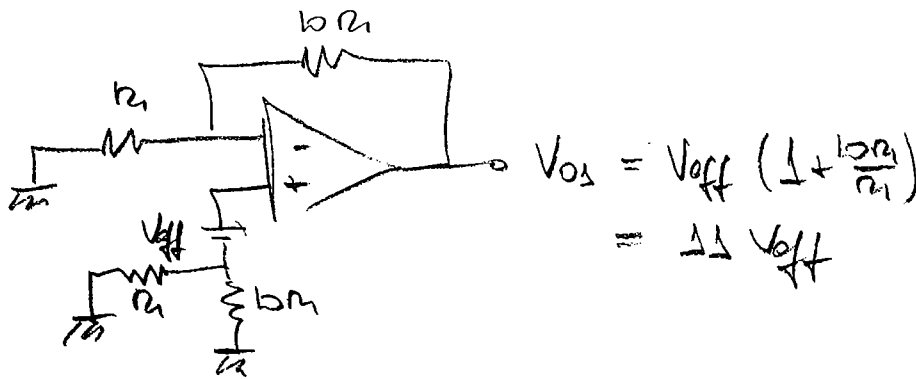
(e)



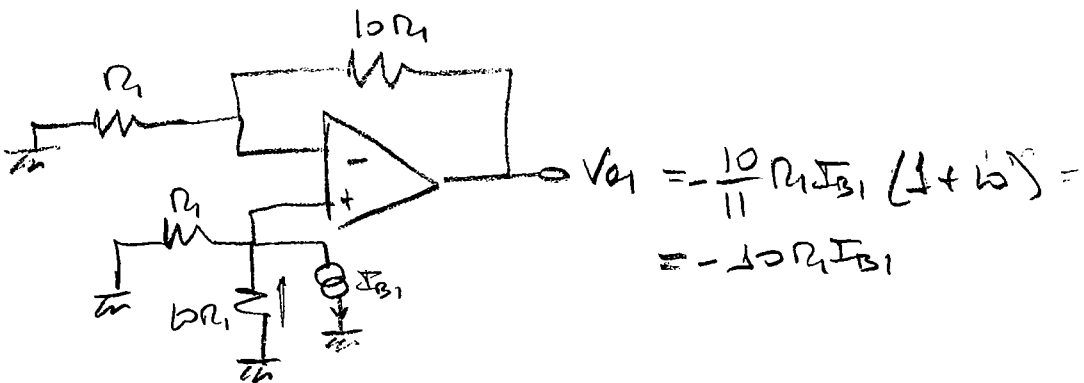
Nivel de continua u_a la u_r clător se
 mas se febe ΔV_{off} , I_B e I_{off}

suprafans

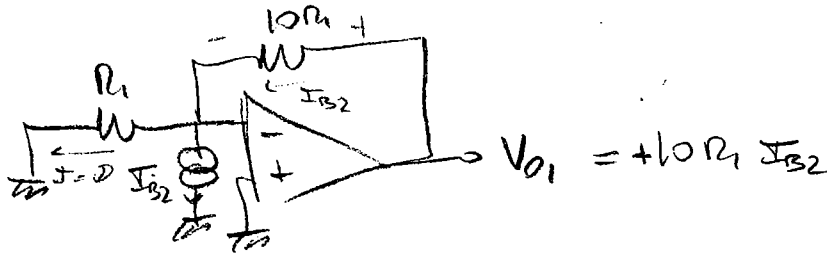
V_{off} :



I_{B1}



I_{B2}



$$\begin{aligned} \Rightarrow V_{O1}|_{DC} &= \Delta V_{off} + 10R_1 (I_{B2} - I_{B1}) \\ &= \Delta V_{off} + 10R_1 I_{off} \end{aligned}$$

per case: $V_{off} = 10 \text{ mV}$ (Max Input Offset Voltage)
 $I_{off} = 200 \text{ nA}$ (Max Input Offset Current)
 $(T_A = 25^\circ\text{C})$

$$\Rightarrow V_{O1}|_{DC} = 130 \text{ mV}$$

$$\Rightarrow \sqrt{V_{sens\ pico}|_{min} = 130 \text{ mV} = \frac{V_{osens}}{10}}$$

(b)

$$\text{en signal: } N_{O1} = A_d N_{sens} + A_c N_{cn} \quad (11. N_d)$$

$$N_{cn} = N_{wits} + \frac{N_{sels}}{2}$$

$$A_d = \frac{10R_1}{R_1} = 10 \quad (20 \text{ dB})$$

$$A_c = \frac{A_d}{CMRR} = 20 \text{ dB} = -50 \text{ dB}$$

$$\text{with } R_2 \equiv R_1 \quad \left. \begin{array}{l} \\ \\ \end{array} \right\} \Rightarrow CMRR_{TOT} = CMRR_{OA} = 70 \text{ dB}$$

per case:
 min common mode
 rejection ratio

EXAMEN ELECTRO 1 JUL/2004

(b) (sigue)

$$\Rightarrow N_{01} = A_d \left(N_{sens} + \frac{N_{sens}/2}{CMRR} + \frac{N_{ ruido }}{CMRR} \right)$$

$$N_{sens} \gg \frac{N_{sens}}{2CMRR}$$

$$\Rightarrow \frac{N_{ ruido }}{CMRR} < \frac{N_{sens}}{100} \Rightarrow \boxed{N_{ ruido }|_{max} = 4,11 \text{ V}}$$

(c)

A_2 y A_3 forman un comparador de ventana:

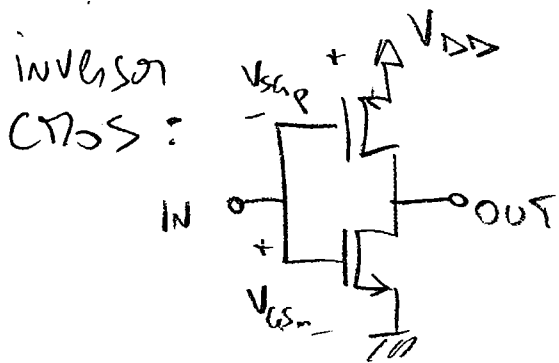
- La salida de A_2 es V_{DD} siempre q' $V_{03} > V_z$ y V_{SS} e caso contrario.
- La salida de A_3 es V_{DD} siempre q' $V_{03} < -V_z$ y V_{SS} e caso contrario.

A_1 , A_2 y R forman un OR ya que

la entrada de G1A queda a $\boxed{V_{DD} - V_0}$

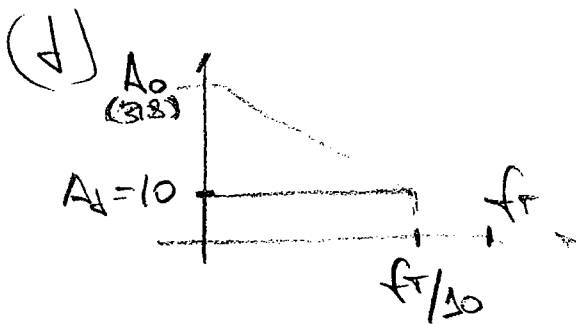
cuando $\boxed{|V_{03}| > V_z}$

(c) (sigue)



Para que both conierte a V_{DD} y Tierra, cuando $OUT = 0$ ambos transistores debe conducir cuando tener: $I_N = 1$

La tensión convergiere a 1 del circuito previo es $V_{DD} - V_D$. Para que $OUT = 0$ el NMOS debe conducir $\Rightarrow V_{SGn} > V_{Tn}$
 $\Rightarrow V_{DD} - V_D > V_{Tn}$. Ahora el PMOS también: V_D a conducir si $V_{SGp} > |V_{Tp}| \Rightarrow$ para evitarlo se debe cumplir: $V_{SGp} < |V_{Tp}|$
 Como $V_{SGp} = V_{DD} - (V_{DD} - V_D) = V_D \Rightarrow$ CONDICIÓN:
 $V_D < |V_{Tp}|$



$$\omega_{3dB} = \frac{\omega_T}{A_1} = \frac{\omega_T}{10}$$

$f_T = 15 \text{ MHz}$ sobre los valores típicos
 (GAIN BANDWIDTH PRODUCT)

$$\Rightarrow f_{3dB} = 1.5 \text{ MHz}$$

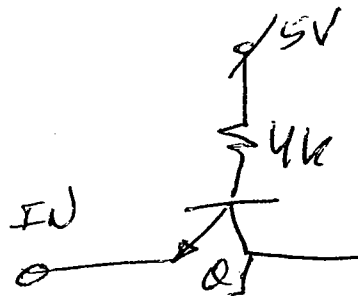
(e)

$OUT = 0 \Leftrightarrow I_N = 1 \Leftrightarrow |V_{oi}| > V_Z$ y $V_{oi} = 10V_{SS15}$
 $\Rightarrow |V_{SS15}| > V_Z/50 \Leftrightarrow OUT = 0$
 And loq. $\Rightarrow |V_{SS15}| < V_Z/50 \rightarrow OUT = 1$

PREGUNTA:

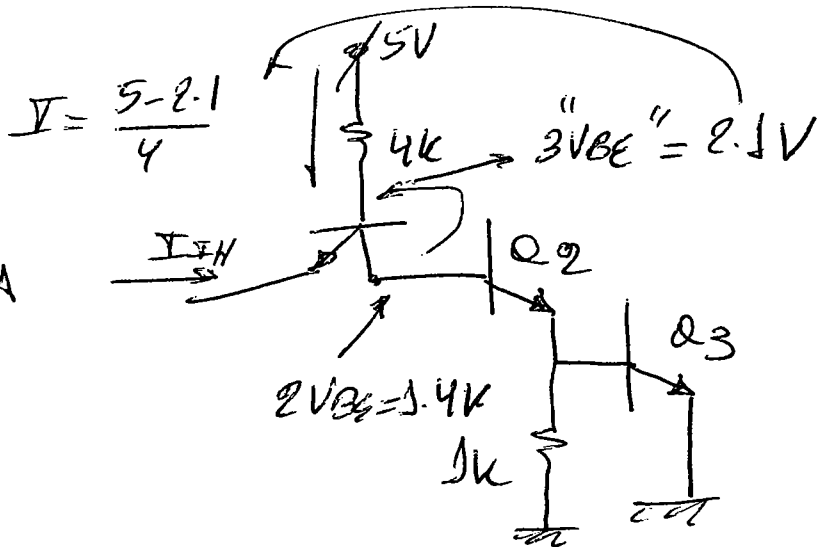
a)	CMOS	TTL
Consumo estático	0	$\neq 0$
Umbral nivel lógico sólido	0	$\neq 0$ (cada entrada consume corriente de)
Niveles lógicos de lo sólido que consume	0 y V_{DD}	0 y $3.7V \neq V_{CC} = 5V$

b) Entrada TTL:



$\rightarrow I_{IN} = 5V \Rightarrow Q1$ en zona activa o inversa

\Rightarrow



$\rightarrow I_{IH} =$

$$= \beta R \cdot I = 15 \mu A$$

$$\frac{1}{50}$$

$I_{IN} = 0V$

$\rightarrow I_{IL} = \frac{5V - V_{BE}}{4k} \approx 1 \mu A$