

EXAMEN DE ELECTRONICA 1
13/03/03

Resolver cada problema en hojas separadas.

Duración de la prueba: 3 horas 30 minutos.

La prueba es sin material.

Los puntajes de los problemas se indican sobre un total de 100 puntos.



PROBLEMA 1 (37 puntos)

- a) El circuito de la Figura 1 implementa una referencia de corriente. Los transistores tienen $\beta \gg 1$. Calcular la corriente I_o si los transistores son idénticos con excepción de Q4 cuya área de emisor es k veces la de los otros transistores (donde k puede ser menor, igual o mayor a 1). Analizar la condición que debe cumplir k para que la referencia de corriente funcione.

El circuito de la Figura 1 es usado como fuente de corriente en el circuito de la Figura 2.

- b) Calcular la ganancia V_{out}/V_{in} del circuito de la Figura 2.
c) ¿Cómo varía dicha ganancia con la Temperatura?

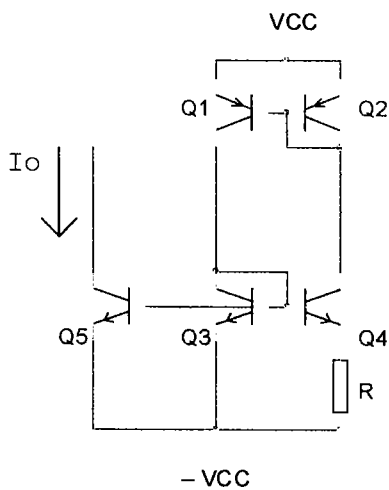


Figura 1

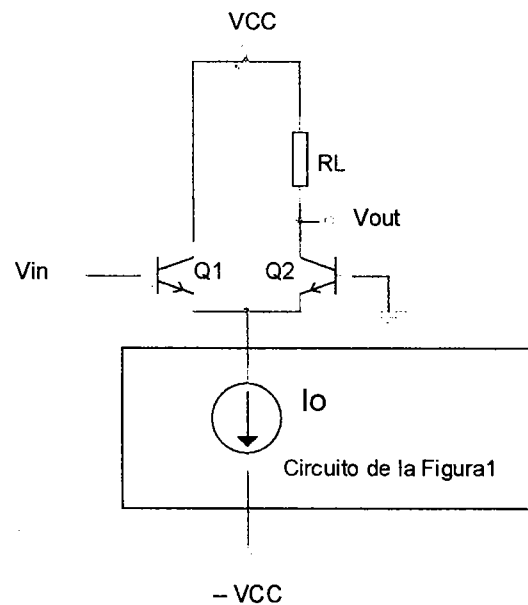


Figura2

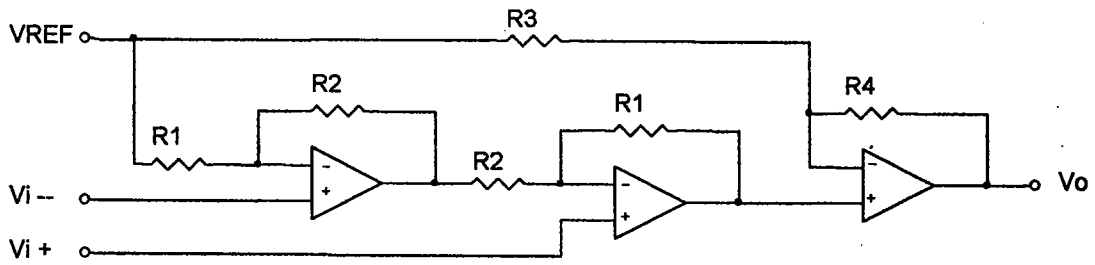
PROBLEMA 2 (37 puntos)

El circuito de la figura muestra la estructura de un amplificador de instrumentación comercial.

- a) Calcular la ganancia diferencial del amplificador y el nivel de la salida respecto a tierra para entrada diferencial nula, si los amplificadores operacionales son ideales. $R_4/R_3 \gg 1$

Si los amplificadores tienen un rango de entrada de modo común entre $V_{SS} + 0.2V$ y $V_{DD} - 1.2V$, una excursión de salida entre $V_{SS} + 0.2V$ y $V_{DD} - 0.2V$, una frecuencia de transición f_T y un Slew rate S_r :

- b) ¿Cuál es el rango de modo común a la entrada si $V_{REF} = V_{DD}/2$, $V_{DD} = 3V$, $V_{SS} = 0V$ y $R_1 = 4 * R_2$?
c) ¿Cuál será la frecuencia de corte de $-3dB$ del amplificador?
d) Si la señal diferencial de entrada es una senoide de amplitud A , ¿cuál es la máxima frecuencia a la que la salida no distorsiona?



PROBLEMA 3 (26 puntos)

Se tiene la compuerta lógica CMOS de la Fig. 1.

- a) Indicar el estado de la salida para todas las combinaciones de las entradas y cuál es la función de esta compuerta.

BA	OUT
00	
01	
10	
11	

- b) Se implementa el circuito de la Fig. 2 con dos compuertas como las de la Fig. 1. Indicar el estado de la salida Y para todas las combinaciones de las entradas B1, B2 e IN.

Y		
B2B1IN	0	1
00		
01		
10		
11		

- c) Si se quita la resistencia R1, ¿cuál es el comportamiento a la salida para la combinación de entradas: B2=1, B1=0 e IN = 1?

FIGURA 1

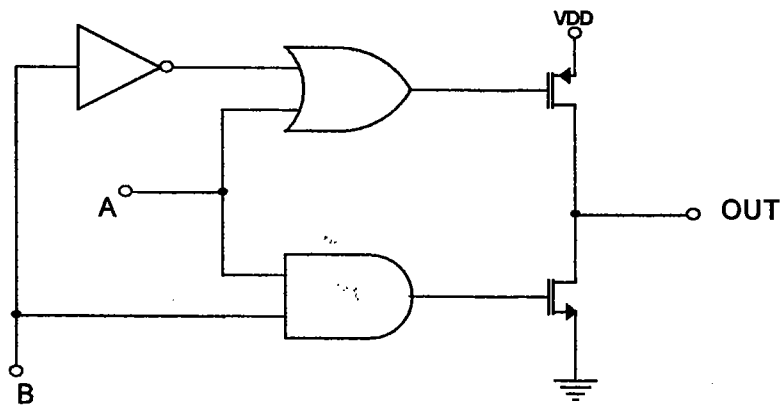
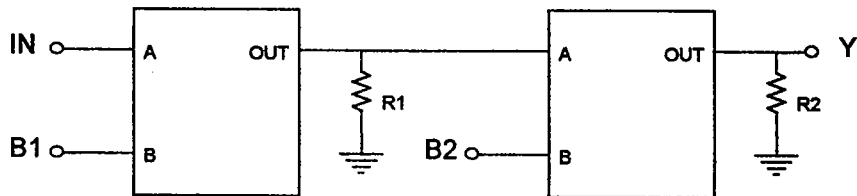
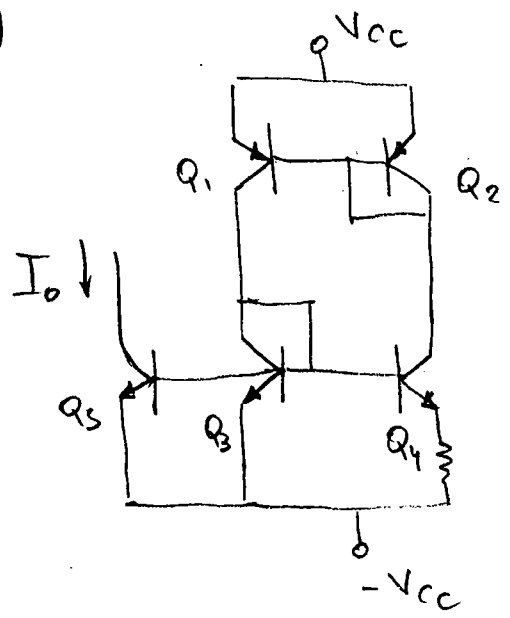


FIGURA 2



Problema 1:

a)



$$\beta \gg 1 \Rightarrow I_E \approx I_C$$

$$I_{C1} = I_{C2} \Rightarrow I_{C3} = I_{C4} \quad (I)$$

$$V_{BE3} = V_{BE4} + R I_{C4}$$

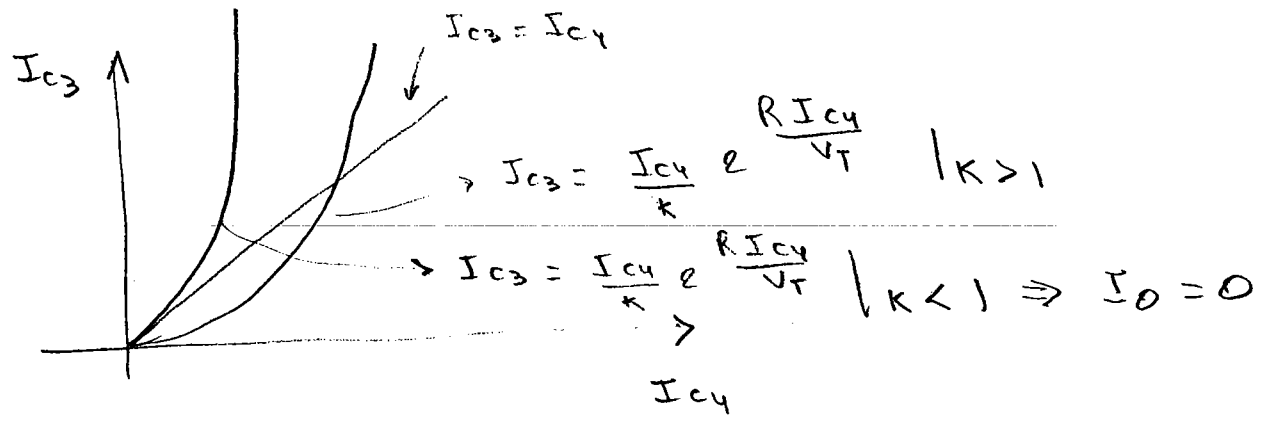
$$I_{C3} = I_S e^{V_{BE3}/V_T}$$

$$I_{C4} = K I_S e^{V_{BE4}/V_T}$$

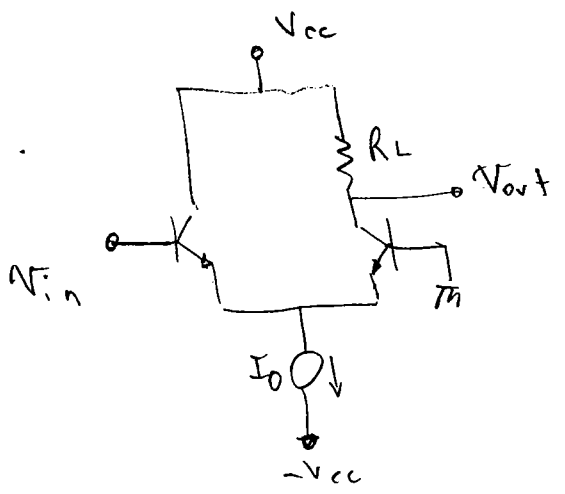
$$\frac{I_{C3}}{I_{C4}} = \frac{I_S}{K I_S} e^{\frac{V_{BE3} - V_{BE4}}{V_T}} = \frac{1}{K} e^{\frac{R I_{C4}}{V_T}}$$

$$\Rightarrow I_{C4} = \frac{V_T}{R} \ln K = I_0 \quad (I)$$

Para que funcione $K > 1 \Rightarrow I_{C4} > 0$



b)



$$V_{out} = \frac{g_m v_{in} \cdot R_L}{2}$$

$$\boxed{\frac{V_{out}}{v_{in}} = \frac{g_m R_L}{2}}$$

c)

$$\frac{v_{out}}{v_{in}} = \frac{g_m}{2} R_L = \frac{I_c}{V_T} \cdot R_L = \frac{I_0}{4 V_T} \cdot R_L$$

$$= \frac{V_T}{4 V_T} \cdot \frac{R_L}{R} \cdot \ln K = \frac{R_L}{4 R} \cdot \ln K.$$

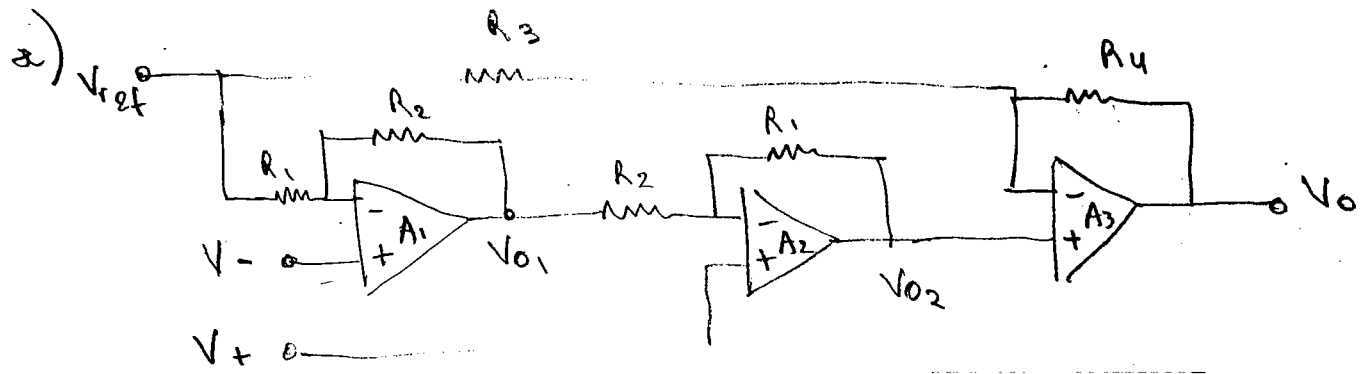
↑

No depende de T



LINDER REYES

Problema 2:



$$\frac{V^- - V_{o1}}{R_2} = \frac{V_{ref} - V^-}{R_1} \Rightarrow V_{o1} = V^- \left(\frac{R_1 + R_2}{R_1} \right) - \frac{V_{ref} \cdot R_2}{R_1}$$

Anzlogamente

$$V_{o2} = V^+ \left(\frac{R_2 + R_1}{R_2} \right) - V_{o1} \frac{R_1}{R_2}$$

$$V_o = V_{o2} \left(\frac{R_3 + R_4}{R_3} \right) - V_{ref} \frac{R_4}{R_3}$$

$$\Rightarrow V_o = (V^+ - V^-) \left(\frac{R_3 + R_4}{R_3} \right) \left(\frac{R_1 + R_2}{R_2} \right) + V_{ref}$$

$$G_d = \left(\frac{R_3 + R_4}{R_3} \right) \left(\frac{R_1 + R_2}{R_2} \right)$$

b) $V_{ref} = V_{DD}/2$

Para una entrada en modo común

$$V_{o1} = \left(1 + \frac{R_2}{R_1}\right) V^- - V_{ref} \cdot \frac{R_2}{R_1}$$

$$\begin{aligned} V_{o2} &= -\frac{R_1}{R_2} \left(1 + \frac{R_2}{R_1}\right) V^- + V_{ref} + \left(1 + \frac{R_1}{R_2}\right) V^+ \\ &= \left(1 + \frac{R_1}{R_2}\right) (V^+ - V^-) + V_{ref} \end{aligned}$$

$V^+ = V^-$

⇒ La señal de modo común de entrada de A_3

es siempre $V_{ref} = V_{DD}/2$.

Condiciones.

$$V_{o1}, V_{o2} \in [V_{SS} + 0,2, V_{DD} - 0,2]$$

$$V^-, V^+ \in [V_{SS} + 0,2, V_{DD} - 1,2]$$

$$V_{o1,2} \in [0,2, 2,8]$$

$$V^-, V^+ \in [0,2, 1,8]$$

Para A_1

$$V_{o1} = \left(\frac{4+1}{4}\right) V_{cm} - \frac{1,5V}{4}$$

$$V_{CM} = \frac{4V_{O1} + 1,5}{5} \begin{matrix} \nearrow \frac{0,8 + 1,5}{5} = 0,46 \\ \searrow \frac{11,2 + 1,5}{5} = 2,54 \end{matrix}$$

$$V_{CM} \in [0,46, 2,54]$$

Tomando en cuenta la entrada V^- $V_{CM} \in [0,2, 1,8]$

$$\Rightarrow V_{CM} \in [0,46, 1,8]$$

para A_2

$$V^+ \in [0,2, 1,8]$$

$$V_{O2} = V_{ref}$$

$$\Rightarrow \boxed{V_{CM} \in [0,46, 1,8]}$$

c) El que determina la frecuencia de corte de -3dB es A_3 por estar realimentado con la mayor ganancia.

$$\boxed{f_{-3dB} = \frac{f_r}{A_4/A_3 + 1}}$$

d) Para que no distorsione la máx. pendiente de la señal en el circuito $< S_r$

$$\Rightarrow G_D \cdot 2\pi \cdot f \cdot A < S_r \Rightarrow \boxed{f < \frac{S_r}{G_D \cdot A \cdot 2\pi}}$$

~~Linde~~
LINDE REZE

Examen de Electrónica 1, 13/03/03.

SOLUCIÓN PROBLEMA 3

Se tiene la compuerta lógica CMOS de la Fig. 1.

- a) Indicar el estado de la salida para todas las combinaciones de las entradas y cuál es la función de esta compuerta.

BA	OUT
00	Alta Z
01	Alta Z
10	1
11	0

La compuerta implementa un inversor con entrada A y salida OUT con tercer estado, controlado por la entrada de habilitación B:

- cuando B está en 1 se tiene la señal A en los gates de los transistores MOS y se tiene un inversor CMOS,
- cuando B está en 0, se tiene el gate del transistor nMOS en 0 (VSS) y del pMOS en 1 (VDD), por tanto ambos

están cortados y la salida está en alta impedancia

- b) Se implementa el circuito de la Fig. 2 con dos compuertas como las de la Fig. 1. Indicar el estado de la salida Y para todas las combinaciones de las entradas B1, B2 e IN.

B2B1\IN	Y	
	0	1
00	0	0
01	0	0
10	1	1
11	0	1

Si B2 = 0, el segundo inversor tiene su salida en tercer estado y por tanto, independientemente del valor de B1 e IN, la salida es fijada en 0 por la resistencia de "pull down" R2.

Si B2B1=11 => ambas inversores tienen su salida habilitados y la salida es igual a la entrada (se invierte dos veces)

Si B2B1=10 => el primer inversor está deshabilitado, por tanto la entrada del segundo inversor queda fijada a 0 por la resistencia de "pull down" R1, independientemente del valor de la entrada IN. Como el segundo inversor está habilitado la salida es el inverso de esta entrada (es decir 1).

- c) Si se quita la resistencia R1, ¿cuál es el comportamiento a la salida para la combinación de entradas: B2=1, B1=0 e IN = 1?

En el caso B2B1 = 10, si no está R1, la entrada del segundo inversor queda indeterminada pues la compuerta que la maneja está en tercer estado. En este caso, tratándose de compuertas CMOS con alta impedancia de entrada, la entrada captará el ruido ambiente (por ej la red de potencia de 50 o 60Hz) y la salida variará de acuerdo a esto.