

Transistores de Efecto de Campo parte 2

Rev. 2.1

Curso Electrónica 1

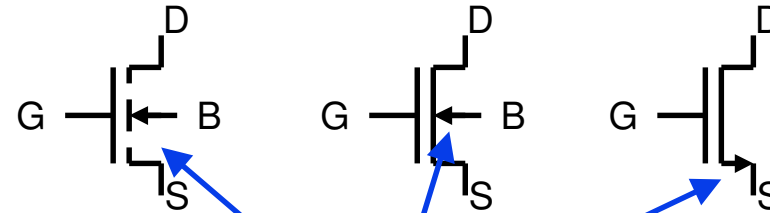
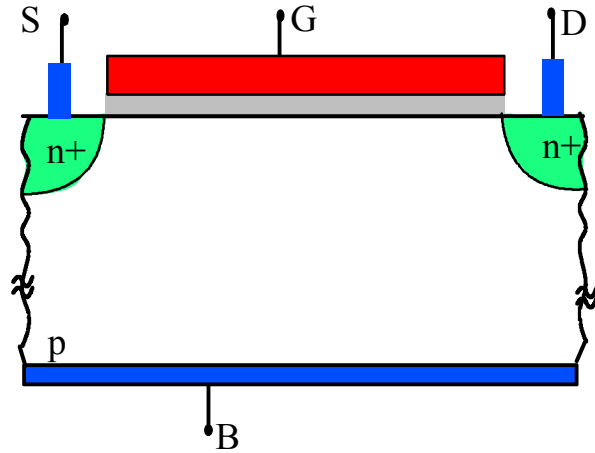
Fernando Silveira

Instituto de Ingeniería Eléctrica

Contenido

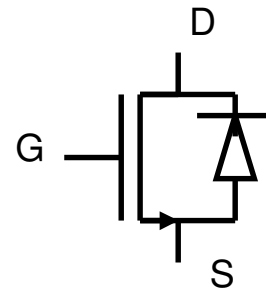
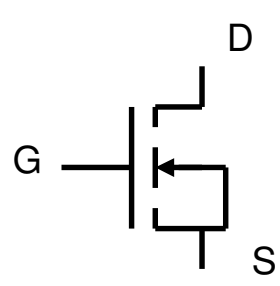
- ◆ Transistor nMOS: Símbolos de circuito
- ◆ No idealidades:
 - Efecto de Modulación de Largo de Canal
 - Corriente Subumbral
- ◆ Transistor pMOS y tecnología CMOS
- ◆ Representación gráfica de las ecuaciones del transistor
- ◆ Llave analógica
- ◆ Modelo de pequeña señal

Transistor nMOS: Símbolos de circuito



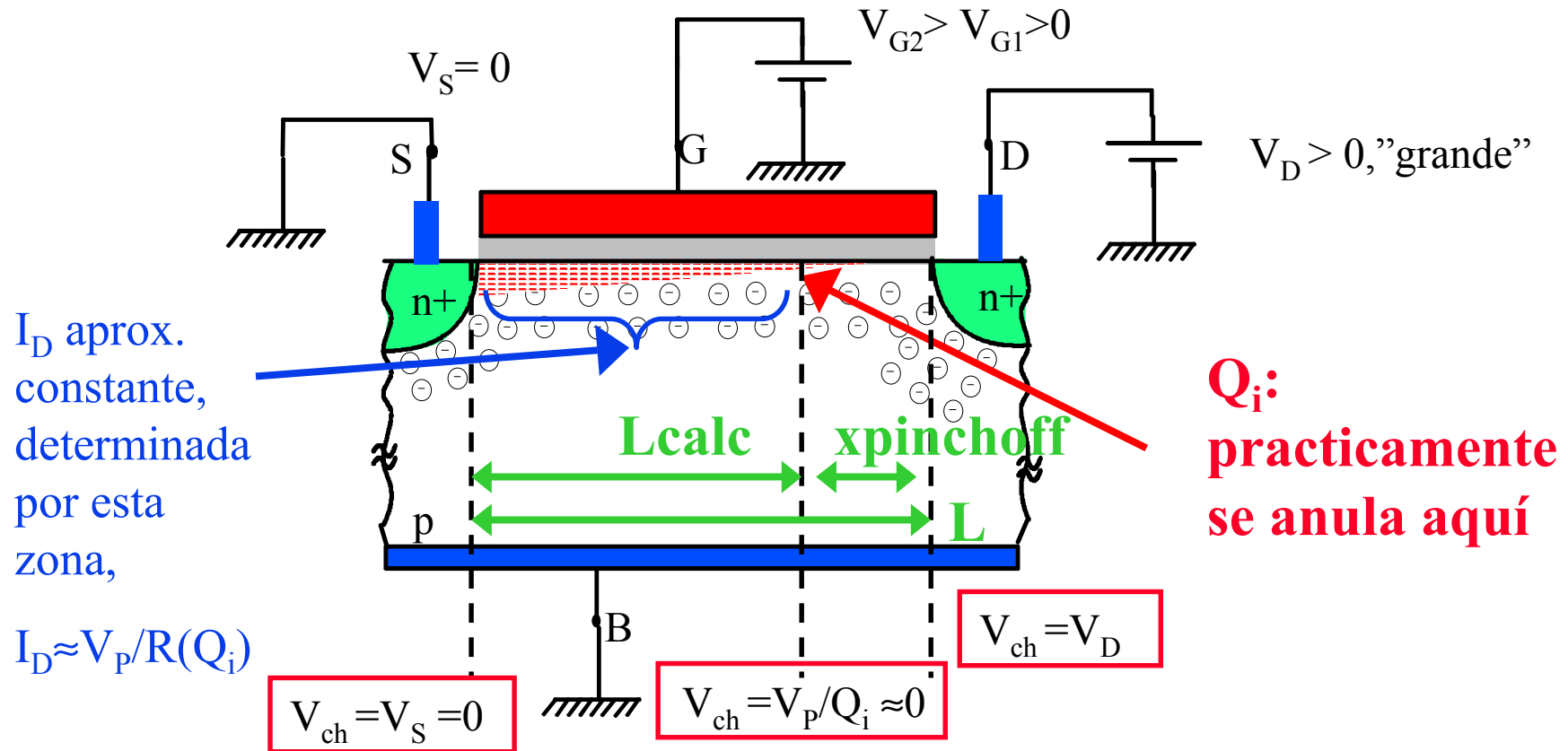
Flecha en sentido de
juntura BS en directo

nMOSFET discreto



Diodo DB en
“antiparalelo”

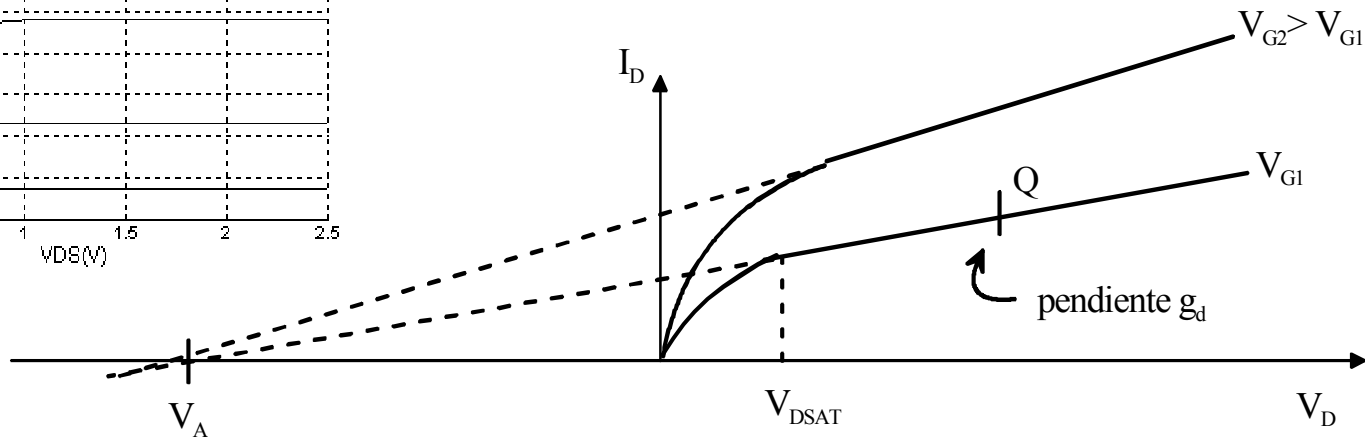
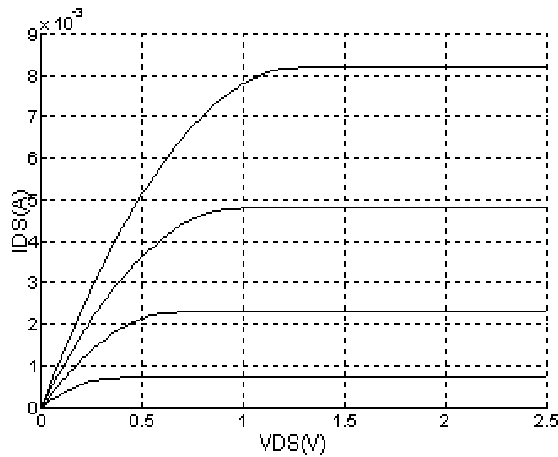
Efecto Modulación de Largo de Canal (1)



$$V_D \uparrow \Rightarrow x_{pinchoff} \uparrow \Rightarrow L_{calc} = (L - x_{pinchoff}) \downarrow$$

$$\Rightarrow I_D (\text{prop. a } W/L_{calc}) \uparrow$$

Efecto Modulación de Largo de Canal (2)

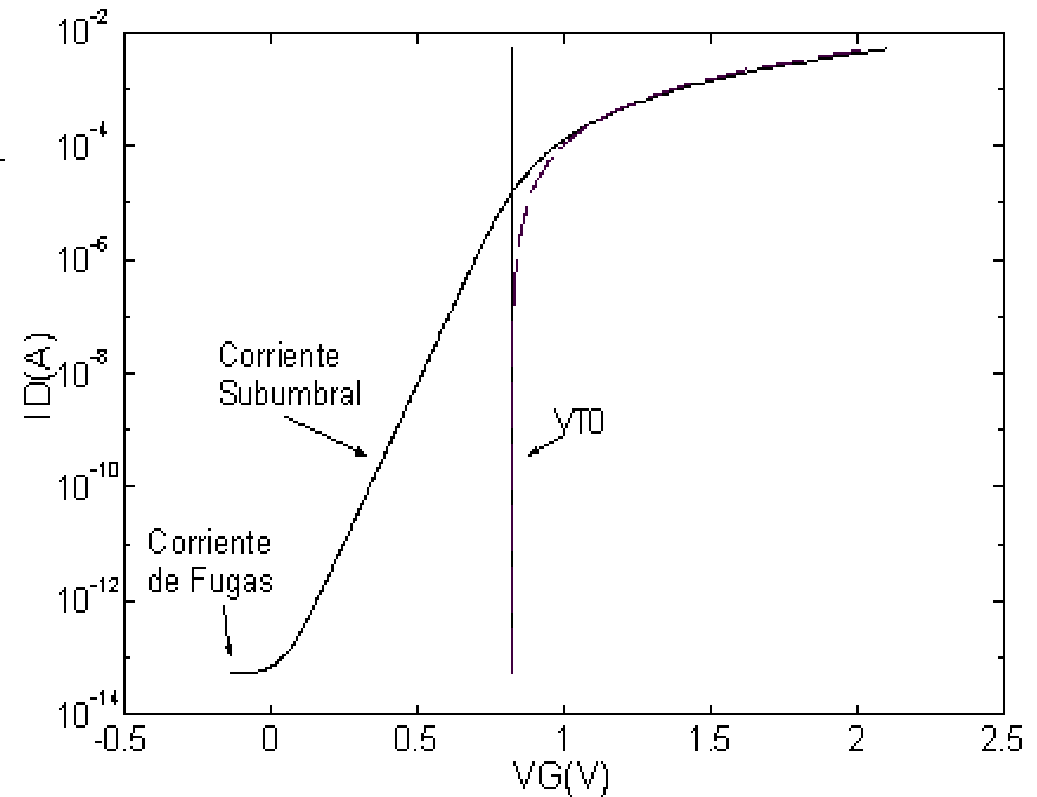
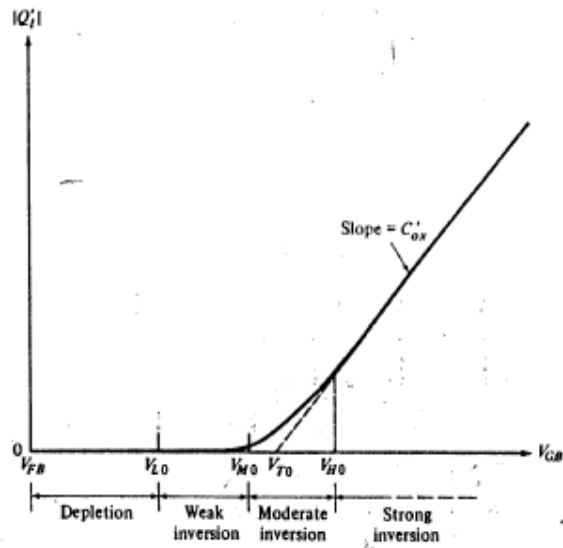
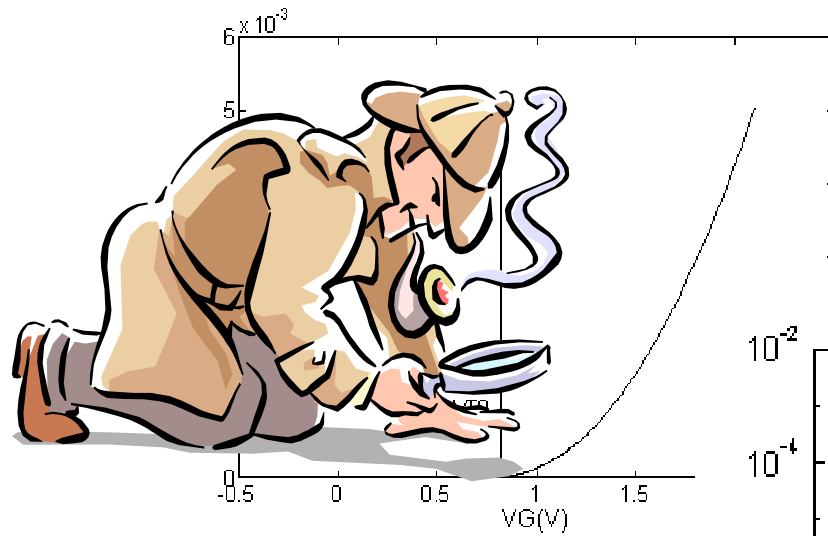


V_A : tensión de Early

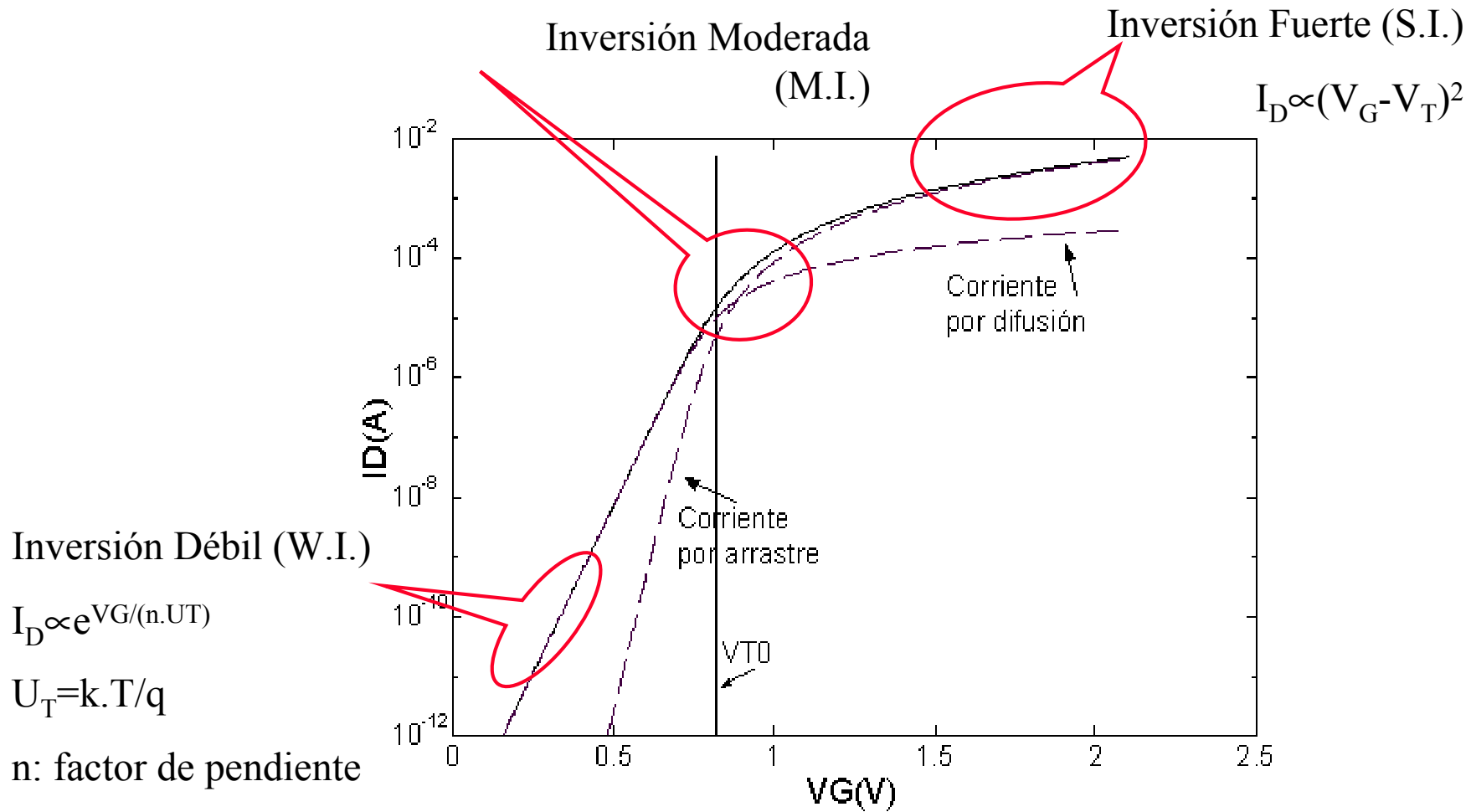
$$I_D = \frac{\beta}{2(1 + \delta)} \cdot (V_{GS} - V_t)^2 \cdot \left(1 + \frac{V_{DS}}{V_A} \right)$$

- ◆ El transistor en saturación no es una fuente de corriente ideal, tiene una conductancia de salida $g_d = (1/r_o) \cong (I_D/V_A)$
- ◆ $V_A \propto L$ (en primera aproximación)
- ◆ En primera aproximación V_A independiente de I_D , en realidad existe dependencia notoria

Corriente subumbral (1)



Corriente subumbral (2)



Inversión Débil (W.I.)

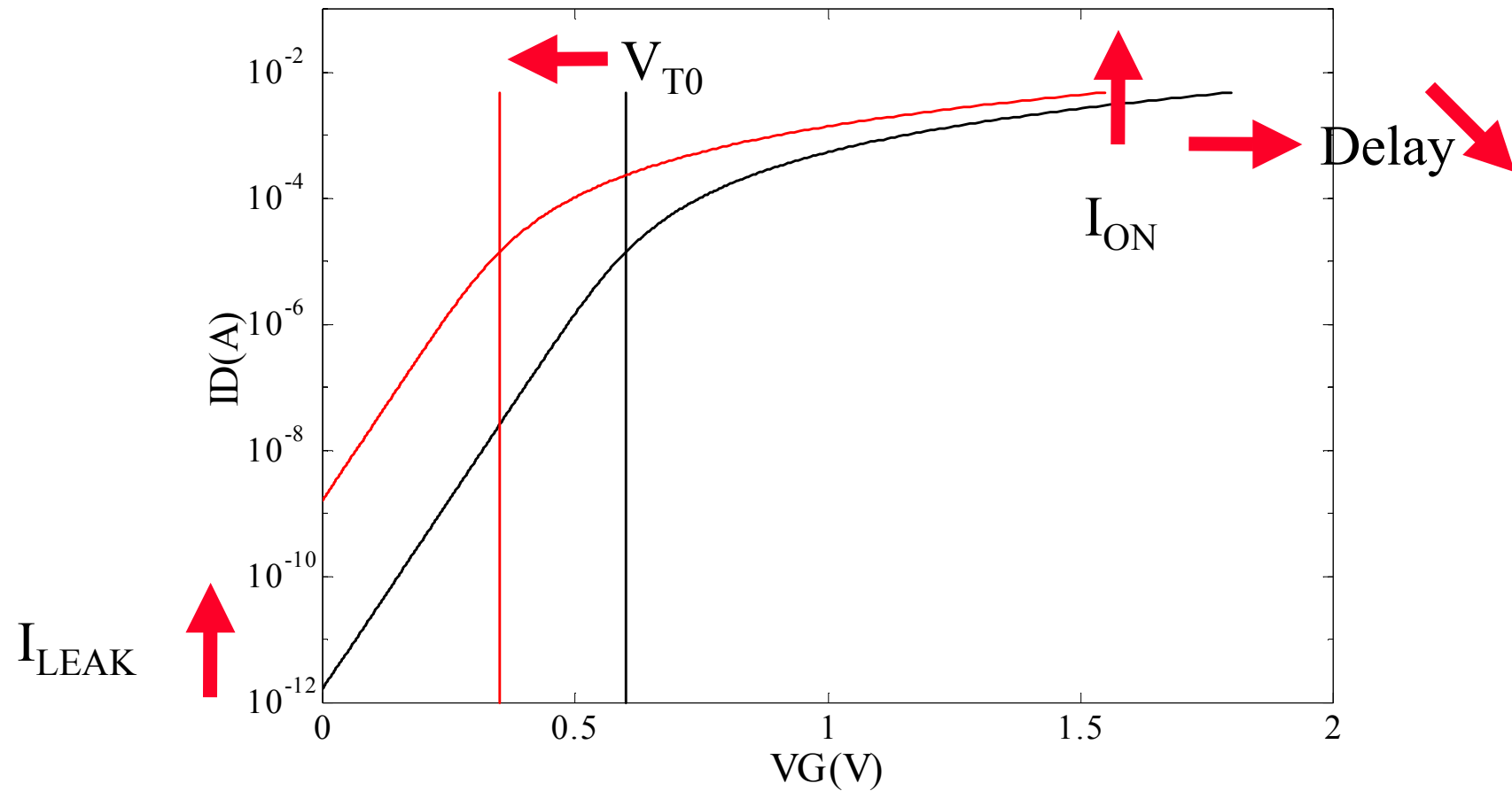
$$I_D \propto e^{V_G/(n \cdot U_T)}$$

$$U_T = k \cdot T / q$$

n: factor de pendiente

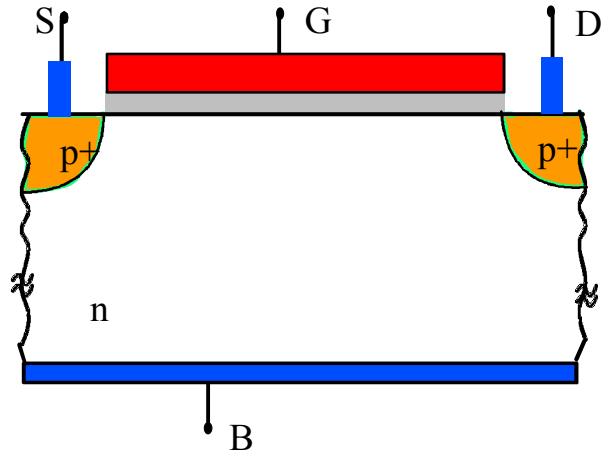
Corriente subumbral (3)

- Genera consumo estático en circuitos digitales

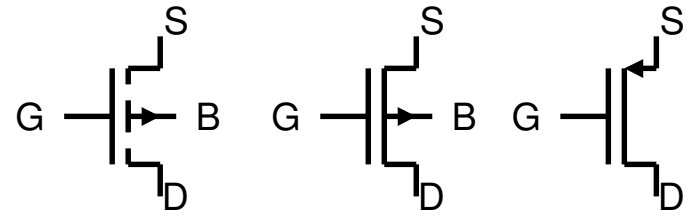


- Se usa en diseño de circuitos de muy bajo consumo

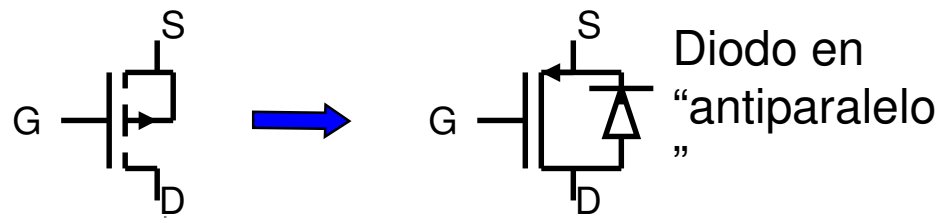
Transistor pMOS



$$V_{t0}, V_{GB}, V_{SB}, V_{DB}, V_{GS}, V_{DS} < 0$$



pMOSFET discreto



Considerar ecuaciones del transistor nMOS, corriente en sentido contrario (de S a D) y tomar como variables las tensiones opuestas a las del nMOS:

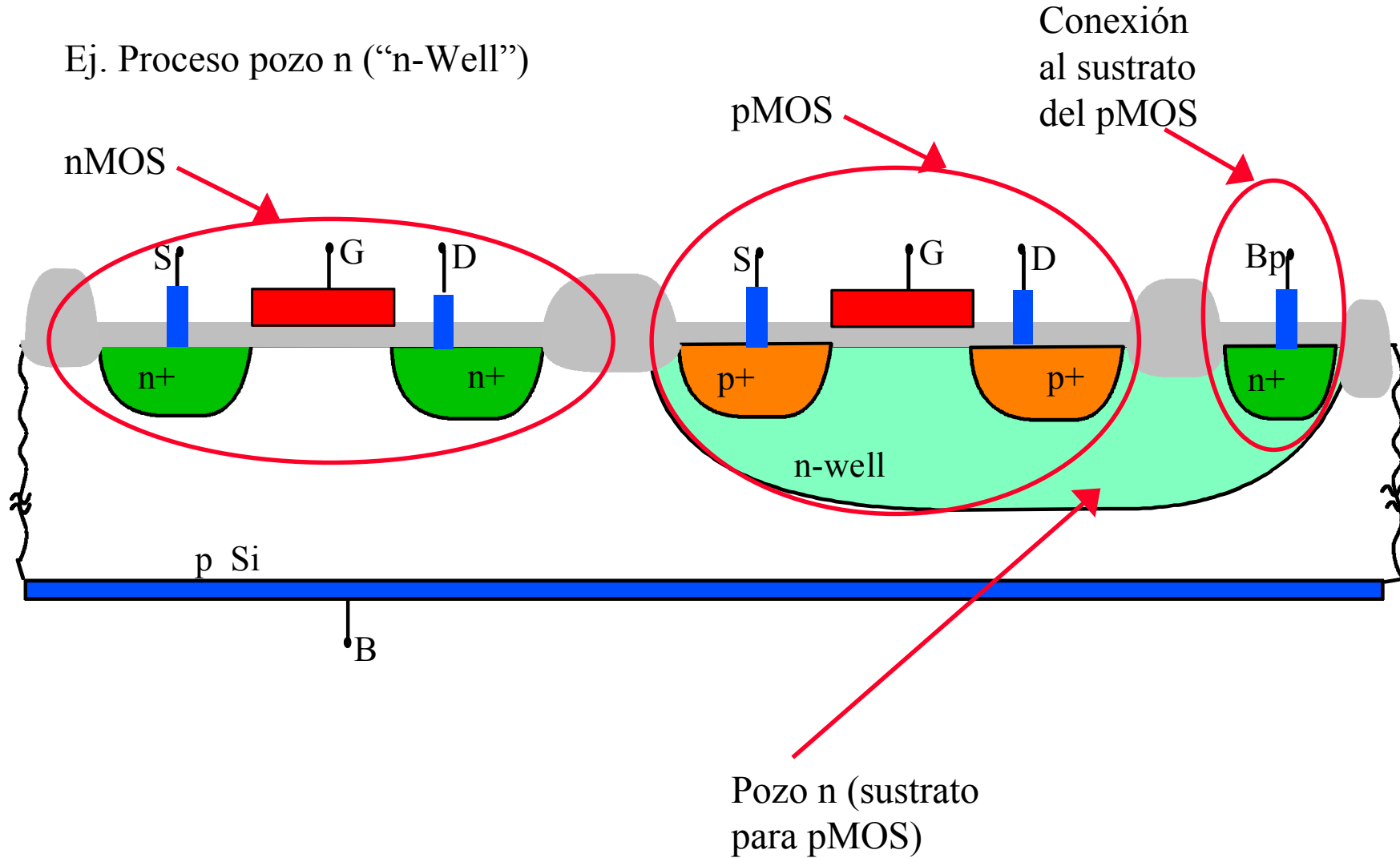
$$|V_{t0}|, V_{BG}, V_{BS}, V_{BD}, V_{SG}, V_{SD} > 0$$

Ej: Ecuación en saturación referida a la S:

$$I_D = \frac{\beta}{2(1 + \delta)} \cdot (V_{SG} - (|V_{t0}| + \delta \cdot V_{BS}))^2$$

Tecnología MOS complementaria (CMOS)

Ej. Proceso pozo n (“n-Well”)

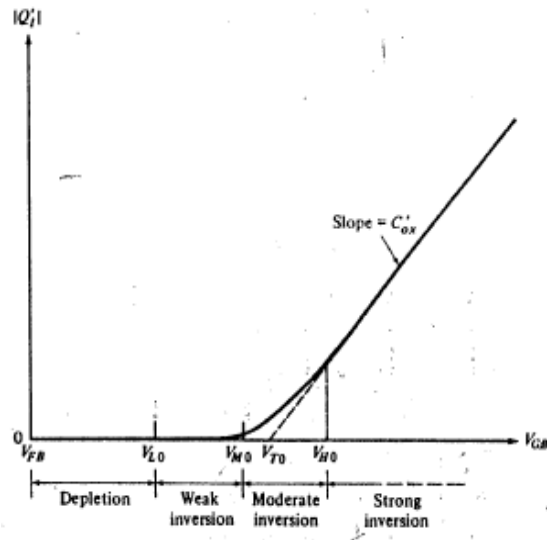


Representación Gráfica de la Ecuación del Transistor: Diagrama de Memelink / Jespers (1)

$$Q'_i = C'_{ox} (V_{GB} - V_{T0} - (1 + \delta) \cdot V_{ch}), \quad I_D = \mu \cdot \frac{W}{L} \int_{V_{SB}}^{V_{DB}} Q'_i dV_{ch}$$



$$I_D = \underbrace{\mu \cdot \frac{W}{L} C'_{ox}}_{\lambda, n} \int_{V_{SB}}^{V_{DB}} (V_{GB} - V_{T0} - \underbrace{(1 + \delta)}_{\lambda, n} \cdot V_{ch}) dV_{ch}$$



$Q'_i @ V_{ch}=0$

Representación Gráfica de la Ecuación del Transistor: Diagrama de Memelink / Jespers (1)

$$I_D = \underbrace{\mu \cdot \frac{W}{L} C'_{ox}}_{\beta} \int_{V_{SB}}^{V_{DB}} (V_{GB} - V_{T0} - \underbrace{(1 + \delta)}_{\lambda, n} V_{ch}) dV_{ch}$$

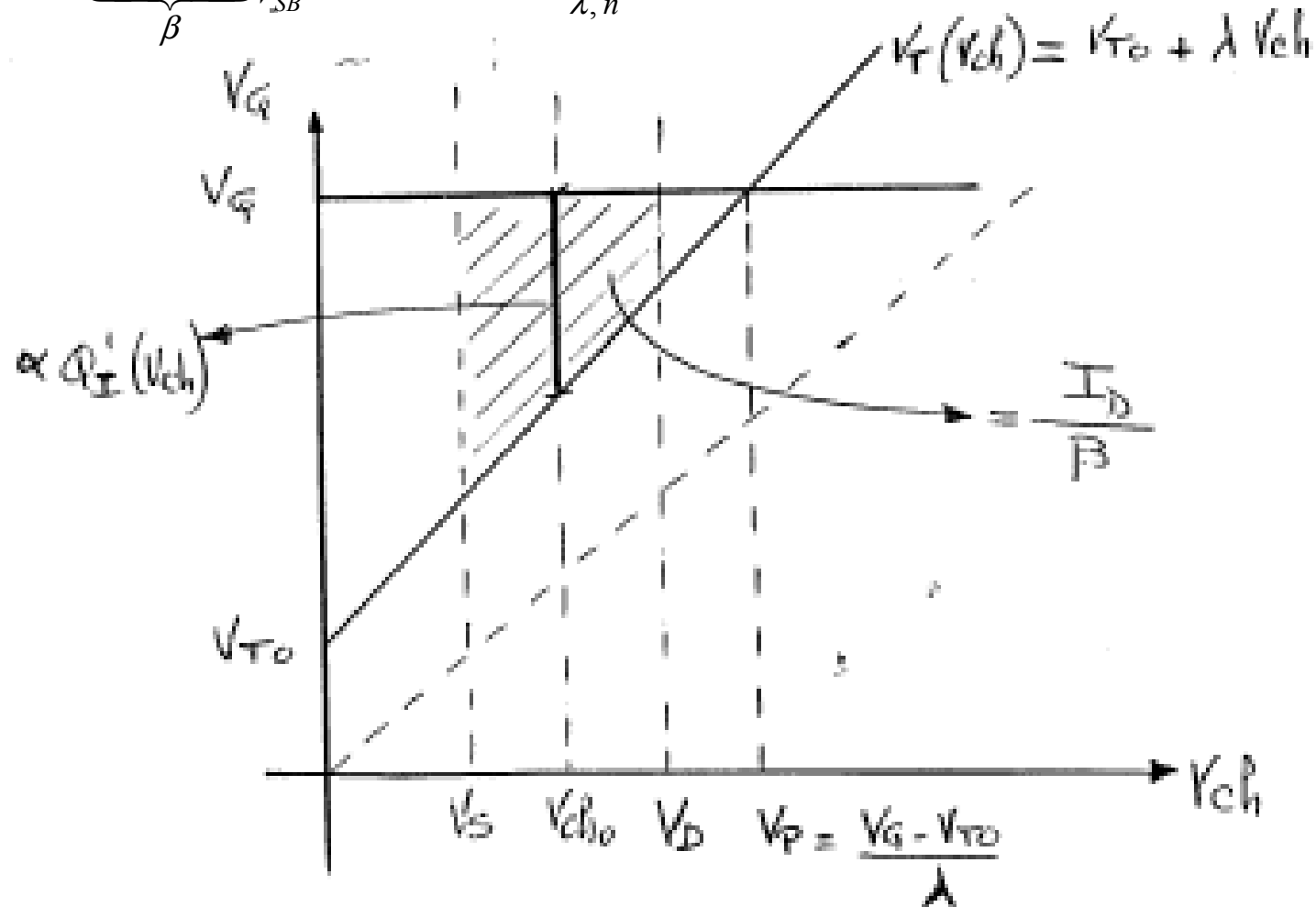
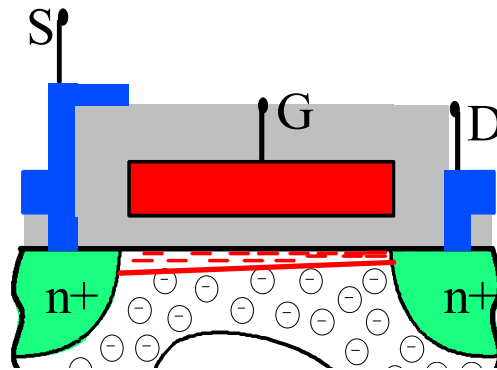
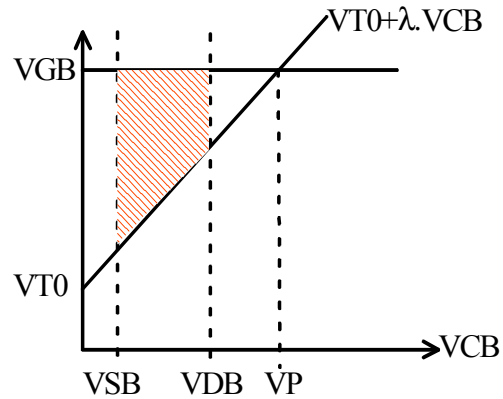
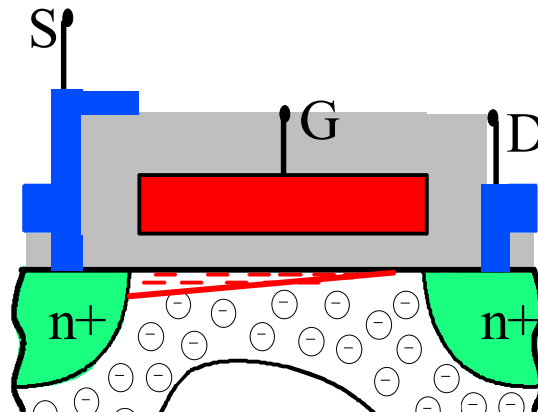
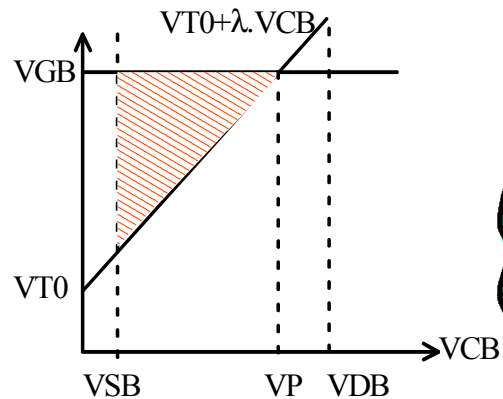


Diagrama de Memelink / Jespers (2)



Zonal Lineal,

$$VDB < VP = (VGB - VT0) / \lambda$$

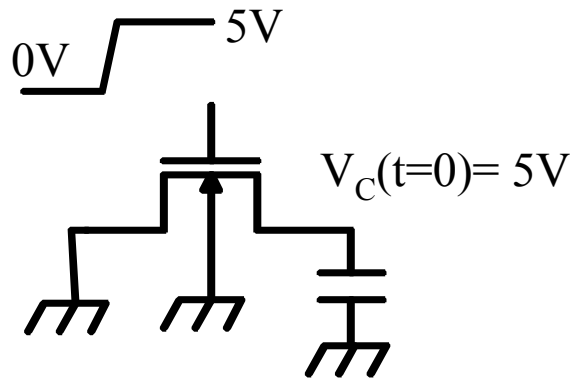


Saturación,

$$VDB > VP = (VGB - VT0) / \lambda$$

I_D independiente de VDB
igual a β por área del triángulo.

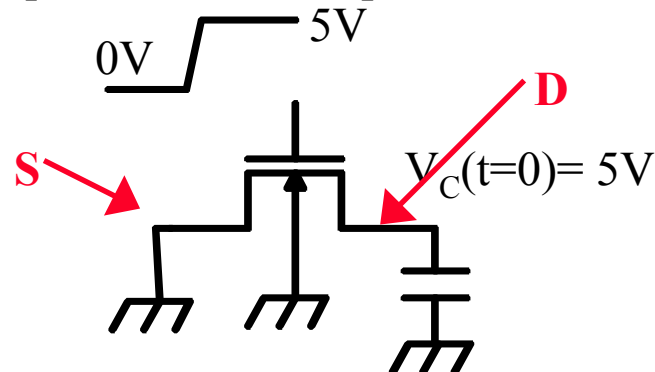
Ej. 1. Descarga de un condensador por un transistor nMOS (1)



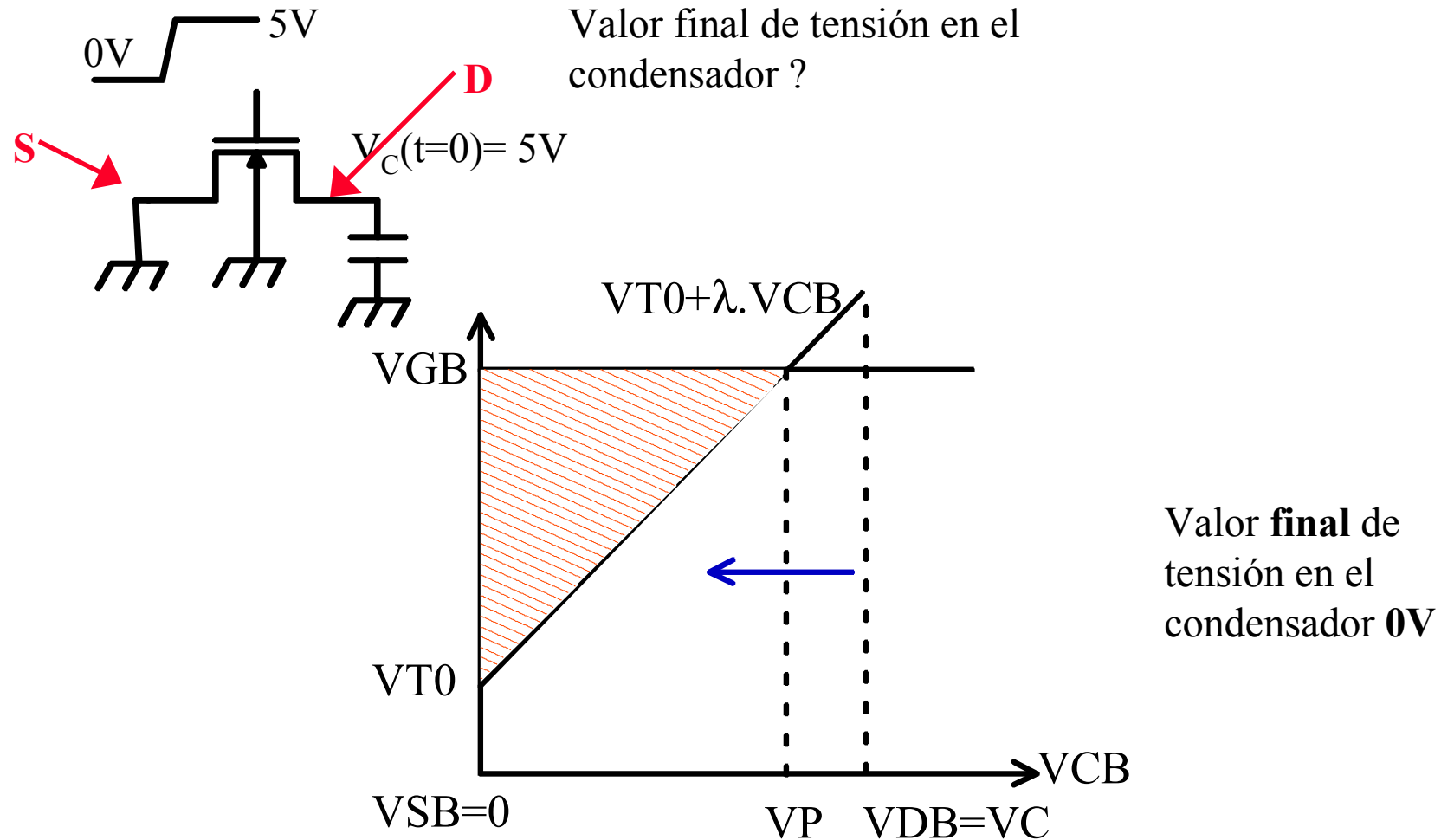
Valor final de tensión en el condensador ?

Para analizar el circuito primero debemos saber que terminal es la Source y cuál el Drain ?

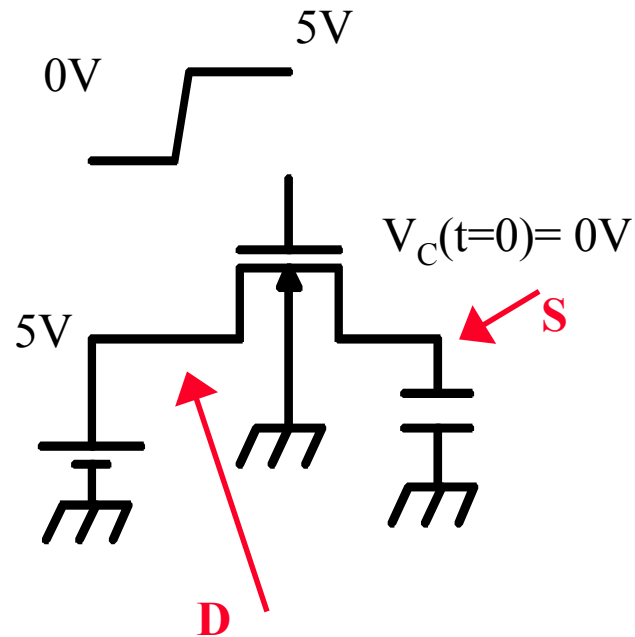
- La source es de donde salen los portadores
- nMOS: portadores electrones
- => es el terminal que esté al menor potencial de los dos =>



Ej. 1 Descarga de un condensador por un transistor nMOS (2)

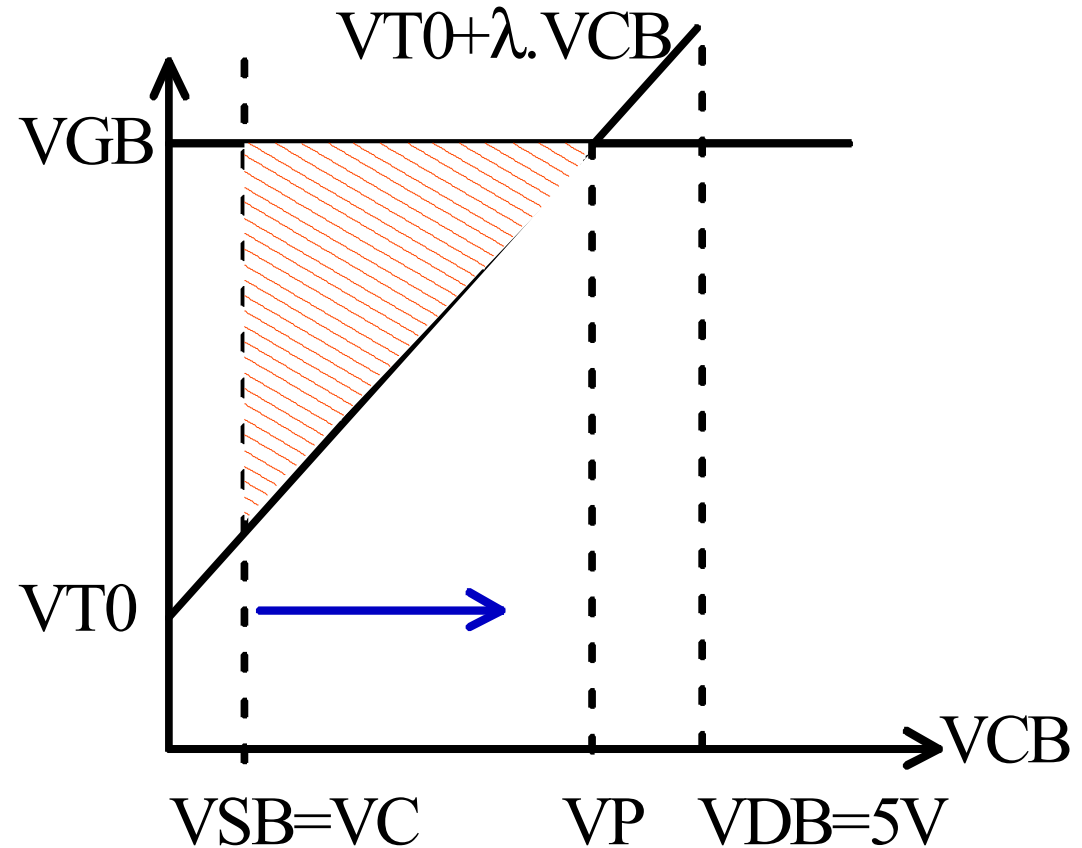


Ej. 2 Carga de un condensador por un transistor nMOS.



Valor **final** de tensión en el condensador: $V_P < 5V$ (en realidad carga muy lenta después de V_P)

Valor final de tensión en el condensador ?



Carga y Descarga de un condensador por un transistor nMOS: Moraleja.

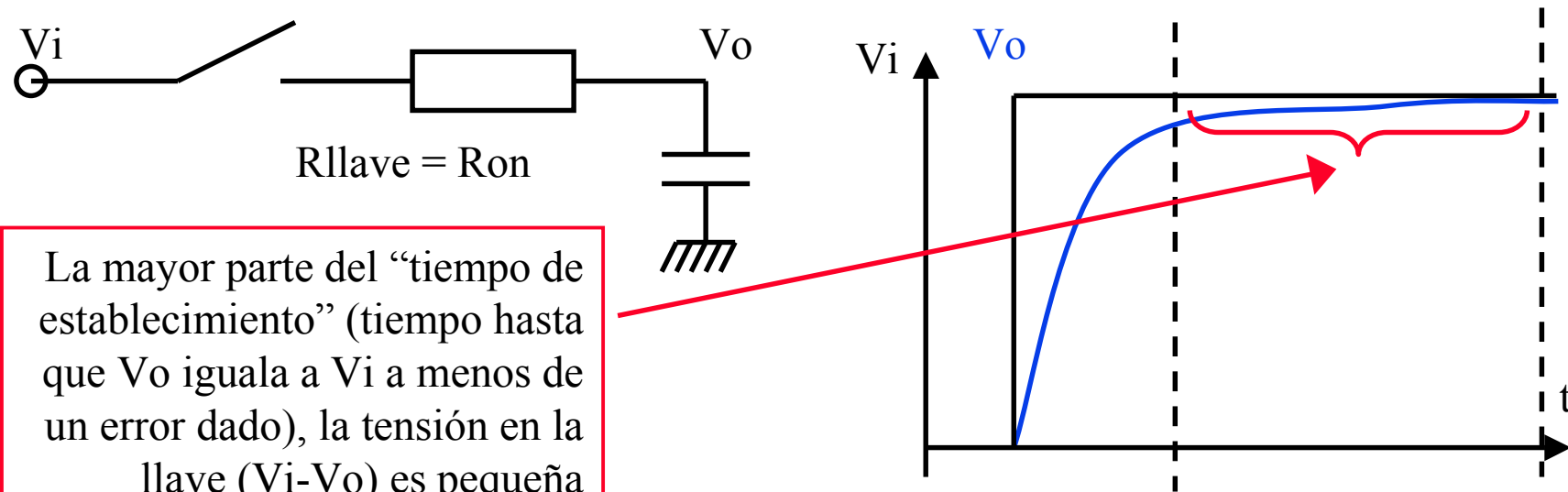
- ◆ Un transistor nMOS es buena llave para tensiones bajas (para transmitir un cero en el mundo digital).
- ◆ Análogamente, un transistor pMOS operará bien para tensiones altas (para transmitir un uno en el mundo digital).

Llave analógica: Resistencia On (1)

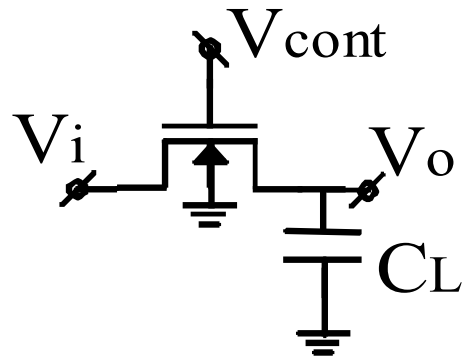
- ◆ Aplicaciones: Sistemas con Datos muestreados (sample and hold, procesamiento analógico con datos muestreados), MUX Analógico
- ◆ Se caracteriza por su Conductancia On o Resistencia On, definida como:

$$g_{on} = \frac{1}{R_{on}} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{DS} \cong 0}$$

- ◆ Se define para $V_{DS} \cong 0$ pues si se tiene por ejemplo:



Llave analógica: Resistencia On (2)



◆ V_{cont} alto ($V_{cont} = V_{DD}$) \Rightarrow llave on \Rightarrow

$$g_{on} = \frac{1}{R_{on}} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{DS} \cong 0} = \beta \cdot (V_{DD} - V_{T0} - n \cdot V_i)$$

$$n = (1 + \delta)$$



Zona lineal (Inversión Fuerte)

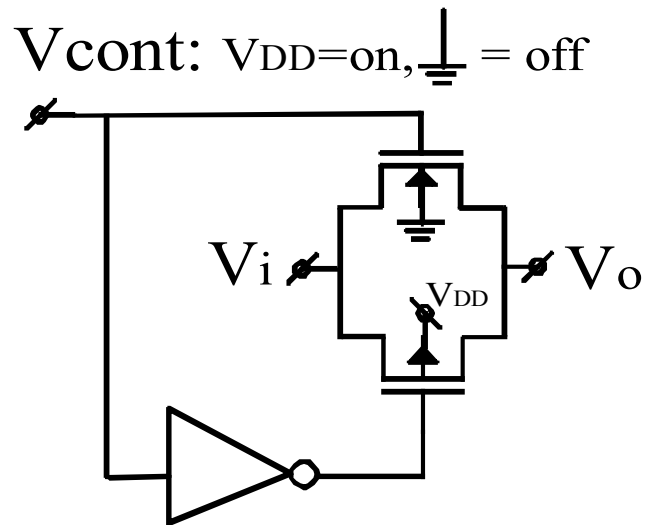


$$V_i < (V_{DD} - V_{T0})/n$$

$V_i \geq (V_{DD} - V_{T0})/n \Rightarrow$ transistor cortado $\Rightarrow g_{on} = 0, R_{on} = \infty$

En realidad: inversión moderada y débil $\Rightarrow g_{on} \searrow \searrow R_{on} \nearrow \nearrow$

Llave analógica CMOS: Resistencia On (3)



$$g_n = \beta_n \cdot (V_{GB} - V_{T0n} - n_n \cdot V_{SB})$$

$$V_{GB} = V_{DD}, V_{SB} = V_i$$

$$g_n = \beta_n \cdot (V_{DD} - V_{T0n} - n_n \cdot V_i)$$

$$g_n = 0 \text{ @ } V_i = \frac{V_{DD} - V_{T0n}}{n_n}$$

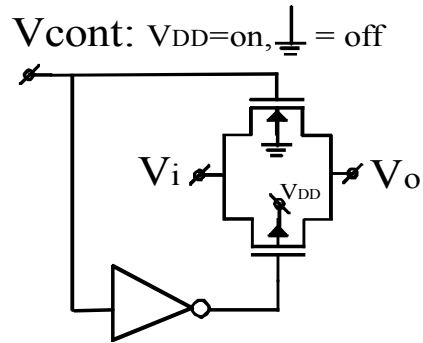
$$g_p = \beta_p \cdot (V_{BG} - |V_{T0p}| - n_p \cdot V_{BS})$$

$$V_{BG} = V_{DD}, V_{BS} = V_{DD} - V_i$$

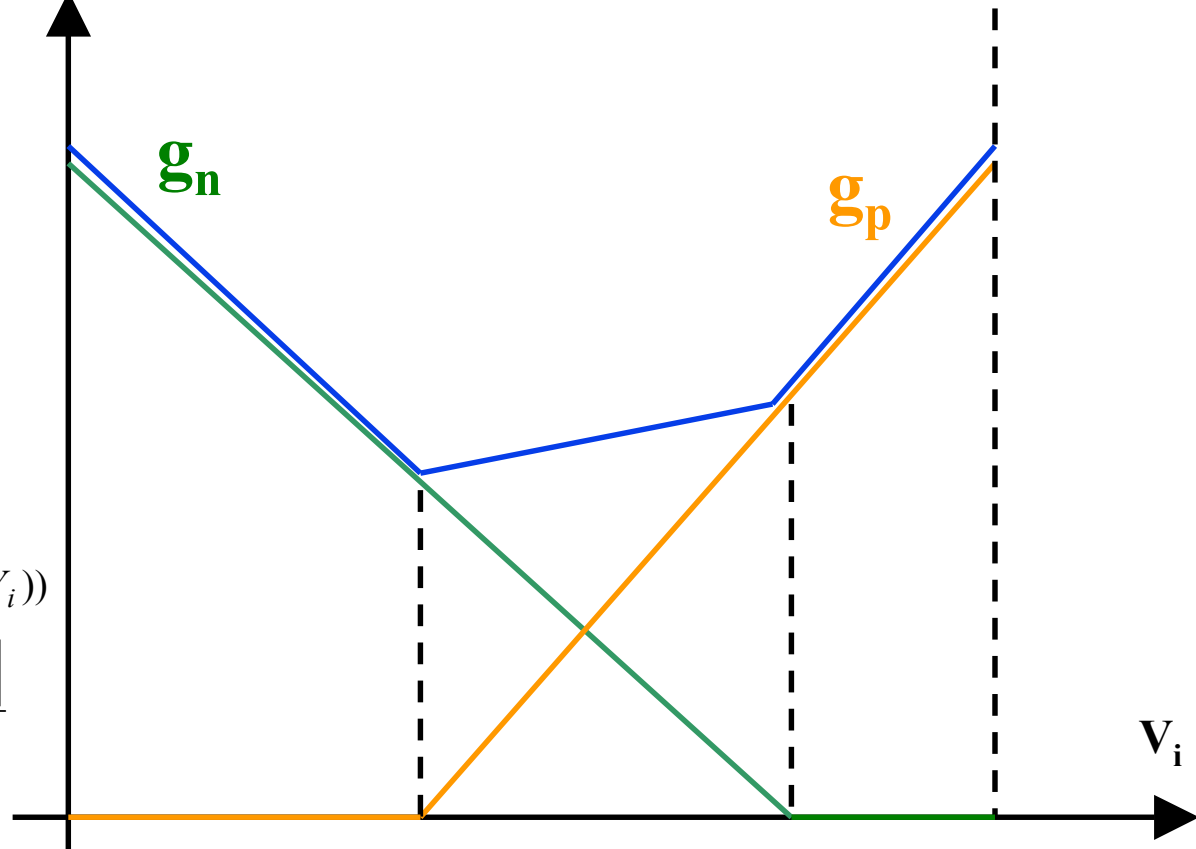
$$g_p = \beta_p \cdot (V_{DD} - |V_{T0p}| - n_p \cdot (V_{DD} - V_i))$$

$$g_p = 0 \text{ @ } V_i = \frac{(n_p - 1) \cdot V_{DD} + |V_{T0p}|}{n_p}$$

Llave analógica CMOS: Resistencia On (4)



$$1/(R_{\text{on llave}}) = g_n + g_p$$



$$g_n = \beta_n \cdot (V_{DD} - V_{T0n} - n_n \cdot V_i)$$

$$g_n = 0 \text{ @ } V_i = \frac{V_{DD} - V_{T0n}}{n_n}$$

$$g_p = \beta_p \cdot (V_{DD} - |V_{T0p}| - n_p \cdot (V_{DD} - V_i))$$

$$g_p = 0 \text{ @ } V_i = \frac{(n_p - 1) \cdot V_{DD} + |V_{T0p}|}{n_p}$$

Ej. si $V_{DD} = 5$, $n_n = n_p = 1.5$,

$$V_{T0n} = -V_{T0p} = 0.7V$$

$$\frac{((n_p - 1) \cdot V_{DD} + |V_{T0p}|)}{n_p}$$

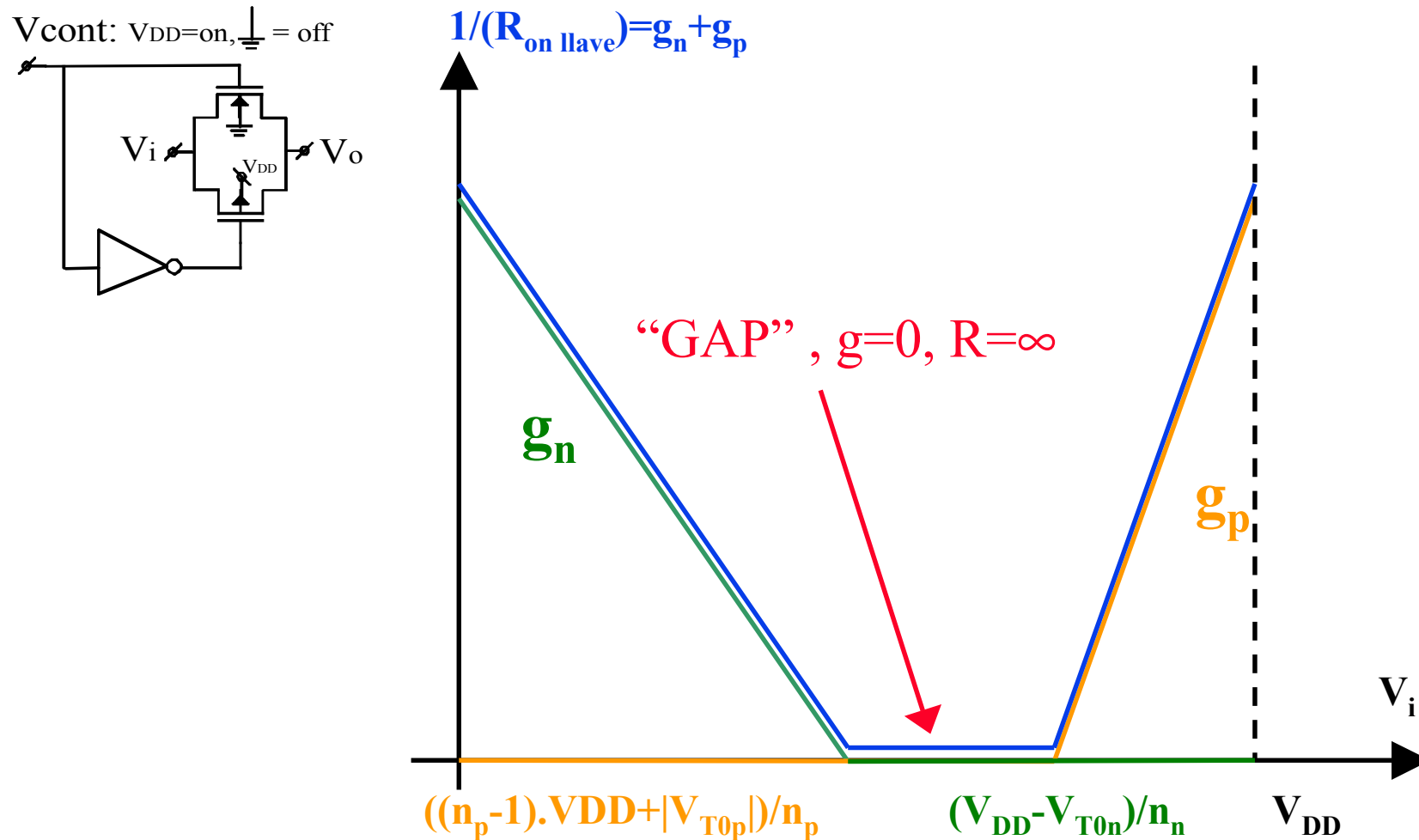
$$2.1V$$

$$\frac{(V_{DD} - V_{T0n})}{n_n}$$

$$2.9V$$

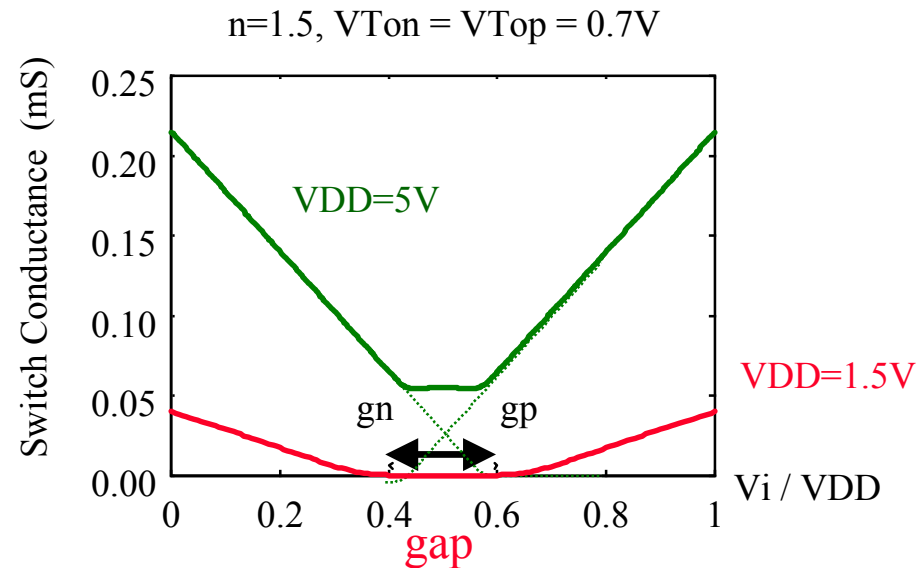
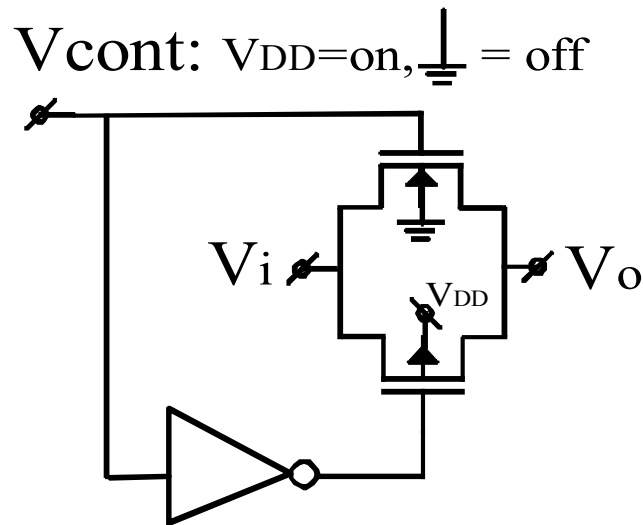
Llave analógica CMOS: Resistencia On (5)

Bajo V_{DD}



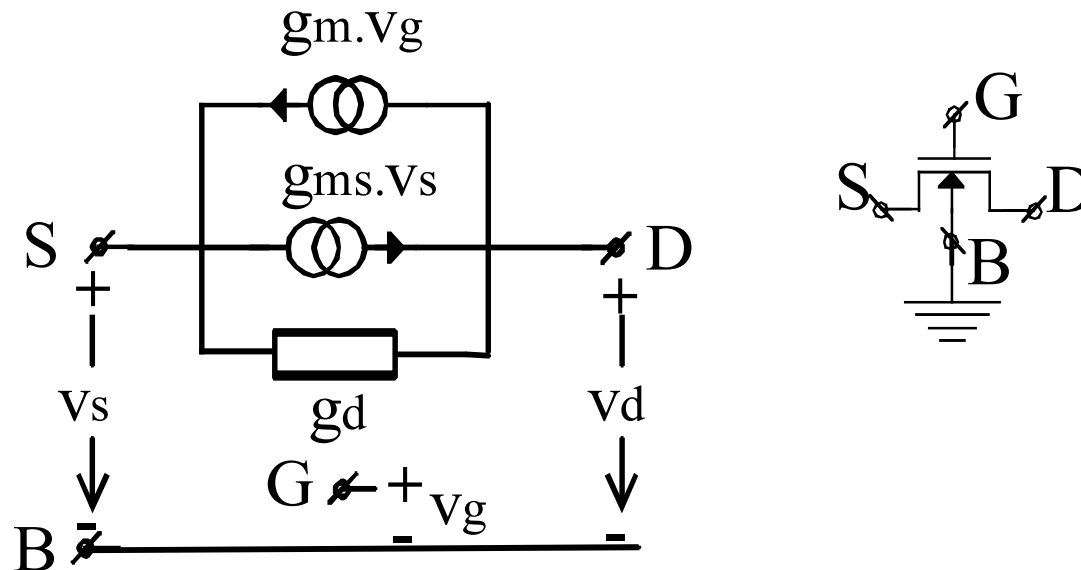
Llave analógica CMOS: Resistencia On (6)

Bajo V_{DD}



$$\exists \text{ gap} \Leftrightarrow V_{DD} < V_{DD \min} = \frac{n_n \cdot |V_{T0p}| + n_p \cdot V_{T0n}}{n_n + n_p - n_n \cdot n_p} \quad \text{for } T_n \cong T_p \quad \frac{2 \cdot V_{T0}}{2 - n}$$

Modelo de pequeña señal y baja frecuencia en saturación



◆ $g_m = (\partial I_D / \partial V_G)$, $g_{ms} = n \cdot g_m$, $g_d \cong (I_D / V_A)$

$$g_m = \frac{\beta}{1 + \delta} (V_{GS} - V_t) = \sqrt{\frac{2 \cdot \beta}{1 + \delta} \cdot I_D} = \frac{I_D}{(V_{GS} - V_t) / 2}$$

Para $V_{GS} - V_t > 0$, en realidad $> 100 \dots$
200mV

g_m MOS vs. Bipolar (1)

MOS

$$g_m = \frac{I_D}{(V_{GS} - V_t)/2}$$


Denominador
>100 .. 200 mV



Bipolar

$$g_m = \frac{I_C}{V_T}$$

Denominador =
26mV a
temperatura
ambiente

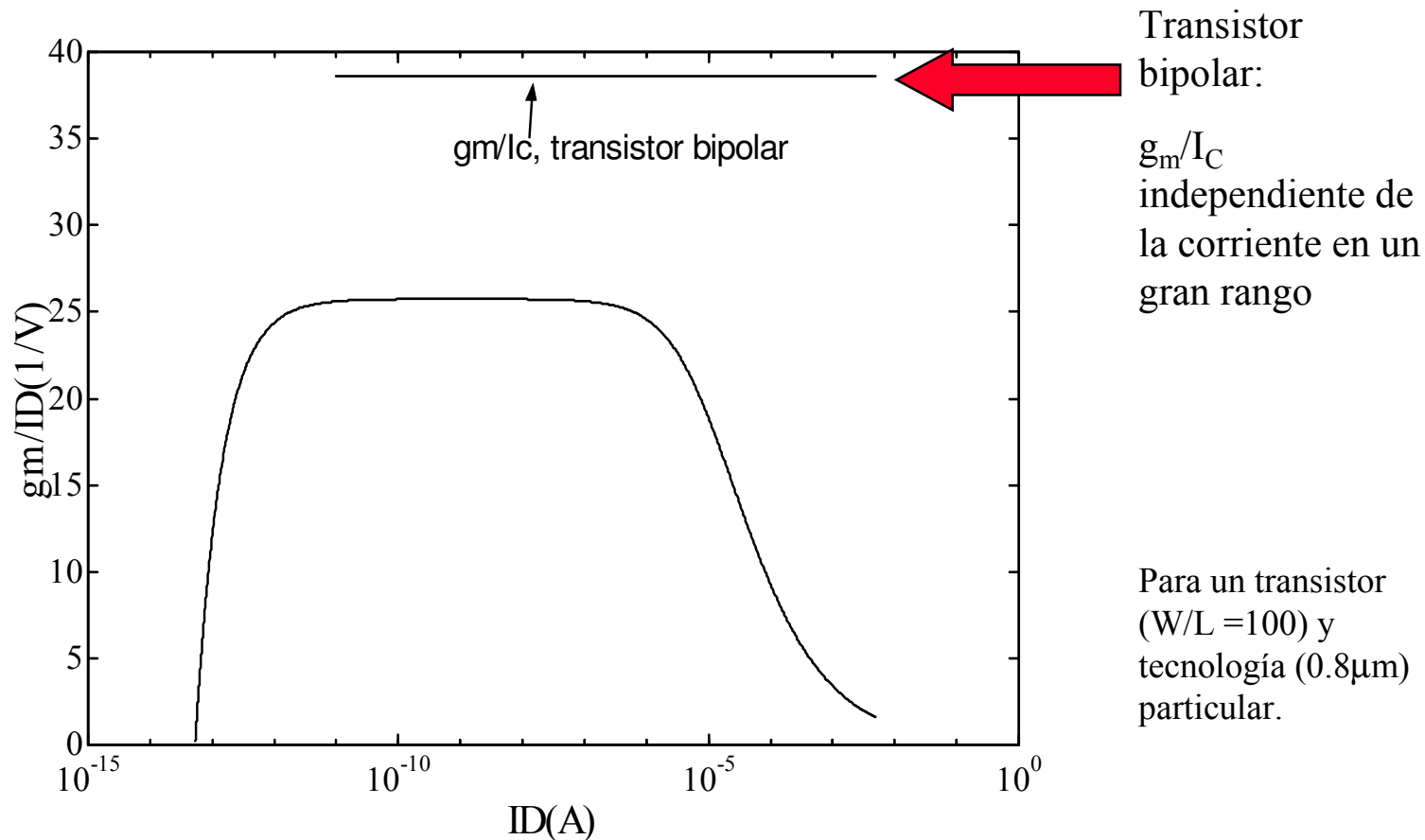


=> A igual corriente g_m MOS \ll g_m Bipolar

=> Efecto en respuesta en frecuencia

($\omega_T = g_m/C$)

g_m MOS vs. Bipolar (2)



- ◆ A mayor corriente disminuye la “eficiencia de generación de g_m ”
- ◆ Para operar a la máxima frecuencia que permite la tecnología
=> alto g_m => alta corriente => inversión fuerte => baja eficiencia

MOS vs. BJT

	BJT	MOS
VBE / VGS	\cong Constante	Variable
IB / IG	$\neq 0$	$\cong 0$ (en DC y baja frecuencia)
Control	Tensión (VBE) Corriente (IB)	Tensión (VG, VS, VGS)
Llave cerrada	Zona Saturación, VCE \cong Constante	Zona Lineal, \cong Resistencia
Fuente de Corriente	Zona Activa, IC vs. VBE exponencial	Zona Saturación, ID vs. VGS (o VG) cuadrático
gm/IC, gm/ID	1/UT, constante	1/nUT maximo, decreciente