

Transistores de Efecto de Campo

Rev. 1.2

Curso Electrónica 1

Fernando Silveira

Instituto de Ingeniería Eléctrica

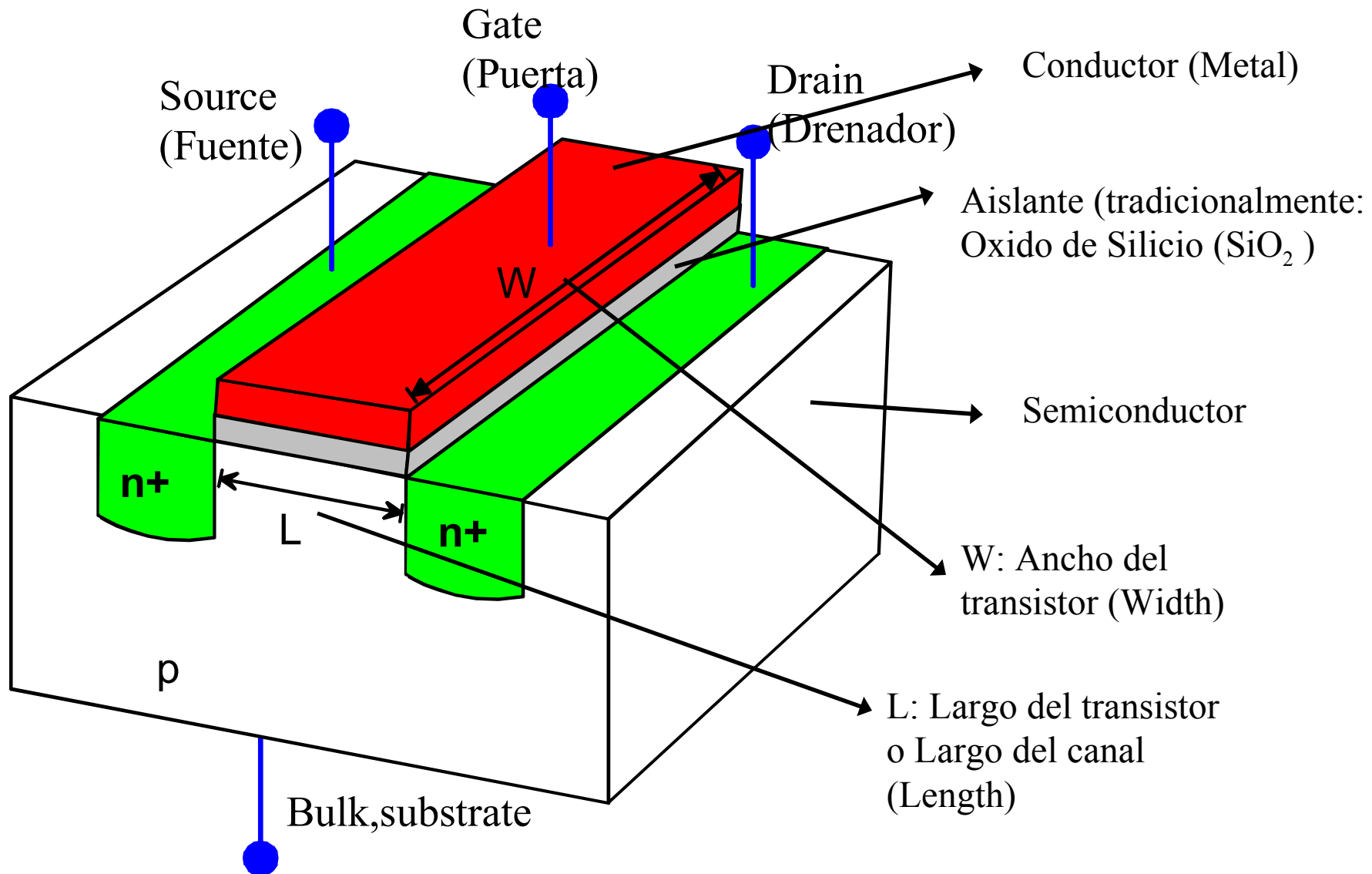
Field Effect Transistors (FETs)

- ◆ MOSFET: Metal-Oxide-Semiconductor FET
 - Enriquecimiento
 - Empobrecimiento

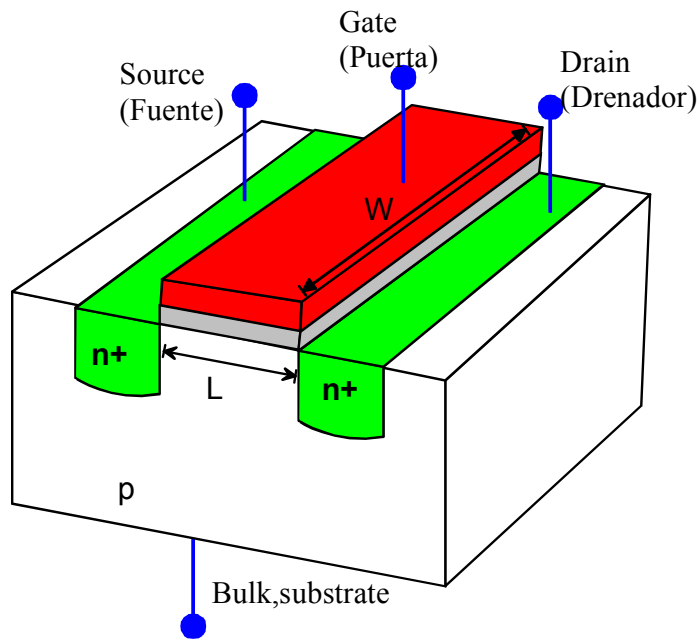
- ◆ JFET: Junction FET

- ◆ MOSFET:
 - Idea, principio: 1928
 - Implementación práctica: 1959
 - Circuitos Integrados MOS (CMOS) actualmente más del 90% del total de circuitos integrados.
 - Permitieron circuitos con “Very Large Scale of Integration” (VLSI)
 - Scaling
 - Más de mil millones de transistores en un chip

nMOS de Enriquecimiento (1)



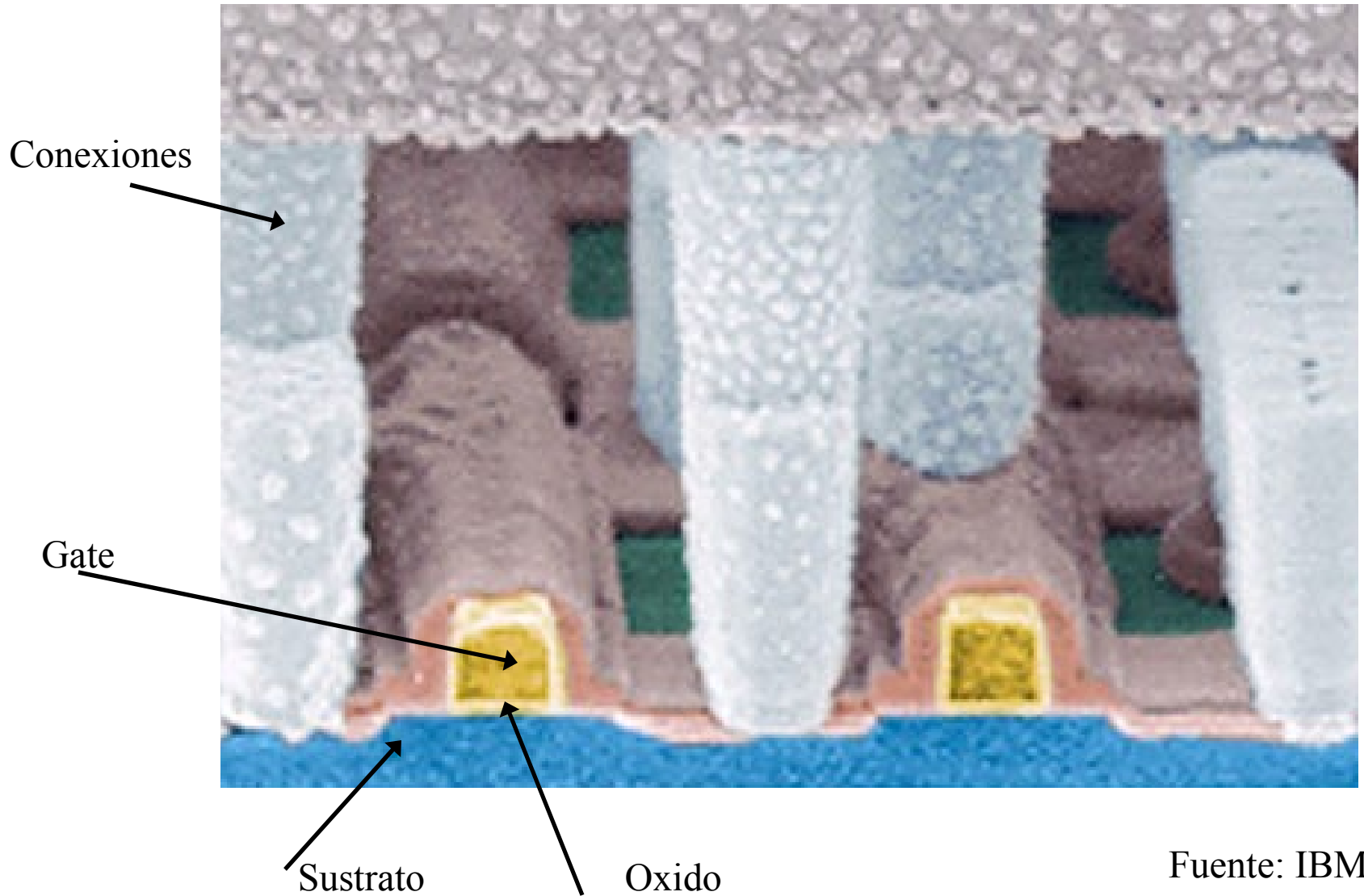
Tecnología MOS actual



- ◆ L a partir de 45nm (22nm), W a partir de valores levemente mayores.
- ◆ t_{ox} : Espesor del óxido algunos nm
 - 1nm = 10 Å = unas pocas capas atómicas

⇒ Límite por corriente de túnel en el óxido.
- ◆ Más de mil millones de transistores en un chip
- ◆ Número de transistores por chip se duplica cada aprox. 2 años (Ley de Moore)
- ◆ Capacidades ↓, f ↑, Tensión de alimentación ↓ (ultimas tecnos: 0.9V a 1V)

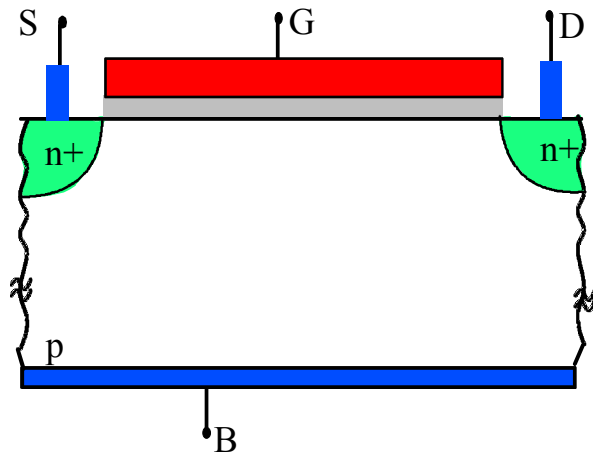
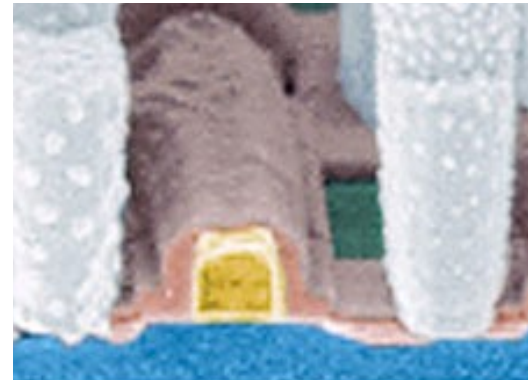
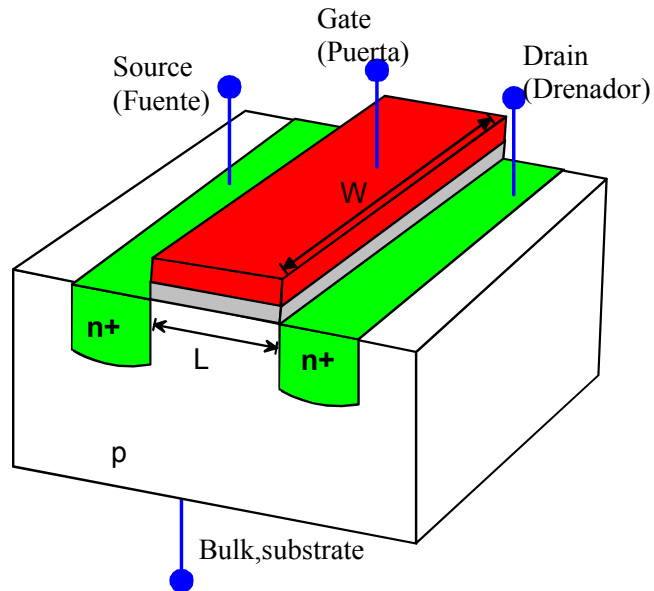
Transistor MOS: la realidad



Fuente: IBM

Transistor MOS:

Dispositivo Simétrico, 4 terminales

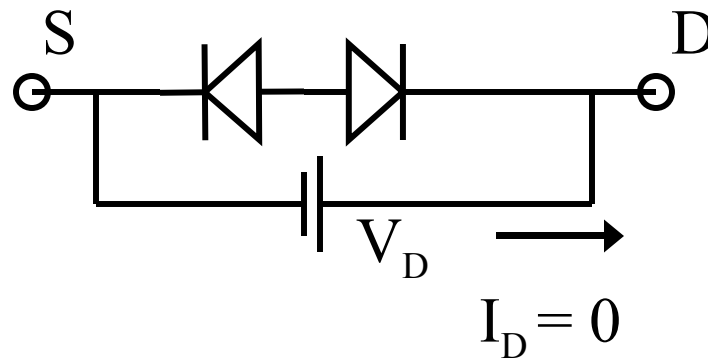
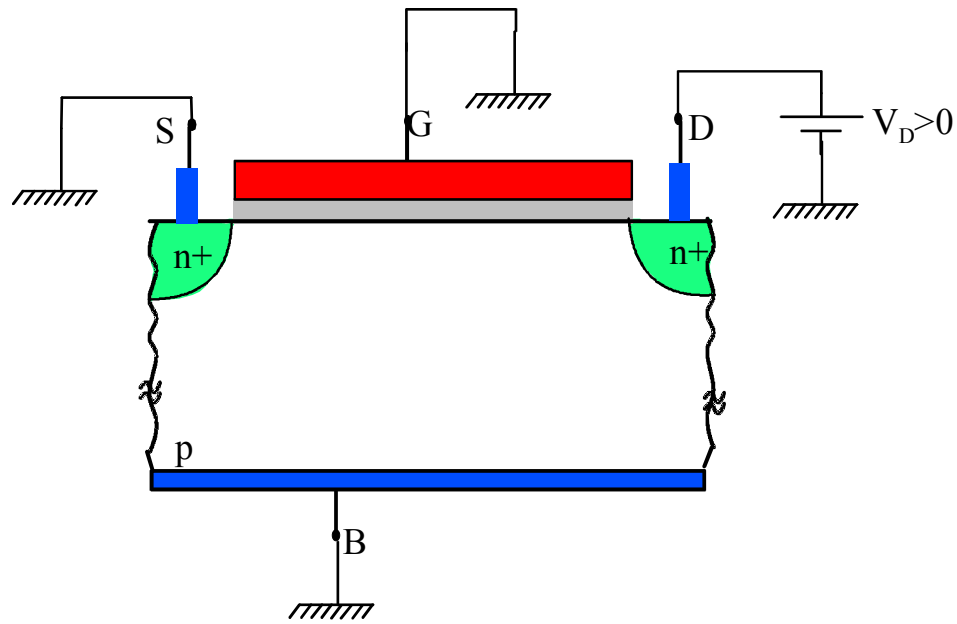


Source: Terminal del que parten los portadores.

Drain: Terminal al que llegan los portadores

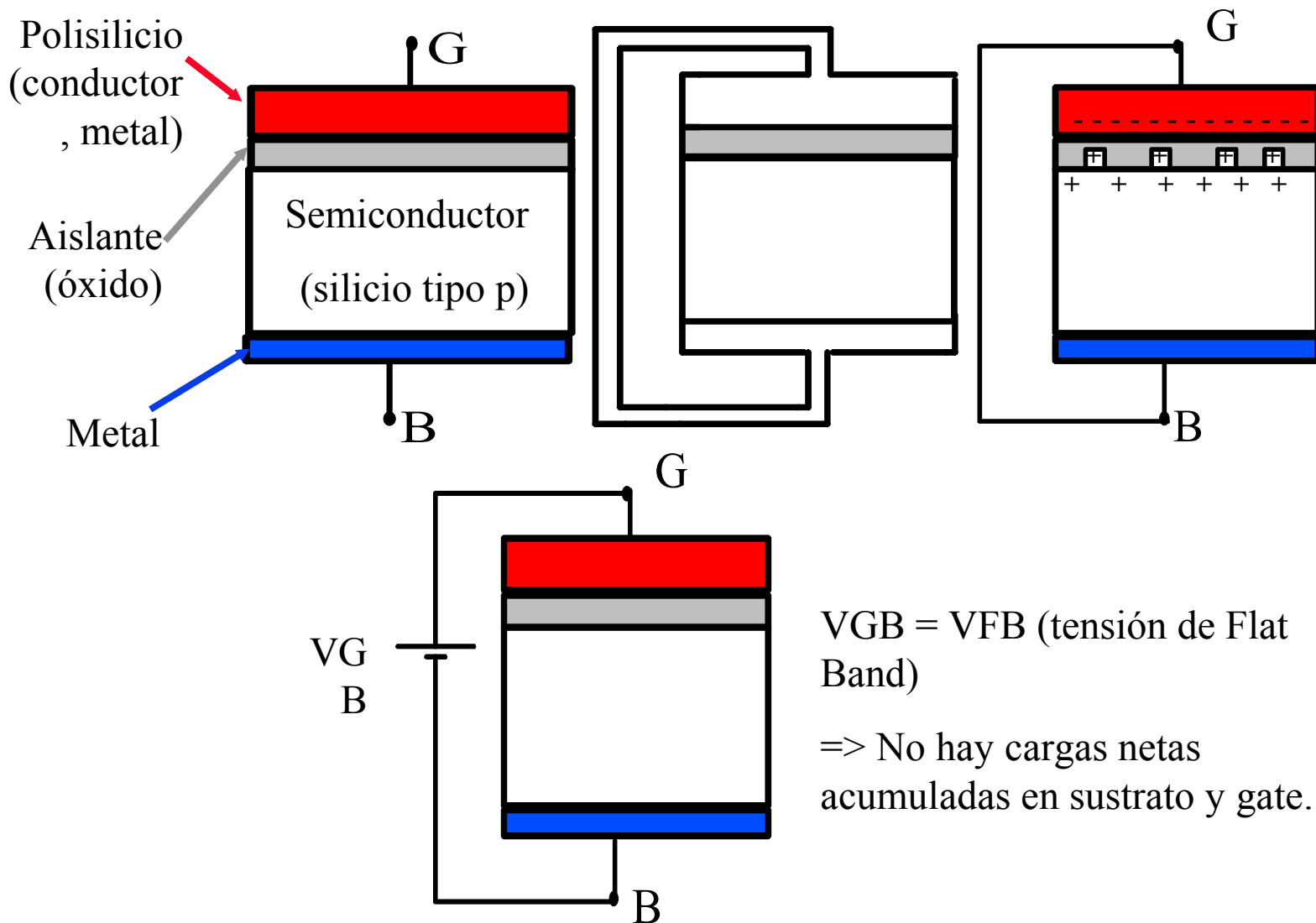
nMOS \Rightarrow portadores: $e^- \Rightarrow$ portadores de S a D y corriente de D a S

Transistor nMOS: Zona de Corte

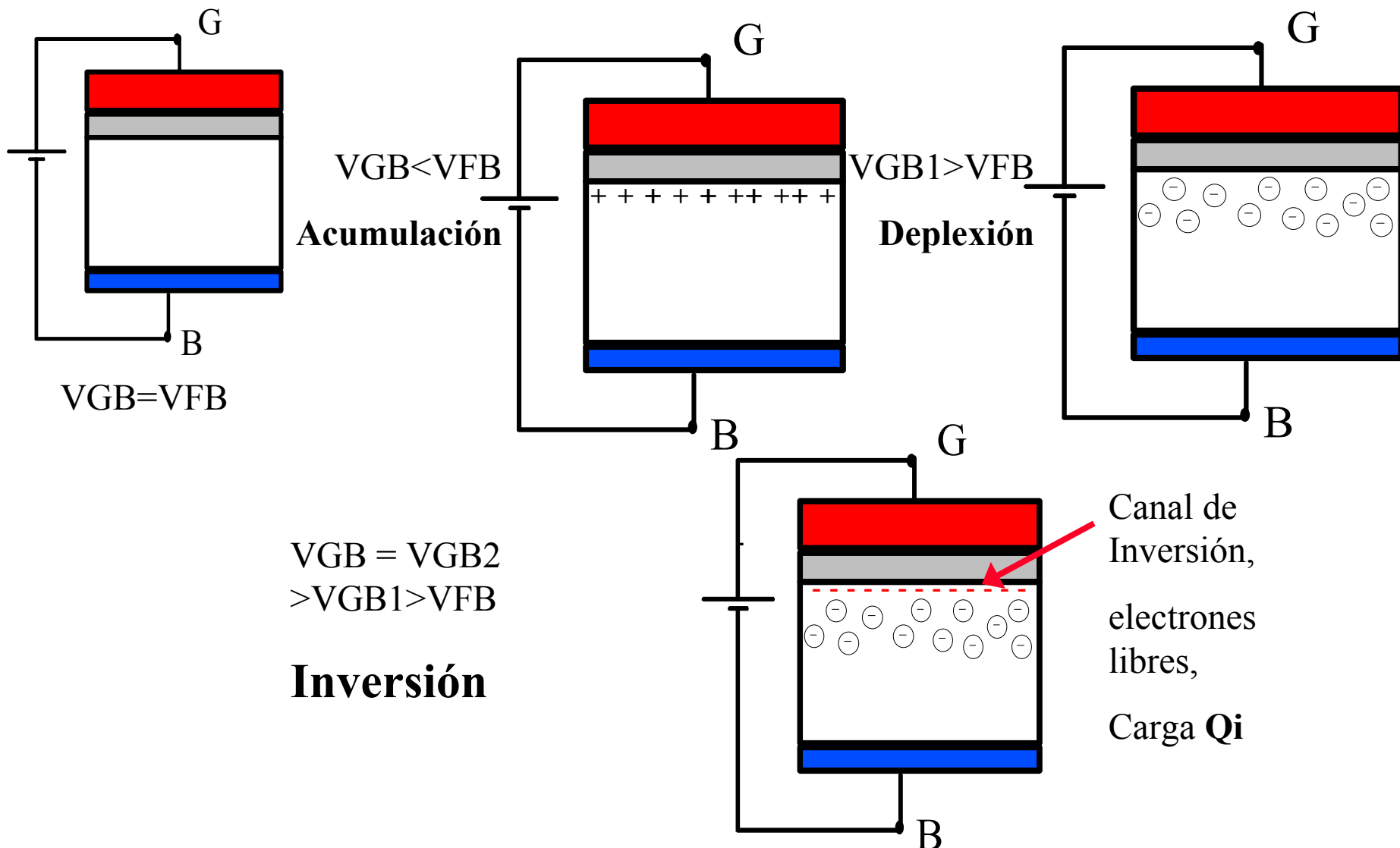


Transistor cortado

Estructura MOS de Dos Terminales: Tensión de Banda Plana (“Flat Band”)

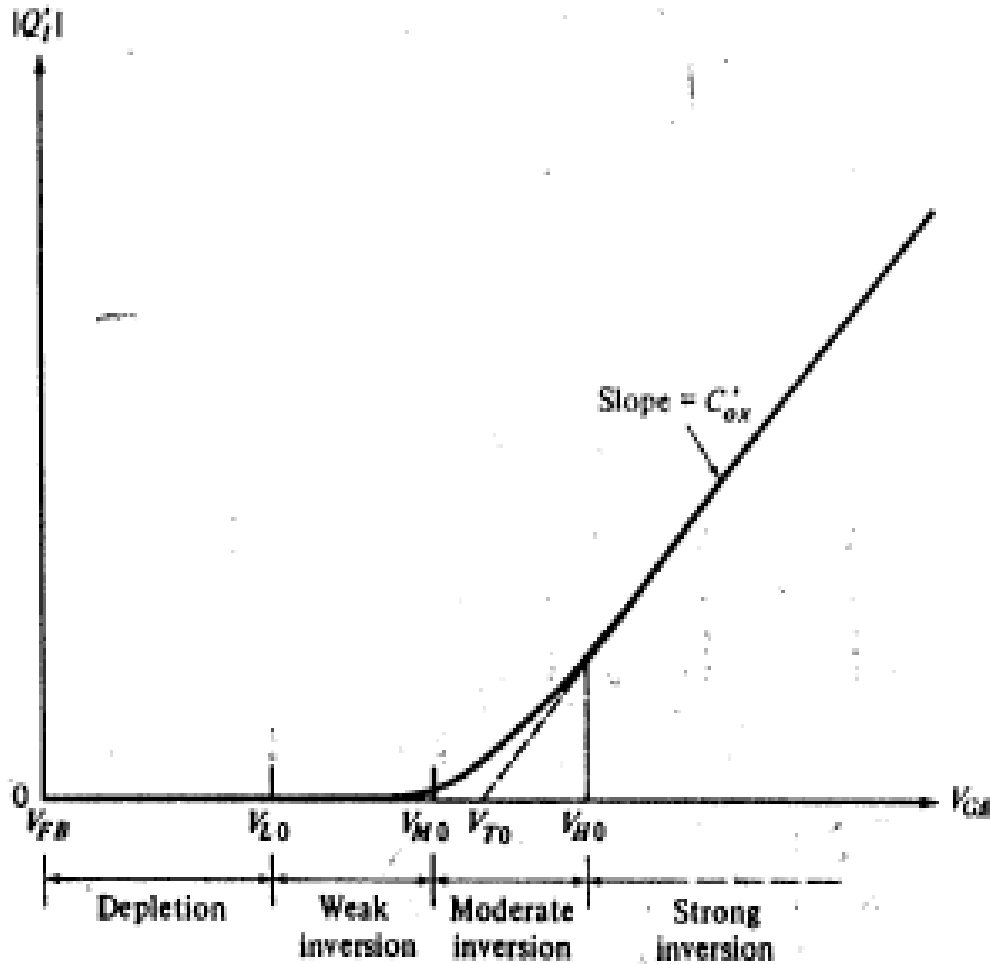


Estructura MOS de Dos Terminales: Acumulación, Deplexión, Inversión



Estructura MOS de Dos Terminales:

Carga de Inversión Q_i



Aproximación usual
(inversión fuerte):

$$Q'_i = C'_{ox} \cdot (V_{GB} - V_{T0})$$

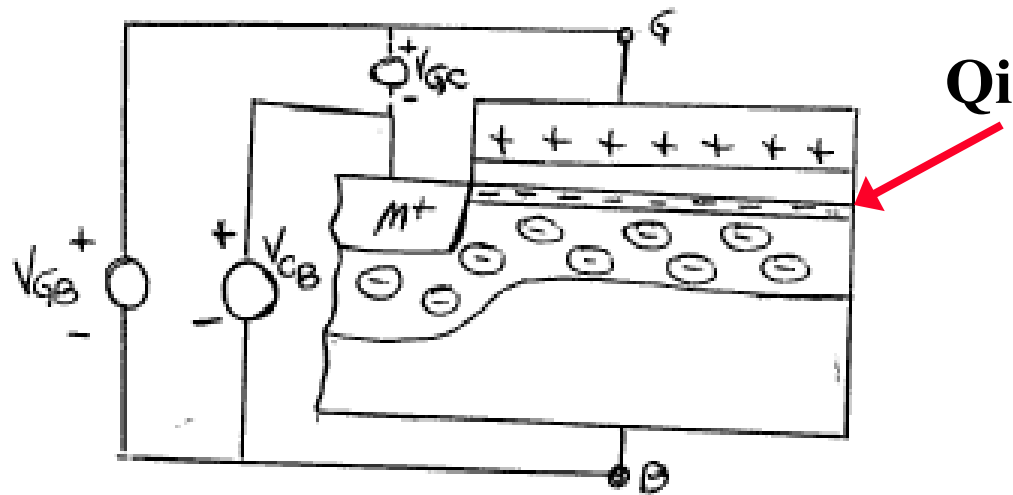
$Q'_i = Q_i / (W \cdot L)$ carga de inversión por unidad de área

$C'_{ox} = \epsilon_{ox} / t_{ox}$ capacidad de gate por unidad de área

V_{T0} : Tensión umbral

Fuente: Tsividis

Estructura MOS de Tres Terminales: Efecto de sustrato (efecto “body”).



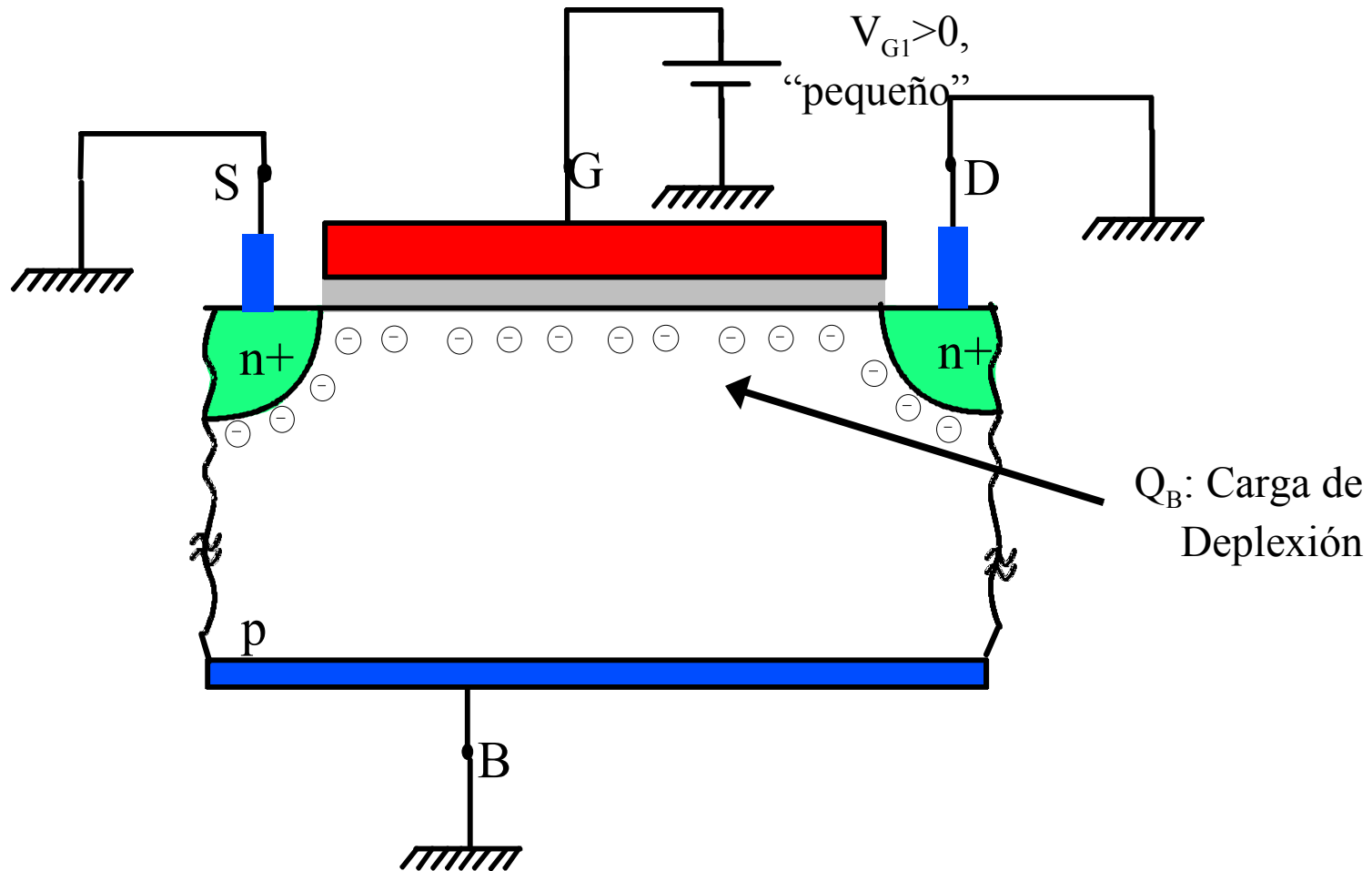
- Si se aumenta V_{CB} manteniendo V_{GC} constante $\Rightarrow Q_i$ disminuye.

- Para tener el mismo Q_i , V_{GB} y V_{GC} tienen que aumentar en mayor proporción que V_{CB}

$$Q'_i \cong C'_{ox} \cdot (V_{GB} - V_{T0} - (1 + \delta) \cdot V_{CB}),$$

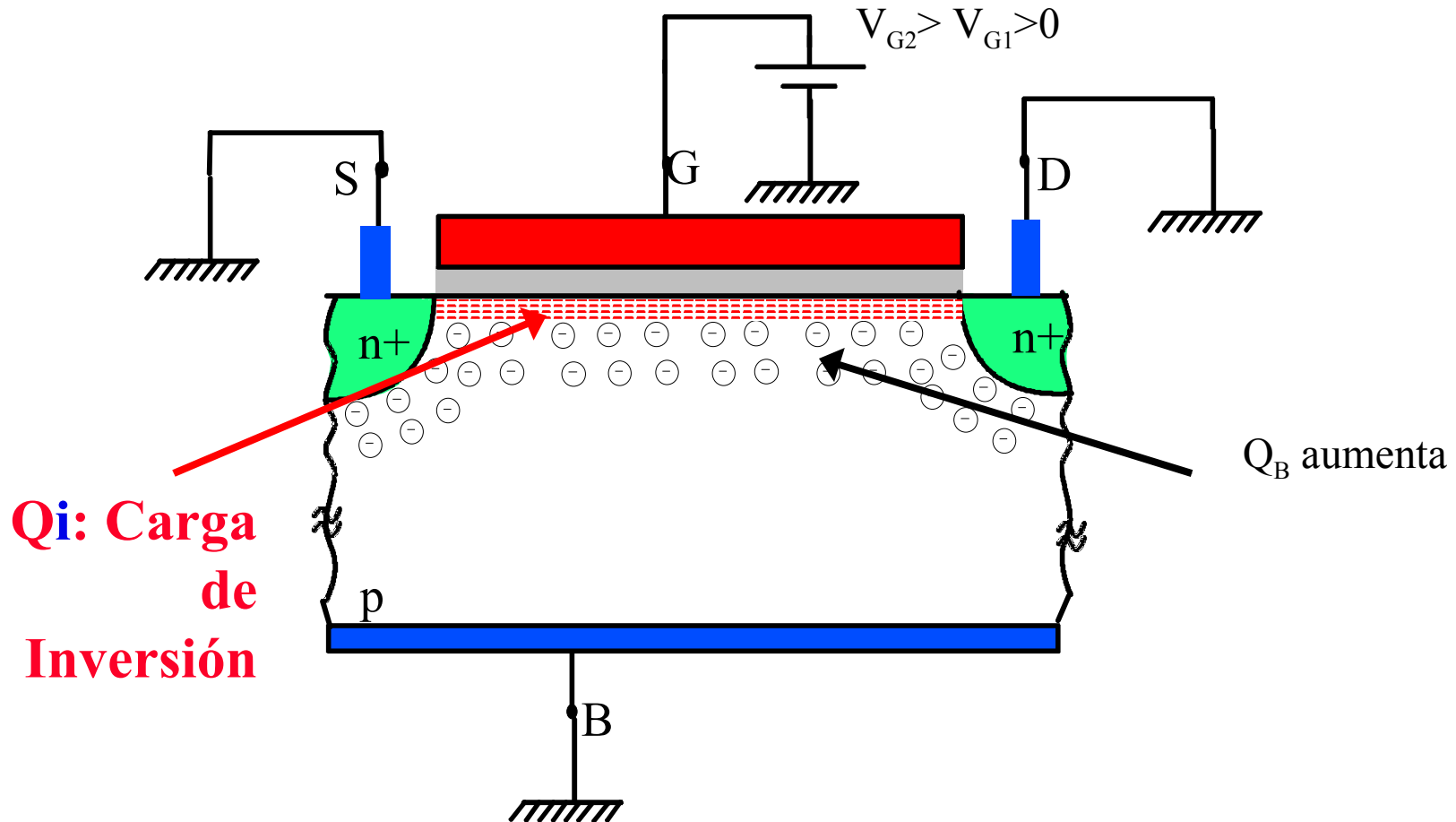
$$\delta = 0.2 \dots 0.6$$

Operación Transistor MOS (1) (Zona de Corte)



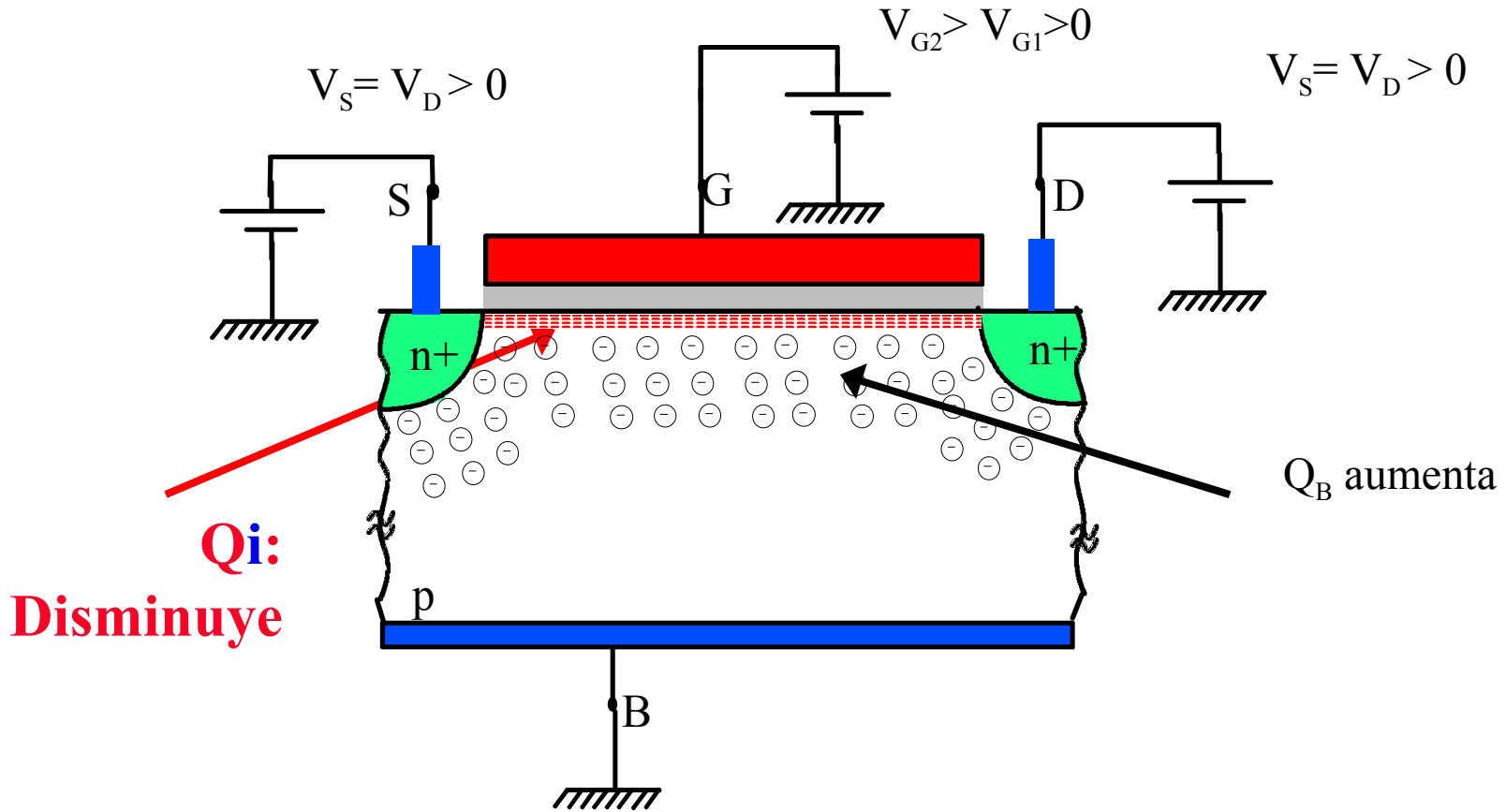
$$V_G = V_{G1} > 0, \text{ "pequeño"}, V_S = V_D = 0$$

Operación Transistor MOS (2)



$$V_G = V_{G2} > V_{G1} > 0, V_S = V_D = 0$$

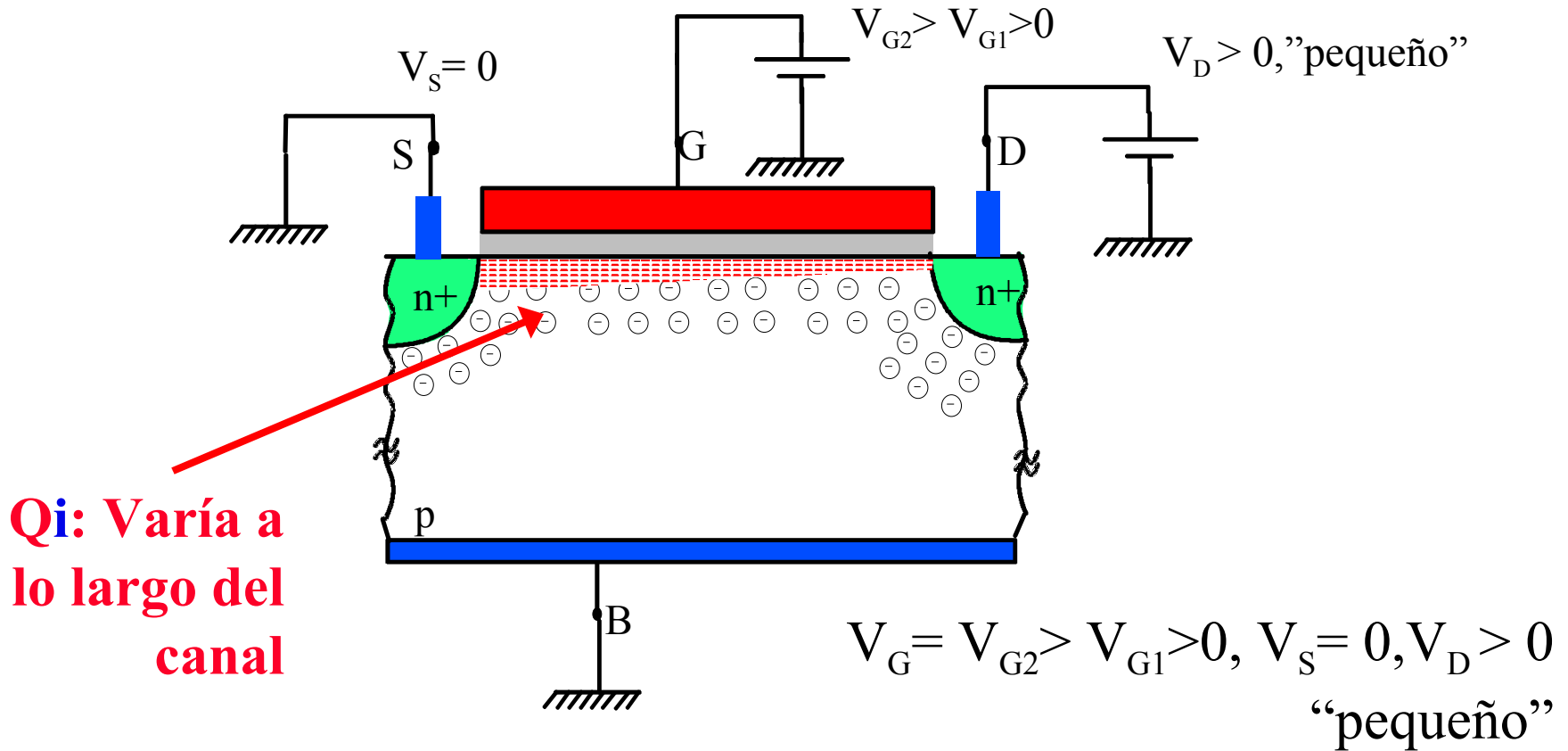
Operación Transistor MOS (3)



$$V_G = V_{G2} > V_{G1} > 0, V_S = V_D > 0$$

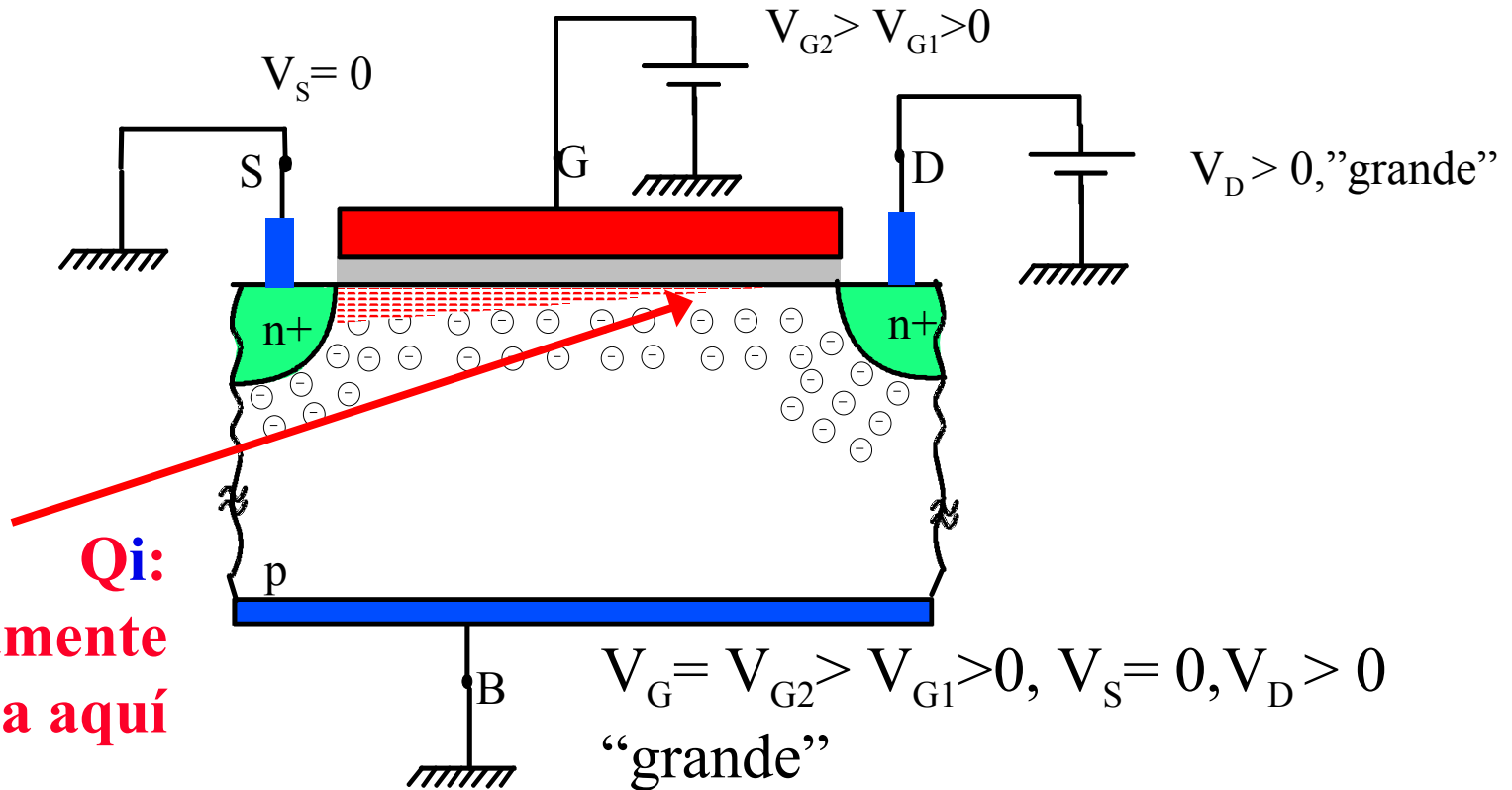
Operación Transistor MOS (4)

(Zona Lineal o “triodo”)



I_{DS} distinto de 0, aprox. lineal con V_{DS} , comportamiento de resistencia, pequeña, controlada por V_G

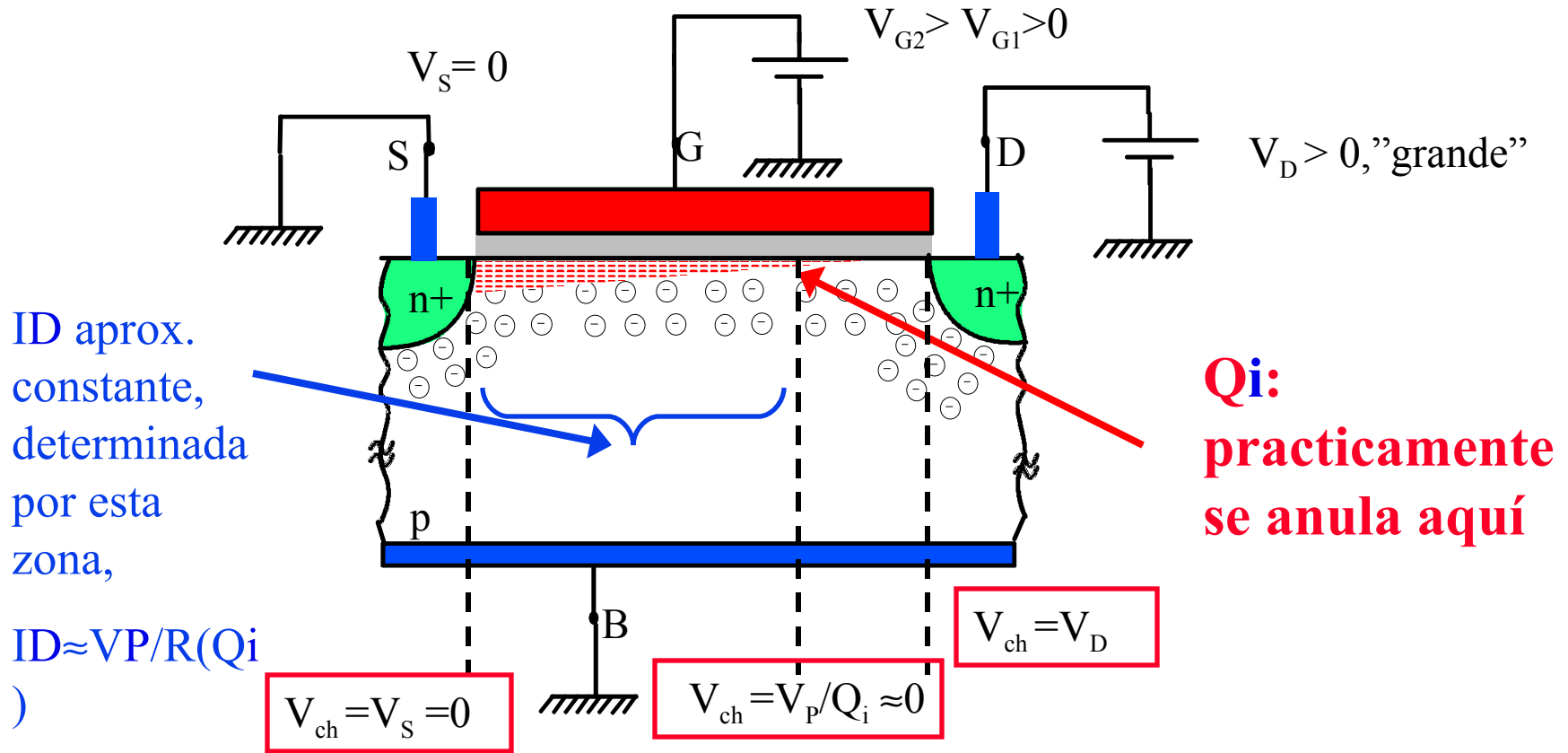
Operación Transistor MOS (5) (Saturación)



Qi:
 prácticamente
 se anula aquí

I_{DS} distinto de 0, no depende en
 primera aproximación de V_D ,
 comportamiento de fuente de corriente
 controlada por V_G

Operación Transistor MOS (6) (Saturación 2)



V_P : tensión de "pinch-off" = V_{DSAT} : tensión de saturación

$$Q'_i \cong C'_{ox} \cdot (V_G - V_{T0} - (1 + \delta) \cdot V_{ch}) \Rightarrow V_P = (V_G - V_{T0}) / (1 + \delta) = V_{DSAT}$$

Operación Transistor MOS (7) (Saturación 3)

