

ESTUDIO DE TIEMPOS DE FLIP FLOPS

Versión: 1.0 – 3 de julio de 2007.

Elaborado por: Fiorella Haim.

Con colaboraciones de: Juan Pablo Oliver, Julio Pérez, Javier Rodríguez y Lyl Ciganda.

1. Introducción

Este documento es un material de apoyo para el curso de Diseño Lógico (iie.fing.edu.uy/ense/assign/dislog), para el estudio del tema tiempos de Flip Flops (FF) sensibles a flanco. Se presentan las definiciones vistas en el teórico y la metodología de análisis de frecuencia máxima de funcionamiento de un circuito y condiciones para sus entradas.

2. Definiciones y fundamentos teóricos

La salida del FF cambia luego de un flanco activo (de subida o de bajada según a qué flanco sea sensible, ver Figura 1). Al especificar el funcionamiento de un FF, el fabricante establece tiempos que tiene que respetar la entrada del mismo para que el FF funcione correctamente (tiempos de **setup** y de **hold**). También indica cuánto demora la salida en cambiar luego de un flanco de reloj (tiempo de **propagación**). A continuación se definen estos tiempos, notar que los de setup y hold se refieren a condiciones que debe cumplir la entrada para que el FF funcione correctamente, mientras que el de propagación se refiere al momento en que el FF va a producir una salida válida.

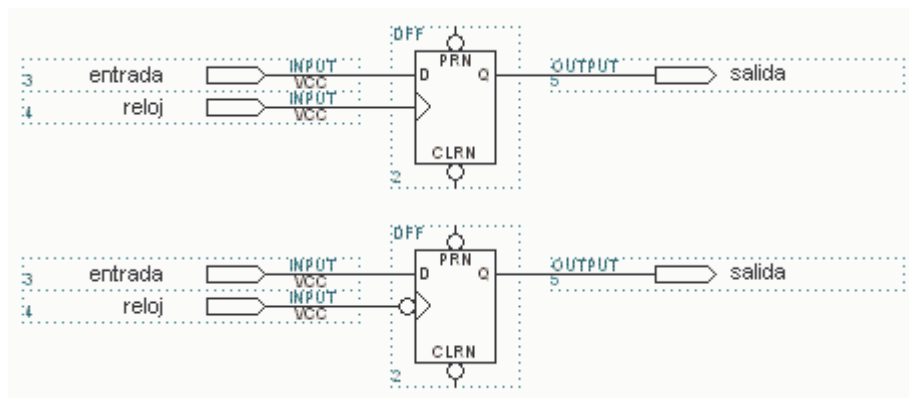


Figura 1 - a) Flip Flop sensible a flanco de subida. b) Flip Flop sensible a flanco de bajada.

Tiempo de setup (t_{su})

Es el mínimo tiempo en el que debe permanecer constante la entrada de un Flip Flop *antes* del flanco activo de reloj para funcionar correctamente (ver Figura 2):

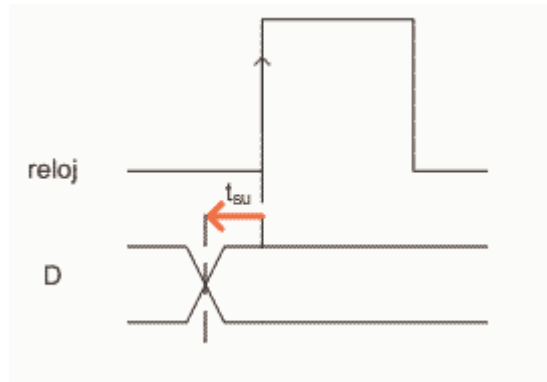


Figura 2 - Tiempo de setup (FF sensible a flanco de subida)

De esta forma, el t_{su} es una cota, si se supera esa cota el FF funciona correctamente, por debajo de esa cota el funcionamiento no está asegurado. Es por esto que aunque generalmente en las hojas de datos aparece el dato t_{su} como *mínimo*, en el curso tomaremos simplemente t_{su} como esta cota.

La Figura 3 es un ejemplo de hoja de datos de ON Semiconductor (www.onsemi.com).

AC SETUP REQUIREMENTS ($T_A = 25^\circ\text{C}$)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
$t_{W(H)}$	Clock	25			ns	Figure 1	$V_{CC} = 5.0\text{ V}$
$t_{W(L)}$	Clear, Set	25			ns	Figure 2	
t_s	Data Setup Time — HIGH LOW	20			ns	Figure 1	
		20			ns		
t_h	Hold Time	5.0			ns	Figure 1	

Figura 3 - Extracto de hoja de datos de Flip Flop SN74LS74A de ON Semiconductor

Tiempo de hold (t_{hold})

Es el mínimo tiempo en el que debe permanecer constante la entrada de un Flip Flop *después* del flanco activo de reloj (ver Figura 4):

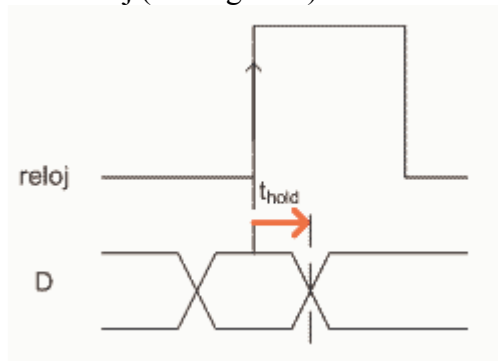


Figura 4 - Tiempo de hold (FF sensible a flanco de subida)

Análogamente al caso del t_{su} , generalmente el fabricante establece el t_{hold} mínimo.

Tiempo de propagación (t_p)

Es el tiempo que transcurre luego de un flanco activo de reloj para que la salida del Flip Flop quede estable (ver Figura 5):

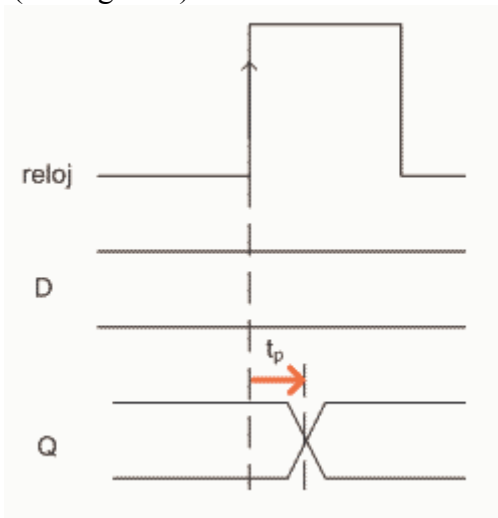


Figura 5 - Tiempo de propagación (FF sensible a flanco de subida)

Usualmente el fabricante nos brinda el rango en el que puede variar t_p , desde un valor de t_p mínimo a un valor de t_p máximo. Si no explicita un t_p mínimo, se asume que éste es 0 (es decir que t_p varía entre 0 y t_p máx).

AC CHARACTERISTICS ($T_A = 25^\circ\text{C}$, $V_{CC} = 5.0\text{ V}$)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
f_{MAX}	Maximum Clock Frequency	25	33		MHz	Figure 1	$V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$
t_{PLH}	Clock, Clear, Set to Output		13	25	ns	Figure 1	
t_{PHL}			25	40	ns		

Figura 6 - Extracto de hoja de datos de Flip Flop SN74LS74A de ON Semiconductor

3. Ejemplo sencillo

En esta sección analizamos un primer circuito sencillo, planteamos la metodología para calcular la frecuencia máxima de funcionamiento de un circuito en forma segura, obteniendo las ecuaciones correspondientes.

La Figura 7 muestra el circuito a analizar:

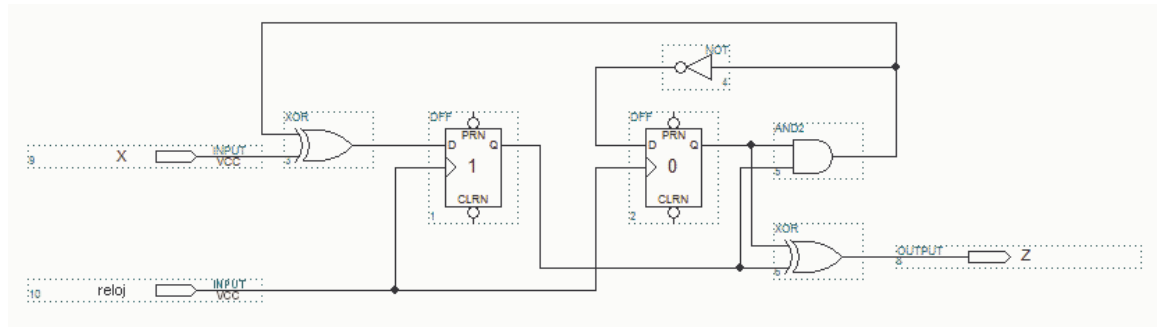


Figura 7 - Circuito con Flip Flops

Nos interesa saber la frecuencia máxima a la que puede funcionar este circuito. Para esto, debemos determinar la máxima velocidad para la cual funcionan correctamente ambos FF. La metodología utilizada es la siguiente:

- Primero suponemos que la entrada X permanece constante, y verificamos que ambos FF funcionen correctamente, es decir que se respetan sus tiempos de setup.
- Luego, vemos en qué momentos puede cambiar la entrada X para que ambos FF funcionen correctamente a la frecuencia máxima calculada previamente.

Antes de comenzar con el análisis, recordemos que tal como se vio en el curso, las compuertas lógicas introducen un retardo t_d que varía entre $t_d(\text{mín})$ y $t_d(\text{máx})$. Podemos obtener estos valores a partir de las hojas de datos de las compuertas.

a) X constante

Analicemos qué condiciones se tienen que cumplir para que se respeten los t_{su} de ambos FF. Para esto, identificamos los distintos caminos por los que cambia la señal D en cada FF. Comencemos por el camino 1 (Figura 8, Figura 9, y animación 1):

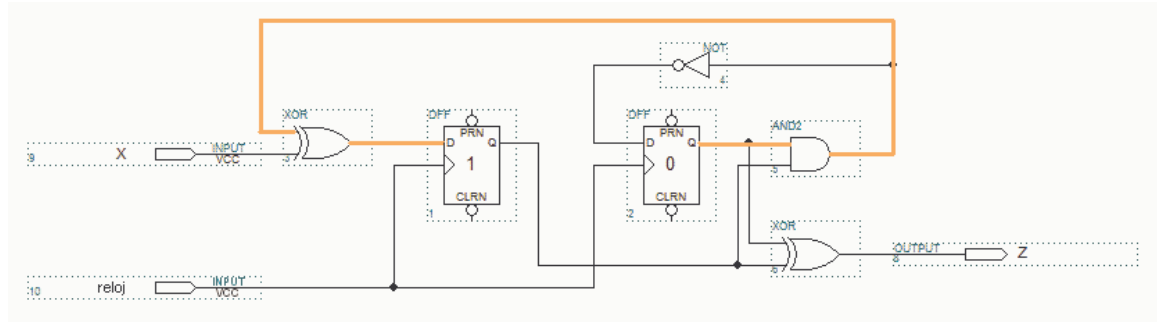


Figura 8 - Camino 1

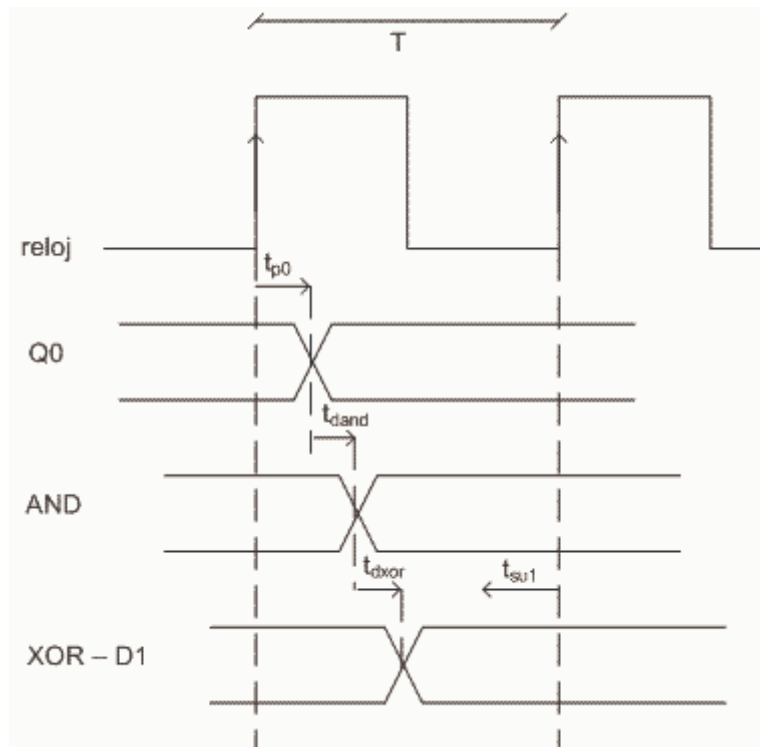


Figura 9 - Diagrama de tiempos de camino 1

1. Un t_p después de un flanco activo de reloj cambia la salida del FF0
2. La salida de la compuerta AND va a cambiar un t_{dand} después
3. La salida de la compuerta XOR (y entrada D1) va a cambiar un t_{dxor} después
4. Como la señal D1 no puede cambiar un t_{su} antes del siguiente flanco, hay que respetar la siguiente ecuación:

$$T_1 \geq t_{p0}(\max) + t_{dand}(\max) + t_{dxor}(\max) + t_{su1} \quad (C1)$$

Nota: Es necesario tomar los máximos valores posibles de t_p y t_d de las compuertas para asegurarnos que el circuito funcionará correctamente en el “peor caso”.

De esta forma, hemos analizado el cambio en D1 debido al cambio en la salida Q0. Para asegurar el buen funcionamiento del FF1 nos queda analizar el camino 2 (Figura 10), que corresponde al cambio en D1 debido a un cambio en la salida Q1.

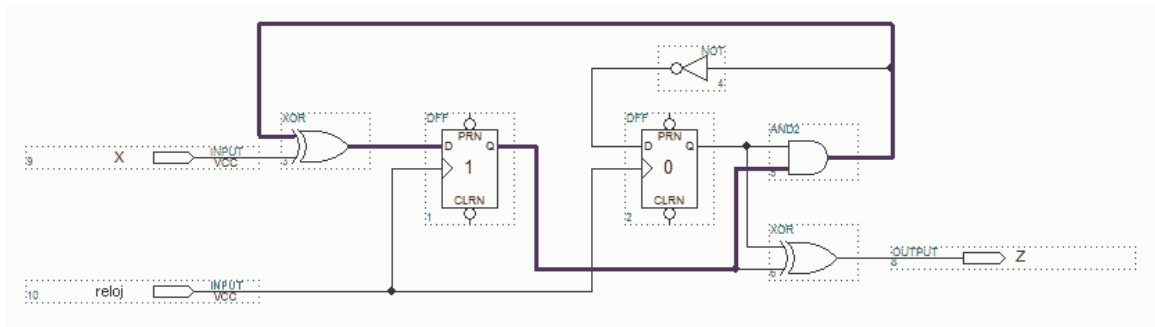


Figura 10 - Camino 2

La segunda condición que debe cumplirse es entonces:

$$T_2 \geq t_{p1}(\max) + t_{dand}(\max) + t_{dxor}(\max) + t_{su1} \quad (C2)$$

Luego consideramos los caminos que producen cambios en D0: en verde (Figura 11) a partir de un cambio en Q0 y en amarillo (Figura 12) a partir de un cambio en Q1.

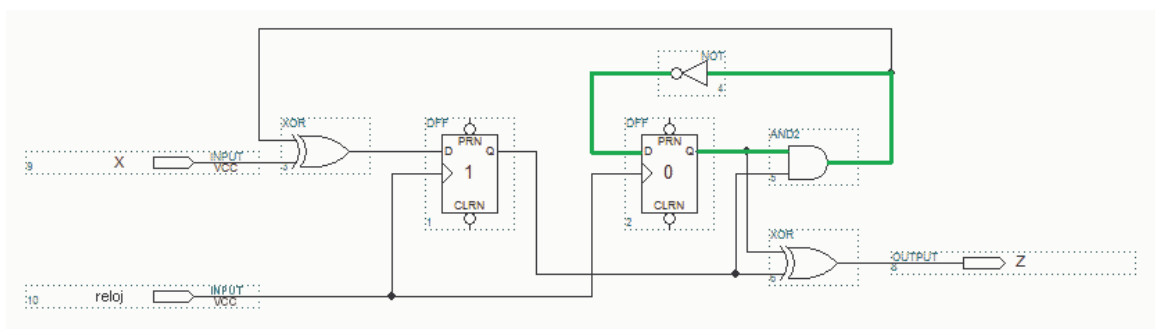


Figura 11 - Camino 3

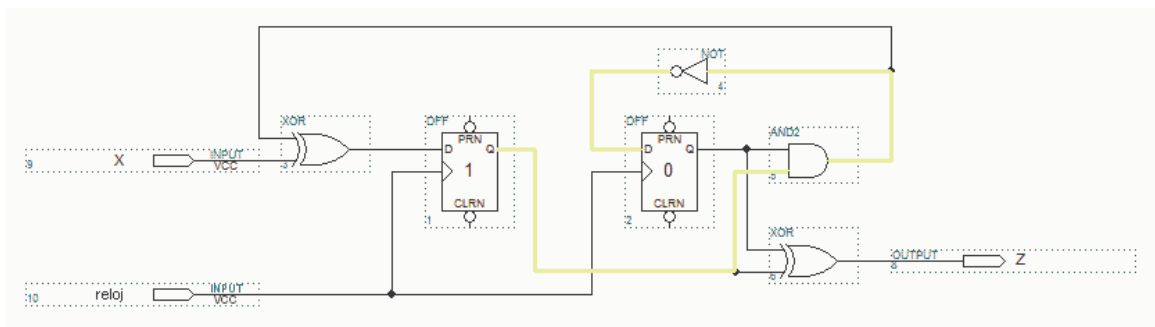


Figura 12 - Camino 4

Las condiciones C3 y C4 se pueden escribir de la siguiente forma:

$$T_3 \geq t_{p0}(\max) + t_{dand}(\max) + t_{dnot}(\max) + t_{su0} \quad (C3)$$

$$T_4 \geq t_{p1}(\max) + t_{dand}(\max) + t_{dnot}(\max) + t_{su0} \quad (C4)$$

El mínimo período que cumple todas las condiciones es:

$$T_{\min} = \max\{T1^*, T2^*, T3^*, T4^*\}$$

donde Ti^* es el mínimo valor de Ti que cumple la condición i (la igualdad). La frecuencia máxima es simplemente el inverso del período mínimo:

$$f_{\max} = \frac{1}{T_{\min}}$$

Observación: las condiciones (C1) y (C2) equivalen a la siguiente condición (M1):

$$TM_1 \geq \max\{t_{p1}(\max), t_{p0}(\max)\} + t_{dand}(\max) + t_{dxor}(\max) + t_{su1} \quad (M1)$$

y las condiciones (C3) y (C4) a la siguiente condición (M2):

$$TM_2 \geq \max\{t_{p1}(\max), t_{p0}(\max)\} + t_{dand}(\max) + t_{not}(\max) + t_{su0} \quad (M2)$$

El siguiente diagrama (Figura 13) resume los caminos analizados para determinar la frecuencia máxima de funcionamiento del circuito, suponiendo que X no cambia.

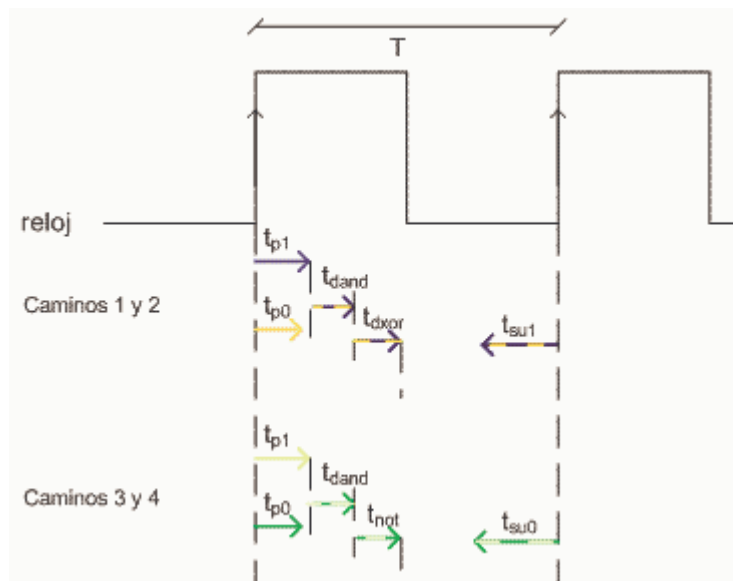


Figura 13 - Diagrama de tiempos con los caminos analizados

Observación: En general hay que considerar varios caminos que son independientes y encontrar el peor caso. No es correcto sumar tiempos involucrados en caminos diferentes.

b) Variación de X

Ahora que hemos determinado la frecuencia máxima del circuito suponiendo que X no varía, tenemos que determinar en qué momentos (respecto al flanco) puede variar X para que el circuito continúe funcionando correctamente.

Podemos ver que la entrada X solo va a afectar el comportamiento del FF1, y en particular vemos que la entrada D1 va a cambiar un t_{dxor} después de un cambio en la entrada X (ver Figura 14).

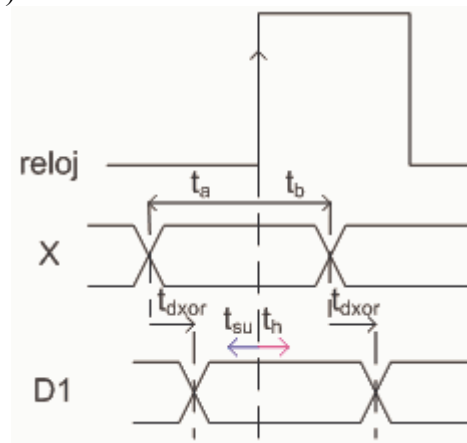


Figura 14 - Diagrama para entrada X

En el diagrama t_a es el tiempo *antes* del flanco durante el cual X tiene que mantenerse constante, mientras que t_b es el tiempo durante el cual X tiene que mantenerse constante *después* del flanco.

Las ecuaciones para t_a y t_b son:

$$t_a \geq t_{dxor}(\max) + t_{su} \quad (XA)$$

$$t_b \geq t_h - t_{dxor}(\min) \quad (XB)$$

Para poder asegurar que en todos los casos vamos a cumplir con el t_{su} , es necesario considerar el máximo valor de t_{dxor} (ver ecuación XA). Sin embargo, como se puede ver en el diagrama, el retardo de la compuerta XOR ayuda a cumplir con el t_h del FF, por lo que el peor caso en esta situación (ecuación XB) es el mínimo valor de t_{dxor} .

En conclusión, hemos determinado las restricciones de este circuito para su correcto funcionamiento, tanto en lo que refiere a la máxima frecuencia de reloj que se puede utilizar, como el momento en que debe permanecer constante su entrada.