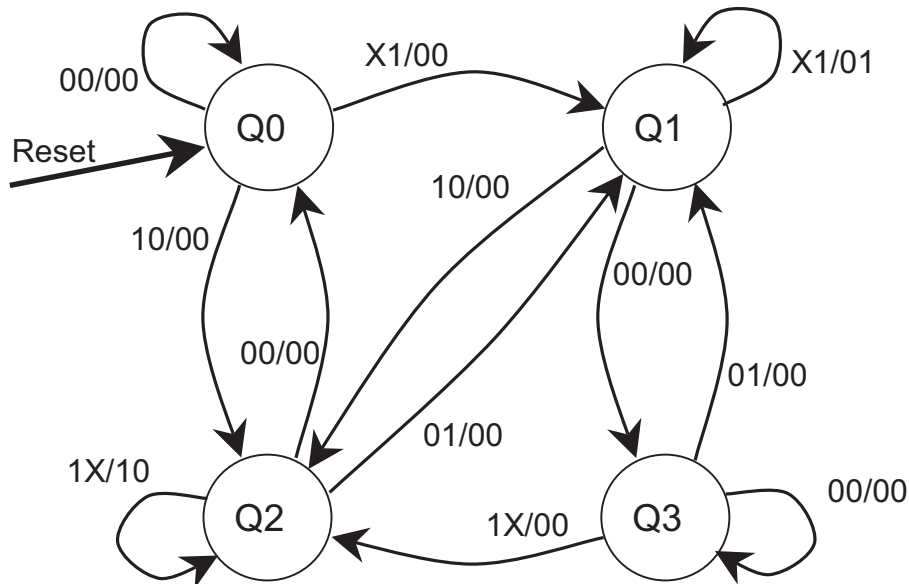


SOLUCIÓN

PROBLEMA 1

Diagrama de estados

SR SL / VR VL

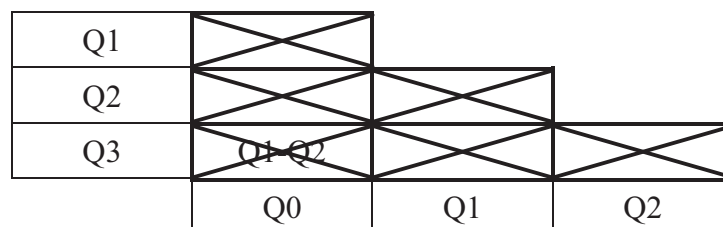


Q0: Ultimo Derecho
Q1: Pasando Izquierdo
Q2: Pasando Derecho
Q3: Ultimo Izquierdo

Tabla de estados

	00	01	11	10	00	01	11	10
Q0	Q0	Q1	Q1	Q2	00	00	00	00
Q1	Q3	Q1	Q1	Q2	00	01	01	00
Q2	Q0	Q1	Q2	Q2	00	00	10	10
Q3	Q3	Q1	Q2	Q2	00	00	00	00

Minimización de estados



No hay estados equivalentes

SOLUCIÓN

Codificación: Q0 = 00, Q1 = 01, Q2 = 11, Q3 = 10

SR SL Q1 Q0	00	01	11	10	00	01	11	10
00	00	01	01	11	00	00	00	00
01	10	01	01	11	00	01	01	00
11	00	01	11	11	00	00	10	10
10	10	01	11	11	00	00	00	00
D1 D0					VR VL			

Mapas K:

SR SL Q1 Q0	00	01	11	10
00	0	0	0	1
01	1	0	0	1
11	0	0	1	1
10	1	0	1	1

$$D1 = SR./SL + SR.Q1 + /SL./Q1.Q0 + /SL.Q1./Q0$$

SR SL Q1 Q0	00	01	11	10
00	0	1	1	1
01	0	1	1	1
11	0	1	1	1
10	0	1	1	1

$$D0 = SL + SR$$

SR SL Q1 Q0	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	1	1
10	0	0	0	0

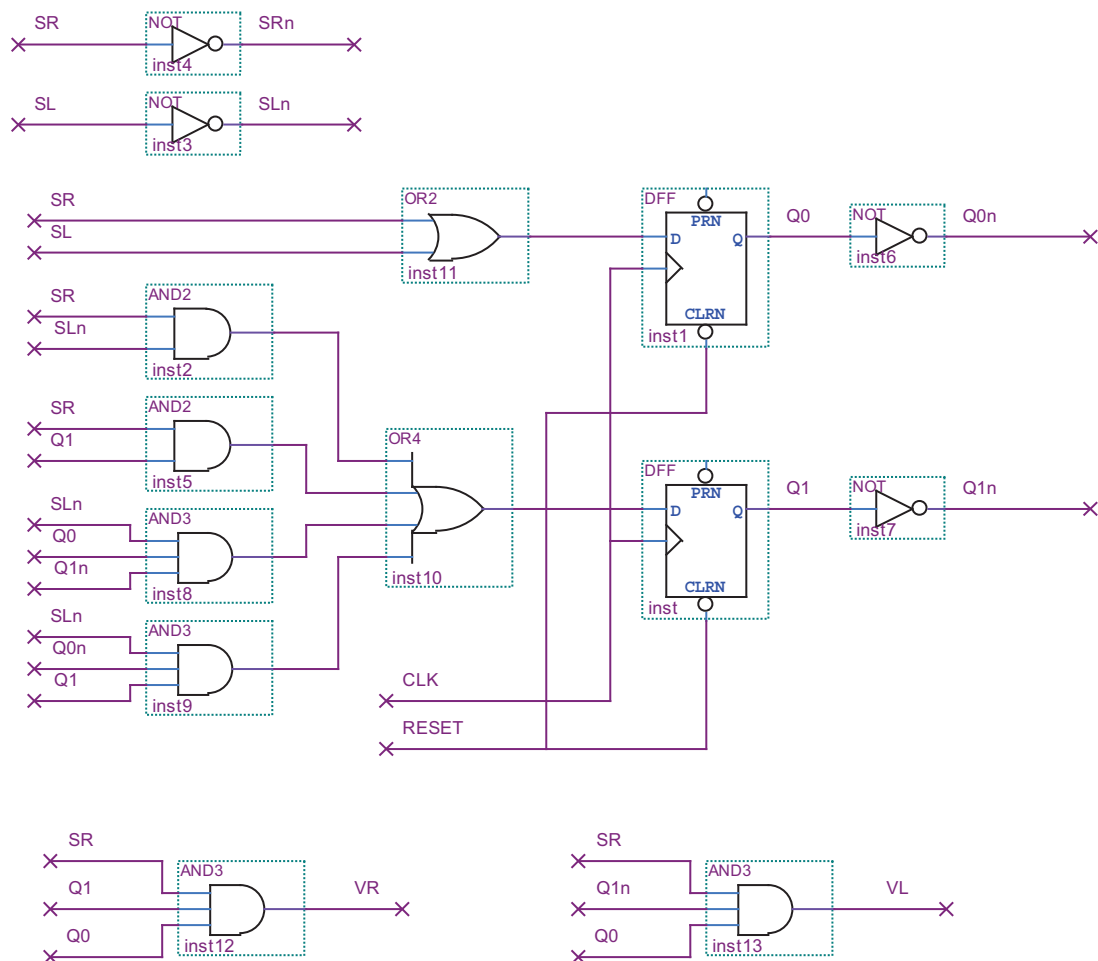
$$VR = SR.Q1.Q0$$

SOLUCIÓN

SR SL Q1 Q0	00	01	11	10
00	0	0	0	0
01	0	1	1	0
11	0	0	0	0
10	0	0	0	0

$$VL = SL./Q1.Q0$$

Circuito



a) Descripción RTL

Module: Solución.

Input: serie_in, serie_ena

Output: paralelo_out[8], paralelo_ready

Memory: Cont[3], Dato[8], Sal_aux[8], Anterior

0.

Cont[] <== 0

Anterior <== 0

1.

Cont[] * serie_ena <== INC (Cont[])

Anterior * serie_ena <== serie_in

==> (Cont[] = 7 , /Cont[] = 7) / (2 , 1)

2.

Cont[] * serie_ena <== INC (Cont[])

Anterior * serie_ena <== serie_in

Paralelo_out[] = Dato[]

Sal_aux[] <== Dato[]

Paralelo_ready = 1

==>(3)

3.

Cont[] * serie_ena <== INC (Cont[])

Anterior * serie_ena <== serie_in

Paralelo_out[] = Sal_aux[]

Paralelo_ready = 1

==>(1)

ENDSEQUENCE

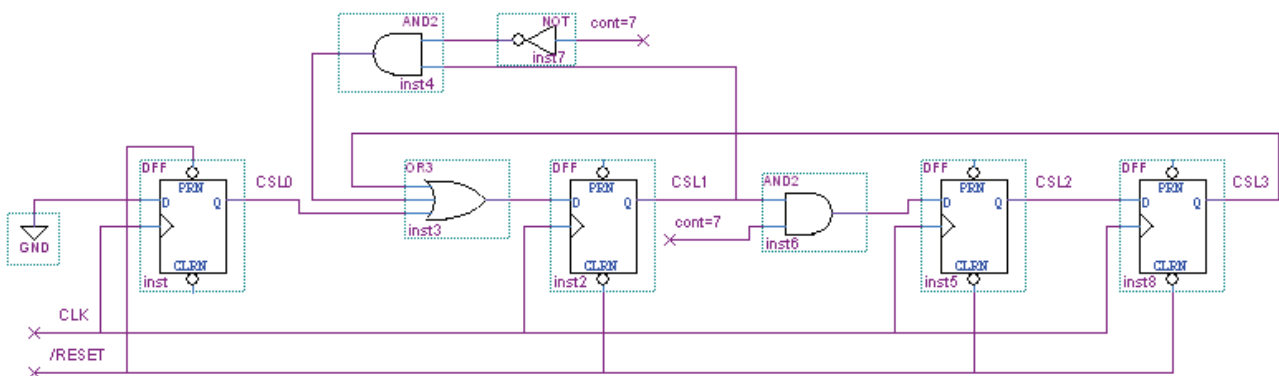
CONTROLRESET(0)

bit_in = (serie_in XNOR Anterior)

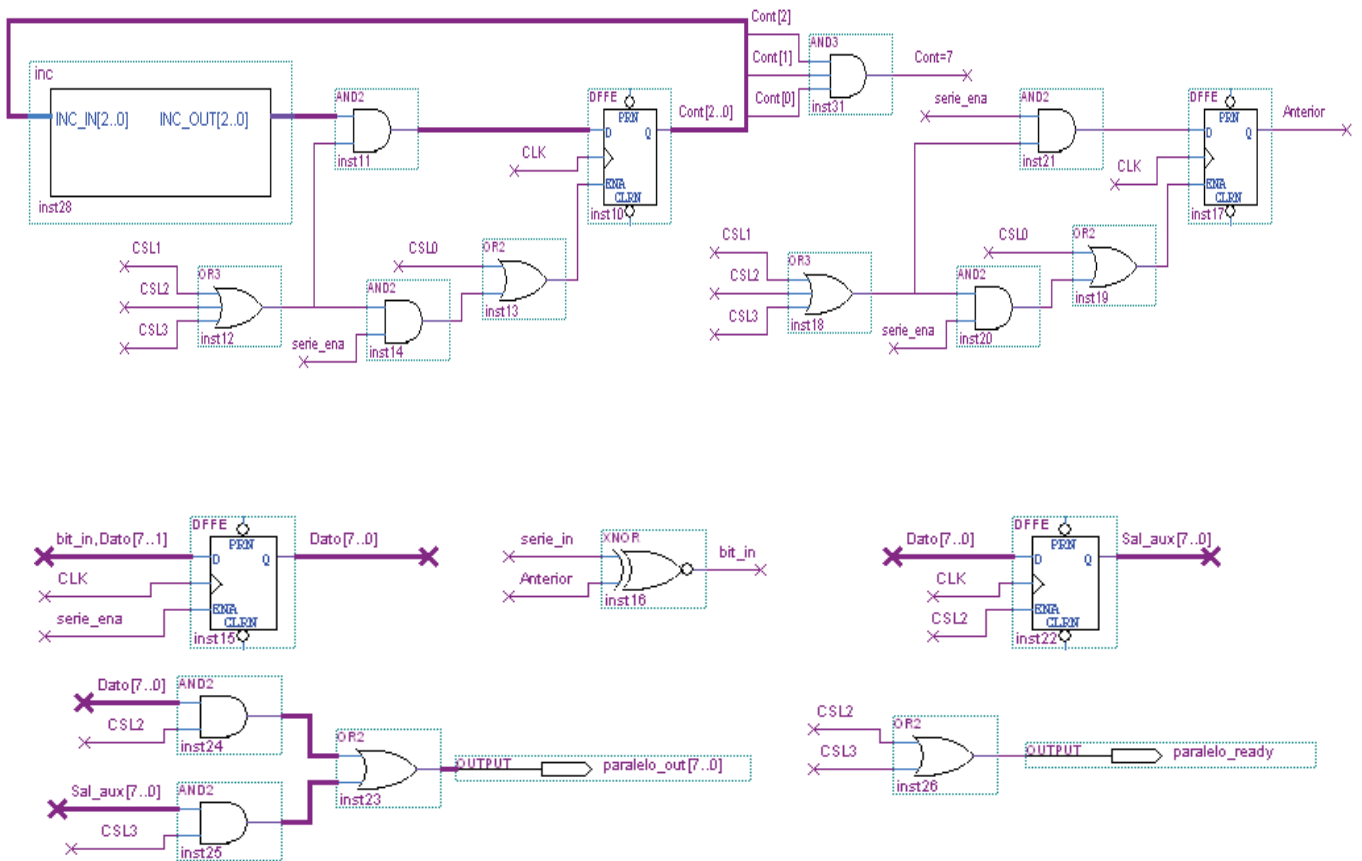
Dato[] * serie_ena <== bit_in, Dato[7..1]

END

b) Bloque de Control



c) Bloque de Datos



SOLUCIONES EXAMEN DISEÑO LÓGICO JULIO 2012

Ejercicio 1

a)

A = 62, necesito 7 bits (6 + 1 de signo)

B = -14, necesito 5 bits (4 + 1 de signo)

==> ancho de palabra mínimo = 7 bits

(i) A = 0111110
 B + 9 = -5
 +5 = 0000101,
 -5 = 1111010 + 1 = 1111011

entrada1 = 0111110
entrada2 = 1111011
salida (suma) = 0111001

(ii) A = 0111110
 -A = 1000001 + 1 = 1000010
 B - 5 = -19
 +19 = 0010011
 - 19 = 1101100 + 1 = 1101101

entrada1 = 1000010
entrada2 = 1101101
salida (suma) = 0101111

b)

A = A6..A0, B = B6..B0 entradas

S = S6..S0 suma

OVF vale 1 si:

- A y B positivos pero S negativo (A6 = B6 = 0 y S6 = 1)
- A y B negativos pero S positivo (A6 = B6 = 1 y S6 = 0)

$$\text{OVF} = !A6 \ !B6 \ S6 + A6 \ B6 \ !S6$$

en (i) OVF = 0
en (ii) OVF = 1

Ejercicio 2

$$Y0 = x1 \cdot y1 + x0 \cdot y0 + x1 \cdot y0$$

$$Y1 = x0 \cdot y1 + x0 \cdot x1 \cdot y0 + x0 \cdot x1 \cdot y0$$

Mapas K

	x1x0			
y1 y0	00	01	11	10
00	0	0	1	0
01	0	0	0	1
11	1	0	0	1
10	1	0	1	1

AZAR

	x1x0			
y1 y0	00	01	11	10
00	0	0	0	0
01	0	1	1	1
11	1	1	1	1
10	1	1	0	0

AZAR

	x1x0			
y1 y0	00	01	11	10
00	00	00	10	00
01	00	01	01	11
11	11	01	01	11
10	11	01	10	10

Carrera crítica

	x1x0			
y1 y0	00	01	11	10
00	00	00	10	00
01	00	01	01	11
11	11	01	01	11
10	11	11	10	10

Nueva tabla sin carreras

El mapa de Y0 queda igual, se agrega un término para eliminar el azar

El mapa de Y1 cambia:

	x1x0			
y1 y0	00	01	11	10
00	0	0	1	0
01	0	0	0	1
11	1	0	0	1
10	1	1	1	1

$$Y0 = x1 \cdot y1 + x0 \cdot y0 + x1 \cdot y0 + y1 y0$$

$$Y1 = x0 \cdot y1 + x0 \cdot x1 \cdot y0 + x0 \cdot x1 \cdot y0 + y1 y0$$