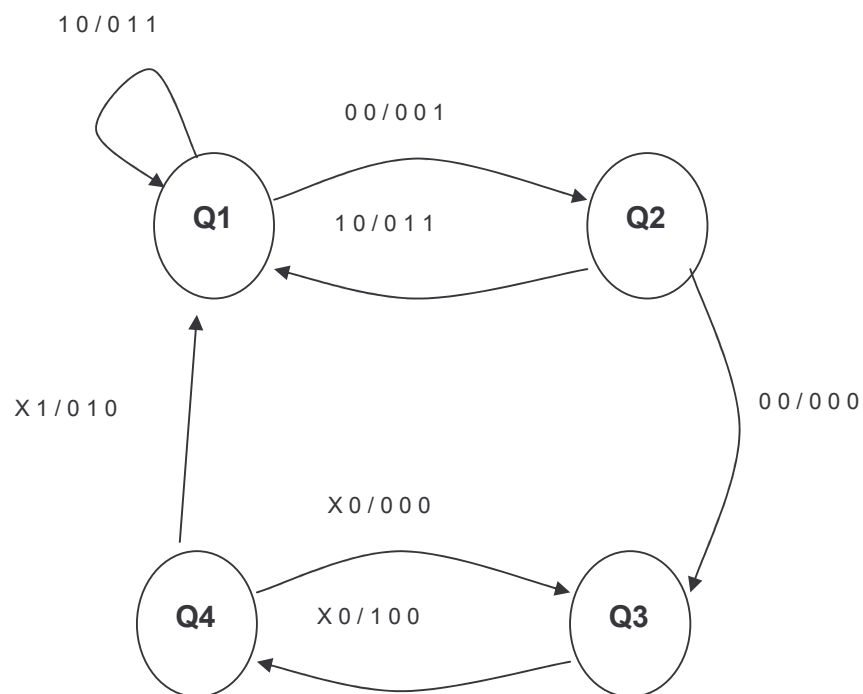


## SOLUCIÓN

### Problema 1

Se toma la condición tal que  $C = 1$  cuando el contador = 15.

IN C / Ena Rdy Rst



IN, C

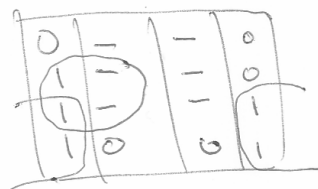
	00	01	11	10		00	01	11	10
00	Q1	Q2		Q1	001				011
01	Q2	Q3		Q1	000				011
11	Q3	Q4		Q4	100				100
10	Q4	Q3	Q1	Q1	Q3	000	010	010	000

Eva, Rd7, Rst

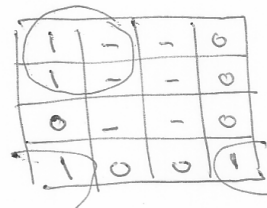
El circuito es mínimo

IN, C

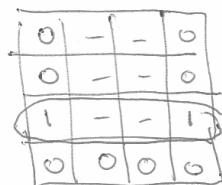
7, 70	00	01	11	10		00	01	11	10
00	01	-	-	00	001				011
01	11	-	-	00	000				011
11	10	-	-	10	100				100
10	11	00	00	11	000	010	010	000	



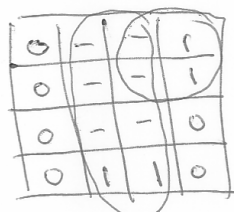
$$R = 7_0 \cdot \bar{I}N + 7_1 \cdot \bar{C}$$



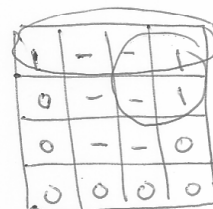
$$D_0 = \bar{7}_1 \cdot \bar{I}N + 7_1 \cdot \bar{7}_0 \cdot \bar{C}$$



$$Eva = 7_1 \cdot 7_0$$

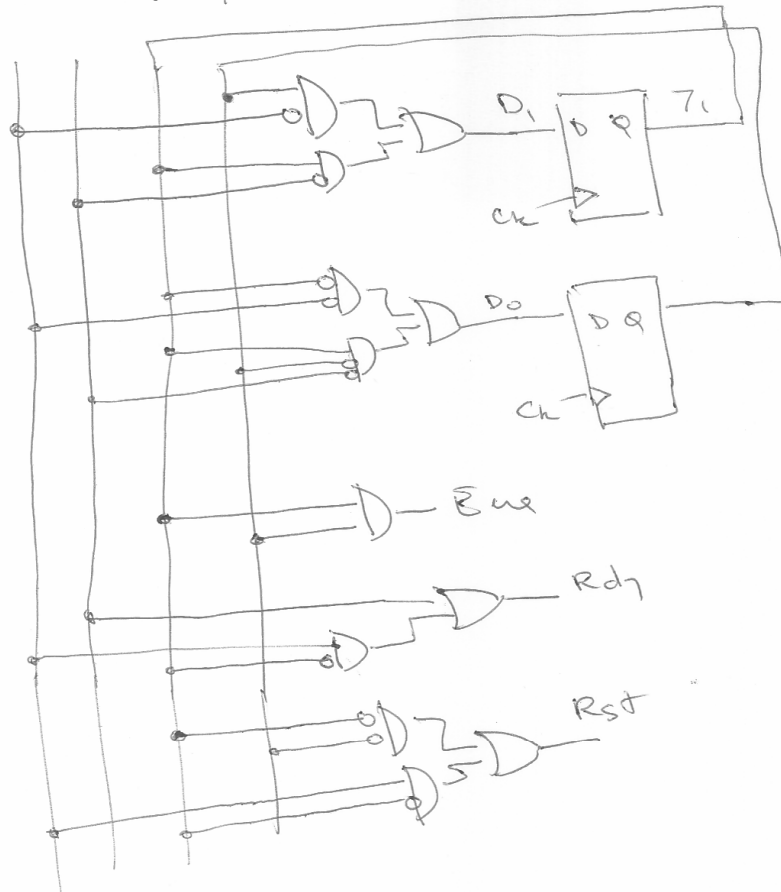


$$Rd_7 = C + I\bar{N} \cdot \bar{7}_1$$



$$Rst = \bar{7}_1 \cdot \bar{7}_0 + I\bar{N} \cdot \bar{7}_1$$

INC 7170



## Problema 2

### SECUENCIA

MODULE:     Automatismo velocidad  
INPUT:       Válido, Vel\_op[8] , Vel\_max[8], Vel\_actual  
OUTPUT:      Acelerador[8]  
MEMORY:     Cont[3], Act[8], Op[8], Max[8], Acel[8]

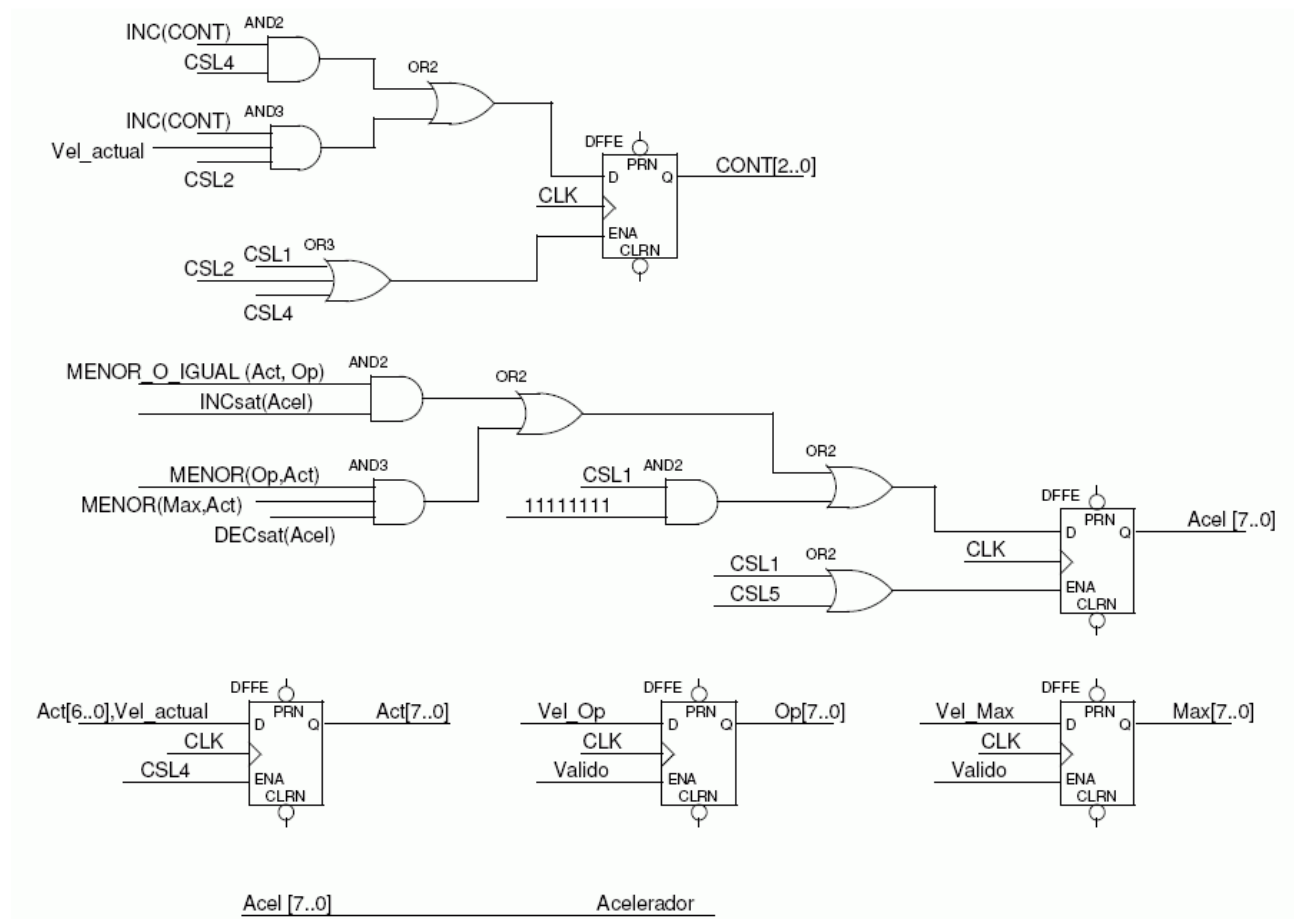
- 1 -     ; Espero un dato del escáner  
      Cont  $\leftarrow$  000  
       $\rightarrow$  (Válido, Válido) / ( 1 , 2 )  
      Acel[8]  $\leftarrow$  1111 1111
- 2 -     ; Chequea 8 bits de parada en el velocímetro  
      Cont  $\leftarrow$  INC (Cont). Vel\_actual  
       $\rightarrow$  ( /( Cont = 111 . Vel\_actual ), Cont = 111 . Vel\_actual ) / ( 2 , 3 )
- 3 -     ; Bit de arranque de Vel\_actual  
       $\rightarrow$  (Vel\_actual, Vel\_actual) / ( 4 , 3)
- 4 -     ; 8 bits de datos de Vel\_actual  
      Act  $\leftarrow$  Act[6..0], Vel\_actual  
      Cont  $\leftarrow$  INC (Cont)  
       $\rightarrow$  (Cont = 111, Cont  $\neq$  111) / (5.4)
- 5 -     ; Modifico Acel  
      Acel  $\leftarrow$  MENOR\_O\_IGUAL(Act, Op) . INC<sub>SAT</sub> (Acel) +  
          MENOR(Op,Act) . MENOR(Max, Act) . DEC<sub>SAT</sub> (Acel)  
       $\rightarrow$  ( 3 )

END SEQUENCE  
CONTROL RESET(1)

Op \* Válido  $\leftarrow$  Vel\_op  
Max \* Válido  $\leftarrow$  Vel\_max.  
Acelerador = Acel

END.

Nota: INC<sub>SAT</sub> y DEC<sub>SAT</sub> son bloques combinatorios que incrementan o decrementan el valor de su entrada., saturando en 11111111 o 00000000 respectivamente.



### Ejercicio 1

$$V1 = p1 * m3 * m2 * m0$$

$$V2 = p2 * m3 * m1 * m0$$

$$V3 = p3 * m2 * m1 * m0$$

Orden de los bits: p1 p2 m3 p3 m2 m1 m0 Nibble: m3 m2 m1 m0

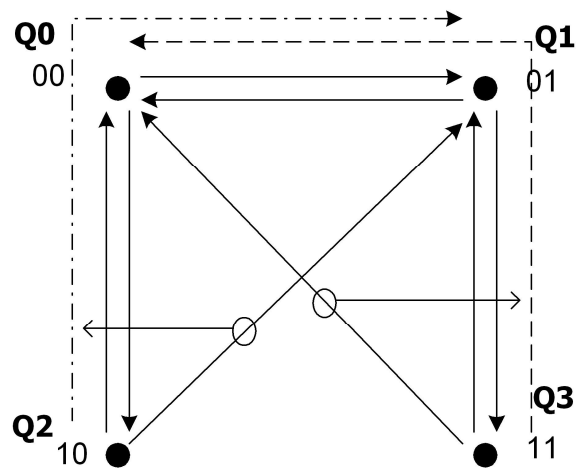
Palabra:	0011001	0101001	1110110
V1	$0*1*0*1=0$	$0*0*0*1=1$	$1*1*1*0=1$
V2	$0*1*0*1=0$	$1*0*0*1=0$	$1*1*1*0=1$
V3	$1*0*0*1=0$	$1*0*0*1=0$	$0*1*1*0=0$

Palabra original	Palabra Corregida	Nibble
0011001	0011001	1001
0101001	1101001	0001
1110110	1100110	0110

### Ejercicio 2

Conjunto destino

(q2,q0) | (q0,q1,q2,q3) | (q1,q0,q3) | (q1,q2)  
(q3,q1) | | (q2) | (q3)



	00	01	11	10	00	01	11	10
Q0	Q2	Q0	Q1	Q1	X	1	X	0
Q1	Q3	Q0	Q1	Q1	X	1	0	0
Q2	Q2	Q0	Q2	Q0	0	1	1	0
Q3	Q3	Q1	Q1	Q3	1	1	X	1