

PRÁCTICA 2 CIRCUITOS SECUENCIALES

Objetivos

- Comprender el funcionamiento de un circuito secuencial modo reloj y la señal de reloj.
- Comprender las magnitudes de frecuencia que se utilizan.
- Reutilizar circuitos ya diseñados para implementar un circuito de mayor complejidad.
- Diseñar y comprobar el funcionamiento de circuitos digitales secuenciales.

En esta práctica, obtendremos un reloj de menor frecuencia a partir del reloj de la placa DE0, seguidamente realizaremos el diseño de un contador módulo 6 y luego diseñaremos el control del mismo también con un circuito modo reloj, para poder utilizar en forma adecuada los botones de la placa como entrada, integrando todo en un circuito.

Parte a):

Para el funcionamiento de los diferentes bloques, se utilizará un reloj muy lento en comparación con el reloj de 50 MHz que provee la placa DE0. La frecuencia a utilizar será la siguiente:

$$11.92 \text{ Hz:} \quad (\text{o sea } 50 \text{ MHz} / 2048^2)$$

Para obtener la frecuencia deseada a partir del reloj de la placa, se deben utilizar dos divisores de frecuencia por 2048. Para esto se dispone del bloque **Div_2048**.

Se pide:

- Estudiar el funcionamiento de **Div_2048**.

Parte b):

En esta parte nos centraremos en el diseño del circuito **Contador6**, un contador módulo 6 (0-5). Este contador debe tener dos entradas **inc** y **dec** (activas por nivel alto), de estar **inc** habilitada el contador debe incrementar su cuenta de forma síncrona, si **dec** está habilitada el contador debe decrementar su cuenta de forma síncrona, si ninguna está habilitada el contador no debe cambiar su salida y el caso en que ambas entradas estén activas no debe considerarse como posible. Como salida únicamente tendrá **Cont[2..0]** (las tres variables de estado utilizadas). El contador no debe saturar (incrementando de 5 pasa a 0 y decrementando de 0 pasa a 5). También deberá contar con una entrada **/reset** (activa por nivel bajo) que lleve la cuenta a 0 de forma asíncrona (**/reset** no es una entrada a la máquina de estado).

La prueba de esta parte se realizará con un reloj manual de forma de generar los flancos a conveniencia utilizando botones de la placa DE0. Para eliminar el ruido introducido por los rebotes mecánicos de los botones se utilizará un flip-flop /S/R como eliminador de rebotes. En el **Quartus** el flip-flop /S/R es una primitiva llamada "**nandlatch**".

Para esta parte del laboratorio se pide modificar el circuito de la Practica 1 – parte a, como se muestra en la figura 1, para que funcione con 3 bits de entrada y esté siempre habilitado, simularlo y generar el bloque **7seg** para utilizar posteriormente.

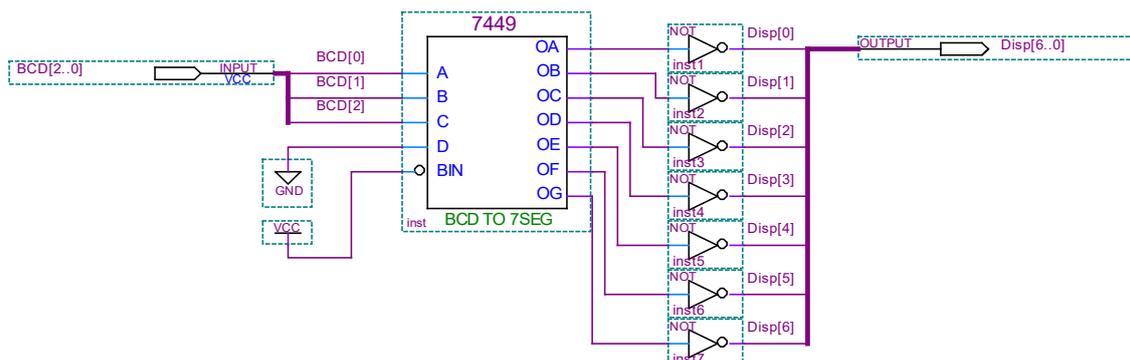


Figura 1.

Se pide

- Diseñar en forma **mínima** utilizando flip-flops tipo D el contador módulo 6, **Contador6**.
- Generar el proyecto con el diseño de **Contador6** y comprobar su funcionamiento en el simulador de **Quartus**.
- Crear el bloque **Contador6**.
- Analizar cómo manejar las entradas del flip-flop SR para lograr una señal de reloj sin rebotes y simular el bloque nandlch (ver figura 2).
- Generar un proyecto en el **Quartus** con el circuito de la figura 2 donde las entradas **inc**, **dec** y **/reset** se conectarán a los switches 9, 8 y 0 respectivamente, las entradas **boton1** y **boton2** a los pulsadores 1 y 2 respectivamente y la salida **Disp[6..0]** al display 0 de la placa DE0. Analizar el circuito, programar la placa y verificar el funcionamiento de **Contador6**.

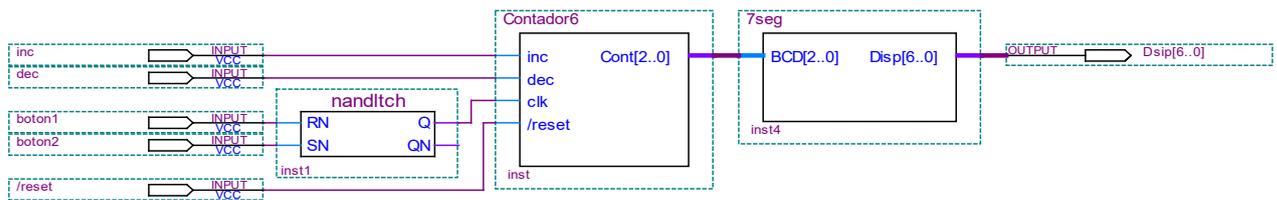


Figura 2. Circuito de prueba para la parte b)

Nota: Al realizar la simulación del circuito evitar realizar cambios en las entradas en el flanco de reloj.

Parte c):

En esta parte se va a realizar un circuito, **CTRL_Cont**, que será utilizado para controlar el bloque **Contador6**.

CTRL_Cont tiene tres entradas (**boton**, **clk** y **/reset**) y una salida (**pulso**) y debe funcionar de la siguiente forma (ver simulación):

- Mientras la entrada **boton** se mantenga en 0, la salida **pulso** se mantendrá en 0.
- Cuando la entrada **boton** pase a 1 la salida deberá pasar a 1 junto con la entrada y volver a 0 con el próximo flanco activo de reloj, y luego:
 1. Si la entrada se mantiene en 1 por un tiempo mayor a 5 períodos de reloj (después del primer flanco de subida del reloj posterior al cambio de la entrada de 0 a 1), por la salida **pulso** se dará un tren de pulsos de la siguiente manera:
 - mientras la entrada **boton** se mantenga en 1 → las salida **pulso** valdrá 1 durante un período de reloj y 0 por dos períodos, y así sucesivamente (1 período activa, 2 inactiva).
 - Si durante el tren de pulsos la entrada vuelve a 0 → la señal **pulso** deberá pasar a valer 0 en forma inmediata (observación: si la salida pulso ya vale 0 cuando se produce el cambio en la entrada, deberá mantener ese valor).
 2. Si por el contrario, la entrada vuelve a 0 previo a los 5 períodos de espera, entonces la salida se mantiene en 0.
- **/reset** se utilizará para llevar el circuito a un estado inicial en forma asíncrona.

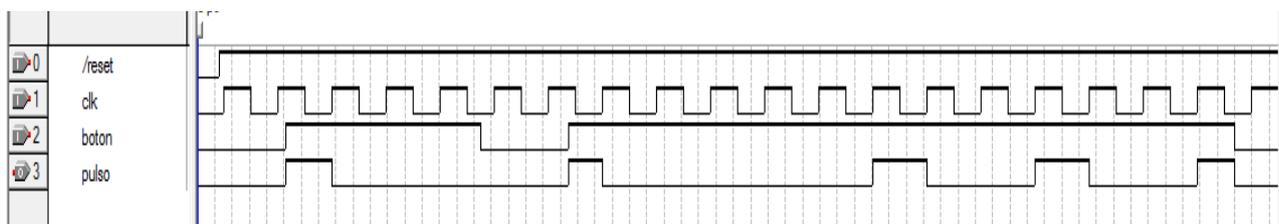


Figura 3. Simulación

Para poder verificar el circuito en la placa, el bloque **CTRL_Cont** deberá incluir además una salida **estado[2..0]** de forma de visualizar en el display el estado en que nos encontramos (**estado[2..0]** se corresponde directamente con la salida de los FF's de estado utilizados).

Se pide:

- Diseñar de forma mínima el circuito secuencial modo reloj **CTRL_Cont**.
- Generar un proyecto en el Quartus con el diseño **CTRL_Cont** y verificar su funcionamiento en el simulador para todos los casos posibles.
- Crear el bloque **CTRL_Cont**.
- Generar un proyecto en el **Quartus** con el circuito de la figura 4 donde la entrada **/reset** se conectará al switch 0, la entrada **SW[9]** al switch 9, las entradas **boton1** y **boton2** a los pulsadores 1 y 2 respectivamente, y la salida **LED[0]** al led 0. Analizar el circuito, programar la placa y verificar el funcionamiento. Se deberá probar todos los casos posibles.

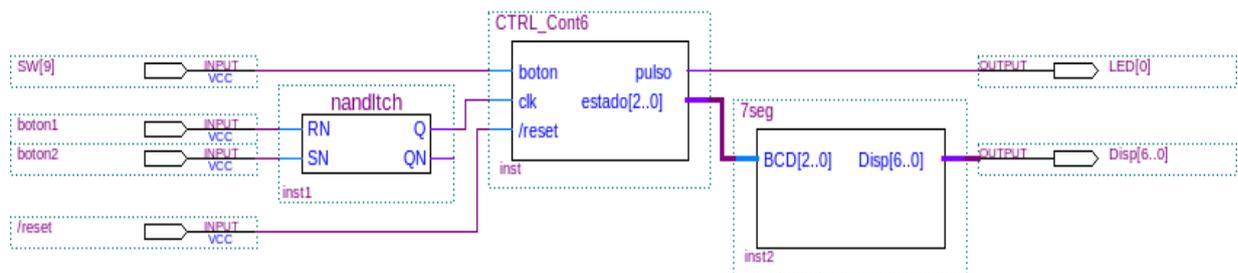


Figura 4. Circuito de prueba parte c)

Parte d)

En esta parte vamos a unir todos los bloques diseñados en esta práctica de forma que **CTRL_Cont6** funcione de interfaz entre los pulsadores de la placa y el bloque **Contador6**

Se pide:

- Crear el bloque **CTRL_INCDEC** con el circuito de la figura 5.
- Estudiar y simular el bloque **CTRL_INCDEC**.
- Generar un proyecto en el **Quartus** con el circuito de la figura 6 donde la entrada **/reset** se conectará al switch 0, la entrada **clk** a la señal de reloj de 50 MHz de la placa DE0, las entradas **boton1** y **boton2** a los pulsadores 1 y 2 respectivamente, y la salida **Disp[6..0]** al display 0. Analizar el circuito, programar la placa y verificar el funcionamiento. Se deberá probar todos los casos posibles.

Nota: Al simular este circuito no utilizar los divisores de frecuencia. Al realizar la simulación del circuito evitar realizar cambios en las entradas en el flanco de reloj.

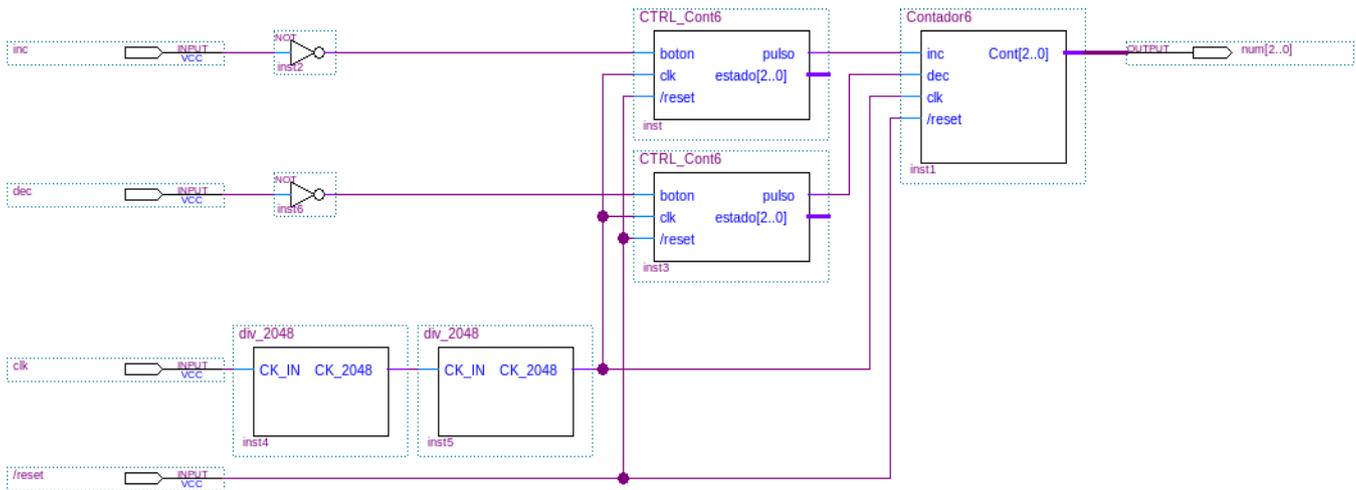


Figura 5. Bloque CTRL_INCDEC

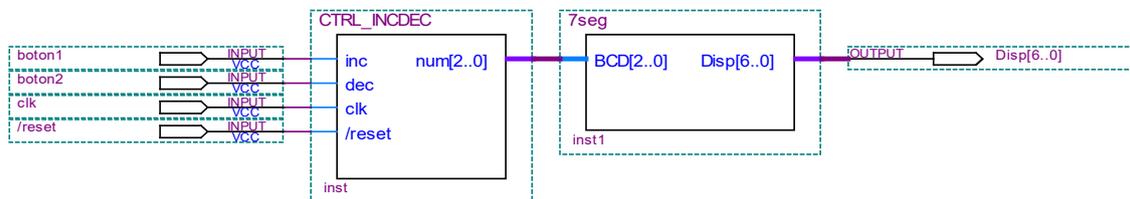


Figura 6. Circuito de prueba parte d)

INFORME

Uno de los integrantes del grupo deberá entregar en la tarea correspondiente en EVA, un informe.pdf utilizando la carátula disponible en EVA, que incluya:

Parte a)

- Diagrama del circuito DIV_2048.
- Explicar brevemente qué es lo que hace.

Parte b)

- Diagrama de estados, tabla de estados, minimización de estados, asignaciones y mapas k del diseño **Contador_6**.
- Diagrama del circuito implementado.
- Simulaciones (solo aquellos casos que se consideren de interés).
- Simular y explicar cómo será utilizado el **nandtch** para evitar los rebotes.
- Breve explicación de cómo será probado el circuito de la figura 2 y qué deberá observarse en la placa DE0.

Parte c)

- Diagrama de estados, tabla de estados, minimización de estados, asignaciones y mapas k del diseño **CTRL_Cont6**.
- Diagrama del circuito implementado.
- Simulaciones (solo aquellos casos que se consideren de interés).
- Breve explicación de cómo será probado el circuito de la figura 4 y qué deberá observarse en la placa DE0.

Parte d)

- Simulaciones del circuito de la figura 5 sin los divisores de frecuencia.
- Breve explicación de cómo será probado el circuito de la figura 6 y qué deberá observarse en la placa DE0.

El día de la evaluación **el grupo deberá presentarse 10 minutos antes de la hora establecida** en el laboratorio de software del instituto de Ingeniería Eléctrica.

Además se deberán traer el KIT DE0-LAB y un “pen drive usb” con todos archivos de los proyectos indicados y las simulaciones realizadas, si se desea usar las pc de la facultad. Si utilizaron una laptop para hacer la tarea se recomienda traer la misma laptop para la defensa. En ambos casos probar que todos los programas funcionan antes de la práctica.

Los proyectos deben tener el chip y los pines asignados y deben estar compilados, listos para ser probados en la placa DE0. Durante la evaluación NO se dispondrá de tiempo para realizar estas tareas, modificar el circuito ni generar nuevas simulaciones.

De utilidad: Para “pegar” en el informe un circuito realizado en el editor gráfico de Quartus seleccionar el circuito, “copiarlo” y realizar un “pegado especial”, indicando “mapa de bits independiente del dispositivo”.