

Práctico 8

Diseño de circuitos secuenciales modo reloj.

Ejercicio 1. (Ex. Marzo 1996)

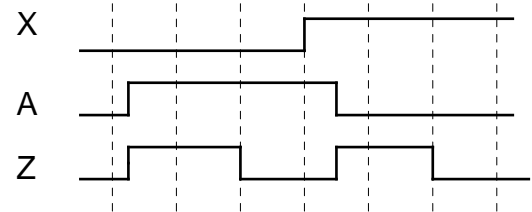
Diseñar un circuito secuencial modo reloj que detecte cambios de nivel en una entrada A. El circuito tendrá una entrada de control X que le indicará si debe detectar flancos crecientes ($X=0$) o flancos decrecientes ($X=1$). La entrada X está sincronizada con el reloj.

La salida Z deberá ir a 1 inmediatamente después que se produzca el flanco que se quiere detectar en la entrada, y deberá bajar a cero con el segundo flanco de reloj a partir de esta situación independiente del valor de las entradas. (Mientras Z vale 1 no se detectarán los flancos en A).

Los tiempos en que la entrada A permanece en cero o en uno siempre son mayores que un período de reloj.

(a) Diagrama de estados.

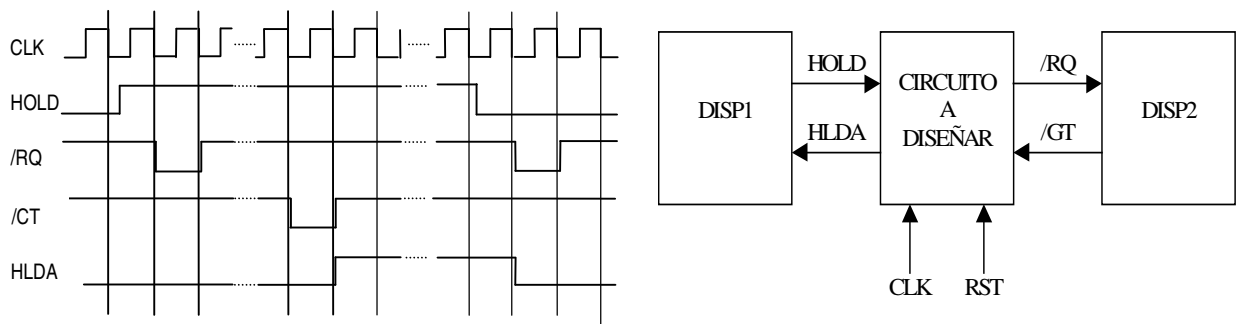
(b) Circuito mínimo (utilizando FFJK).



Formas de onda de ejemplo

Ejercicio 2. (ex. Dic.88) Dos dispositivos usan diferentes protocolos para compartir un recurso común. El disp. 1 solicita el acceso llevando a "1" la línea HOLD y espera que le autoricen el acceso subiendo la línea HLDA a "1". Cuando llega HLDA, el disp. 1 utiliza el recurso y cuando no lo precisa más avisa bajando la línea HOLD, luego de lo cual le bajan HLDA a 0.

En cambio el disp. 2 espera que le soliciten el recurso mediante un pulso de nivel "0" de un ciclo de reloj de duración en su entrada /RQ. Autoriza al otro mediante un pulso similar en su salida /GT y finalmente le avisan con un pulso similar al primero en su entrada /RQ que el recurso deja de ser usado (ver diagrama de tiempos).



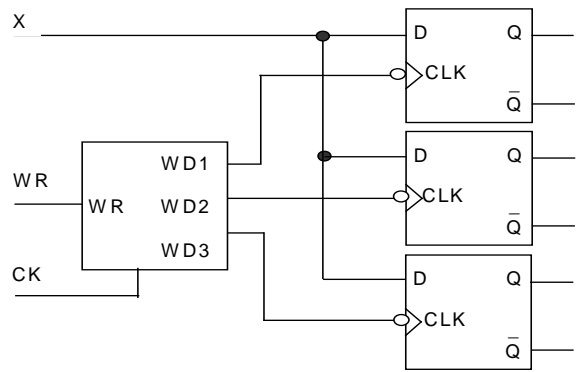
Se desea implementar un circuito secuencial en modalidad de reloj que realice la conversión de protocolos. Debe generar como salidas la señal HLDA hacia el disp. 1 y la señal /RQ hacia el disp. 2. Recibe como entradas la señal HOLD proveniente del disp. 1, la señal /GT proveniente del disp. 2, un reloj CK y una señal de RESET activa en nivel bajo.

Se supone que los dispositivos respetan estrictamente los protocolos, no produciéndose nunca una secuencia de entradas diferente de la del diagrama de tiempos.

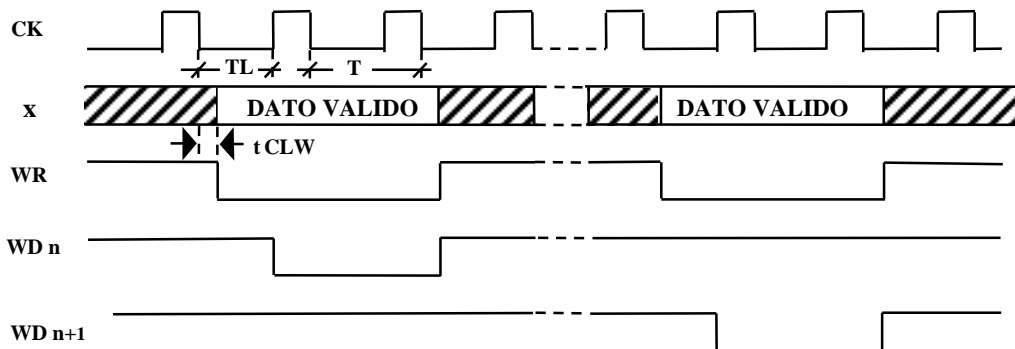
a) Dibujar el diagrama de estados del circuito y simplificarlo de ser posible.

b) Implementar el circuito con flip-flops JK maestro esclavo con entradas asincrónicas SET y CLEAR y compuertas NAND.

Ejercicio 3. (ex. Julio 89) En el sistema de la figura se desea escribir el dato presente en la entrada X alternadamente en cada uno de los tres Flip-Flop en una secuencia cíclica. Los F-F son tipo D sensibles al flanco de bajada. La presencia de un dato válido se indica con un pulso a cero en la línea WR. Para respetar el tiempo de setup de los F-F las señales WDn se sincronizan con la subida del reloj como se indica en el diagrama de tiempos.



- Diseñar un circuito secuencial que genere las señales WD1, WD2 y WD3 de acuerdo con el diagrama de tiempos de la figura. Se dispone para eso de F-F J-K sensibles al flanco de subida.
- Teniendo en cuenta que se utilizan FFJK 7476A y compuertas con tiempos iguales a los de la NAND 7400, determinar la máxima frecuencia a la que puede funcionar el sistema en forma segura.



Datos: $0 \leq T_{clw} \leq 40 \text{ ns}$ Bajada de reloj hasta flanco de WR.
 $TL = 2/3 T$ Relación de tiempos del reloj.

Ejercicio 4. (ex. Enero 96) Se desea diseñar un equipo de audio con compact disc, que incorpore las funciones de búsqueda dentro de una canción y salto a la próxima canción, implementadas con un solo botón. A tales efectos, se debe agregar un circuito que determine la función seleccionada por el usuario y tome la acción correspondiente. Dicho circuito debe funcionar de la siguiente forma:

- si el usuario presiona el **botón** por menos de un segundo, se dará por la salida **salto** un pulso a **1** de 100 milisegundos de duración.
- si el usuario presiona el **botón** por más de un segundo, se mantendrá la salida **búsqueda** en **1** hasta que el usuario suelte el botón.
- el resto del tiempo las dos salidas deberán permanecer en **0**.

Se pide:

- Diseñar completamente un circuito modo reloj que funcione de la manera descrita. Para esto se dispone de un contador de 4 bits con una entrada de **CK** sensible al flanco creciente y una de **RESET** asíncrono activa por bajo, que serán manejadas por el circuito a diseñar. Mostrar la conexión del contador con el circuito diseñado. Especificar la frecuencia de reloj utilizada, justificando su elección.
- Calcular el error máximo cometido en la decisión de la acción a tomar, justificando con un diagrama de tiempo.

Ejercicio 5. (ex. Diciembre 96) Se quiere diseñar un circuito secuencial **modo reloj** que detecte el sentido de movimiento de una cinta transportadora como la que se indica en la figura 1. Para ello se dispone de una banda dentada con dientes de tamaño L solidaria a la cinta transportadora, y de 2 dispositivos electro-ópticos **A** y **B** ubicados a una distancia de $3L/2$ entre sí (figura 2). Cuando un diente de la cinta está frente a uno de estos dispositivos, éste da salida 1, y en caso contrario da salida 0. El circuito deberá tener una salida Z que valdrá 1 cuando la cinta se mueva hacia la derecha, y 0 en caso contrario.

Se pide:

- Si la velocidad máxima que puede alcanzar la cinta transportadora es v , calcular la frecuencia de reloj f_{ck} mínima para que sea posible el diseño de un circuito modo reloj que detecte el sentido de movimiento, como se indicó anteriormente. Justificar con un diagrama de tiempos.
- Diseñe completamente el circuito **modo reloj** suponiendo que la frecuencia de reloj cumple la condición hallada en (a).

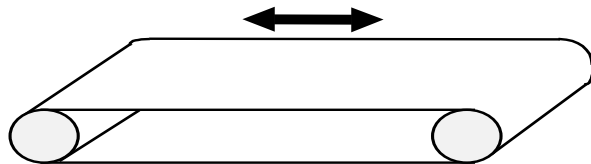


Figura 1

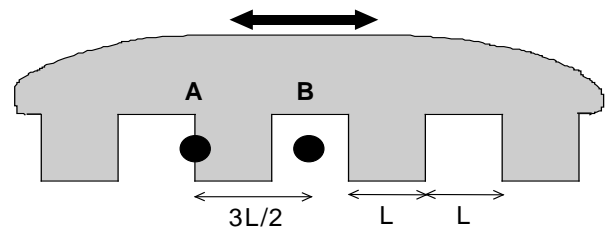


Figura 2

Ejercicio 6 (Ex. Diciembre 99, Pr. 2)

- Se tiene una señal **X** sincronizada con el reloj que envía permanentemente información serial. Diseñar un circuito secuencial modo reloj que genere dos salidas **A** y **B** como se describe a continuación. La salida **A** indica que se ha detectado una secuencia '100' en la entrada **X** y la salida **B** indica que se ha detectado la secuencia '011'. Estas salidas deben valer '1' solamente durante el último período de reloj de la secuencia correspondiente. Ambas secuencias deben detectarse en forma independiente, esto es, si se recibe por ejemplo la secuencia '01100' debería activarse la salida **B** coincidiendo con el tercer bit y la salida **A** coincidiendo con el quinto bit.
- Se desea detectar las secuencias 100 y 011 y determinar la primera que ocurre 10 veces más que la otra. Diseñar un circuito modo reloj que tenga como entrada la señal **X** y como salida **S1** y **S2**, que indiquen:

$S1 = 0$ y $S2 = 0$ si ninguna secuencia superó en 10 veces a la otra.

$S1 = 1$ y $S2 = 0$ si la secuencia "100" superó primero en 10 veces a la otra.

$S1 = 0$ y $S2 = 1$ si la secuencia "001" superó primero en 10 veces a la otra.

Luego de alcanzada una salida 01 o 10 el circuito permanecerá así hasta que se reinicie nuevamente con la señal de RESET.

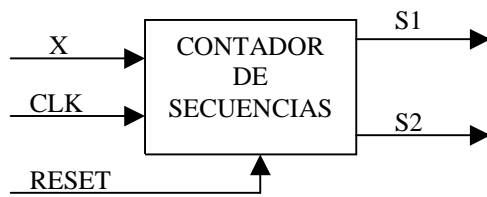


Fig. 1

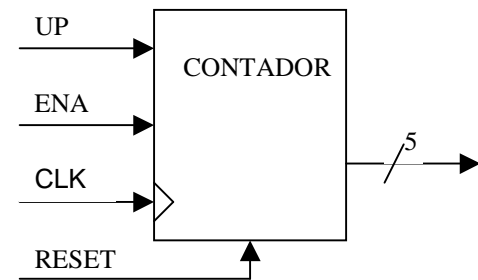


Fig. 2

Para el diseño de la parte (b) se sugiere utilizar los detectores de secuencia diseñados en la parte (a). Se dispone además de un contador creciente-decreciente de 5 bits como el de la figura 2, donde el valor del contador se inicializa en 0 con la entrada RESET asíncrona y en cada flanco de reloj en que la entrada ENA vale 1 la cuenta se incrementa o decrementa en 1 según el valor de la entrada UP (UP = 1 incrementa). El valor de la cuenta se interpreta como un número