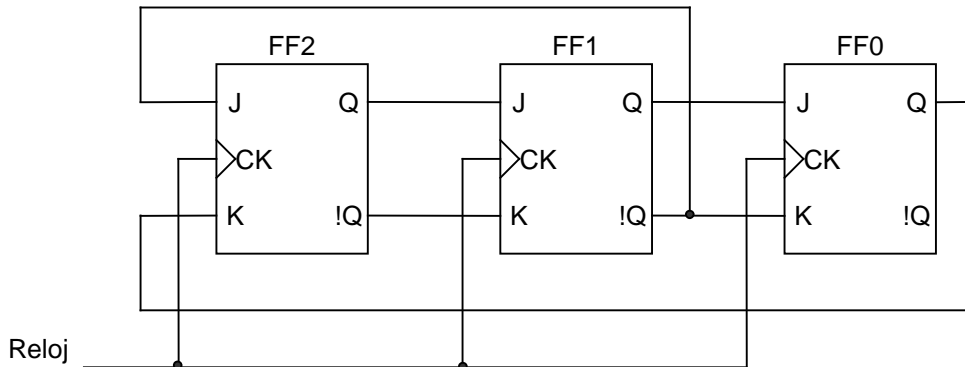


## Práctico 7

### Contadores. Circuitos secuenciales modo reloj.

**Ejercicio 1.** (Millman 7-17)

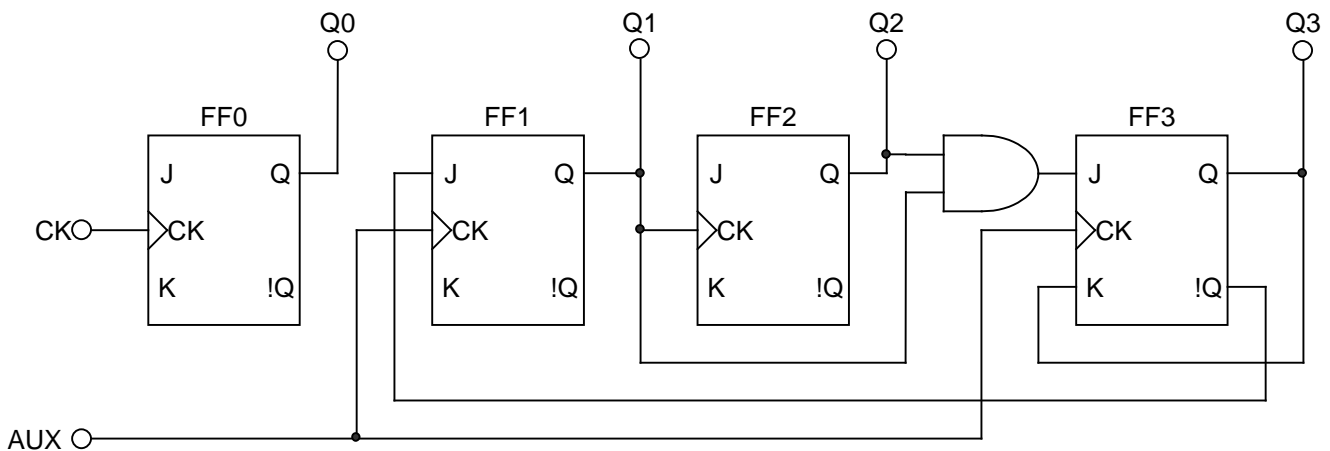
a) Supóngase que en el contador de anillo modificado de la figura se tiene inicialmente  $Q_0=Q_1=0$  y  $Q_2=1$ . Hágase una tabla de las lecturas de  $Q_0, Q_1, Q_2, J_2$  y  $K_2$  después de cada impulso del reloj. ¿Cuántos impulsos se necesitan antes de que el sistema empiece a funcionar como contador divisor por  $N$ ? ¿Qué es  $N$  ?



b) Repetir la parte a) si inicialmente  $Q_0=Q_2=0, Q_1=1$ .

**Ejercicio 2.** (Millman 7-22 y 7-28) El diagrama de la figura corresponde a un chip comercial del tipo "contador de décadas". Si no se señala ninguna conexión a las entradas J o K se sobreentiende que tal terminal está a nivel alto.

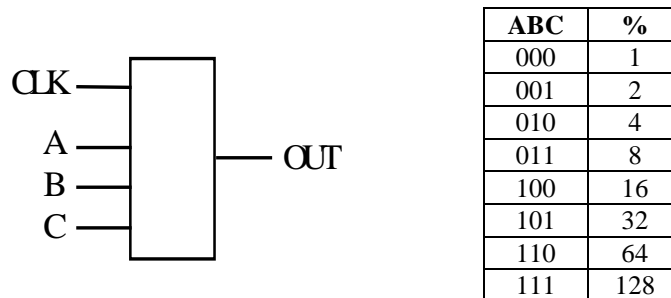
- Se conecta externamente el terminal  $Q_0$  a AUX. Establecer la tabla de  $Q_0, Q_1, Q_2$  y  $Q_3$  después de cada impulso (partiendo de 0000). Comprobar que este sistema es un contador de 10:1.
- ¿Cómo puede emplearse este sistema a manera de contador 5:1?
- Dar el diagrama de estados del circuito resultante. Determinar si este nuevo contador es de tipo autoarranque o no.



**Ejercicio 3.** (Millman 7-23) Modificar las conexiones del chip del ejercicio anterior, de la siguiente forma: aplicar a la entrada CK (reloj del FF0) la salida Q3 y conectar el reloj del sistema a la entrada AUX.

Escribir la tabla de verdad para Q0,Q1,Q2 y Q3 (partiendo de 0000) después de cada impulso. Comprobar que este sistema es un contador 10:1. Este contador da en Q0 una onda cuadrada simétrica. La tabla de verdad debe confirmar que esto es cierto.

**Ejercicio 4.** (ex. Marzo 97) Diseñar un divisor de frecuencia programable utilizando contadores binarios de 4 bits, multiplexores 4 a 1 y compuertas lógicas. El circuito tendrá como entradas una señal **CLK** y tres entradas de control **ABC** que determinan el valor en que hay que dividir la frecuencia de la señal **CLK** según la siguiente tabla:



**Ejercicio 5.** (Hill & Peterson, prob. 10.2, 10.13a y 10.20a) Se debe diseñar un circuito que cuente con un mecanismo externo de restauración que, cuando sea necesario, se restaure al estado q0. Dicho circuito deberá detectar la secuencia 01100 y generar una salida en "1" durante un período de reloj que coincida con el último "0" de la secuencia, y luego dicha señal se mantendrá en "0" hasta que el circuito se restaure externamente a q0. Suponer la entrada sincronizada con el reloj del sistema.

En caso de ser posible, minimizar el diagrama de estados obtenido (Nota: La cantidad mínima de estados es 6).

**Ejercicio 6.** (Hill & Peterson, prob. 10.6 y 10.20b) Un circuito de retardo variable debe proporcionar un retardo de dos o tres períodos de reloj para una señal de entrada xi, de acuerdo a una entrada de control. En otras palabras la salida del circuito xdn debe ser igual a  $x_{n-3}$  si la entrada de control  $r=1$  y debe ser igual a  $x_{n-2}$  si  $r=0$ . Considere que se trata de un circuito de memoria finita y obtenga un diagrama de estado para el circuito secuencial de retardo variable.

**Ejercicio 7.** (Hill & Peterson, prob. 10.21) Un circuito que cuenta con un mecanismo externo de restauración, una sola entrada x y una sola salida z, se debe comportar de la siguiente forma: En el primer tiempo de reloj después de la restauración, la salida debe ser  $z = 0$ . En el segundo tiempo de reloj  $z_n = x_n \cdot x_{n-1}$ . En el tercer tiempo de reloj  $z_n = x_n + x_{n-1}$ , y en el cuarto tiempo de reloj,  $z_n = x_n \oplus x_{n-1}$ . Entonces, esta secuencia de funciones de salida se repite cada cuatro períodos de reloj, hasta que el circuito se restaure. El circuito se puede dividir con facilidad en dos subcircuitos, un contador de dos bits y un registro de corrimiento de un bit. Aprovechar este hecho para determinar un diagrama de estados y hacer una realización del circuito con flip-flops J-K.