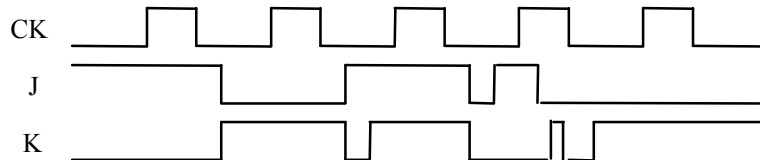


Práctico 6

Flip flops. Modo Reloj. Estudio de tiempos.

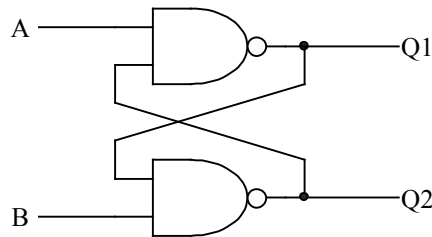
Ejercicio 1. Las ondas J, K y CK de la figura se aplican a un Flip-Flop JK. Dibujar las ondas de salida de Q y !Q, en los siguientes casos:

- a) Flip-Flop activo por flanco creciente.
- b) Flip-Flop maestro-esclavo.



NOTA: suponga que cuando se aplica el primer impulso de reloj, Q=0 y que Preset y Clear están siempre en 1.

Ejercicio 2. Realizar el circuito de la figura con compuertas NOR e inversores (aplicar De Morgan) y analizar su funcionamiento. ¿Qué combinación de entradas sería "prohibida"?

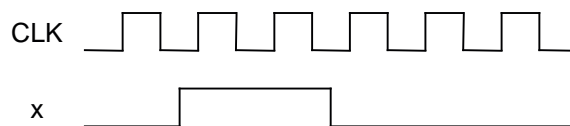


Ejercicio 3

Dada la tabla de estados de la figura:

- a) Dibujar el diagrama de estados que se deduzca de la tabla.
- b) Considerando la forma de onda de la entrada x y el reloj CLK, dibujar la forma de onda de la salida z e indicar el estado en cada instante. Considerar flip flops sensibles al flanco de subida y estado inicial q0.

	x			
	0	1	0	1
q0	q0	q1	0	1
q1	q2	q1	1	1
q2	q3	q2	0	1
q3	q0	q1	1	1
	qn+1		z	



Ejercicio 4. (ex. Julio 97) Dado el diagrama de estados de la figura 1, minimizarlo y completar el diagrama de tiempos de la figura 2, indicando el valor de la salida y el estado en cada ciclo de reloj.

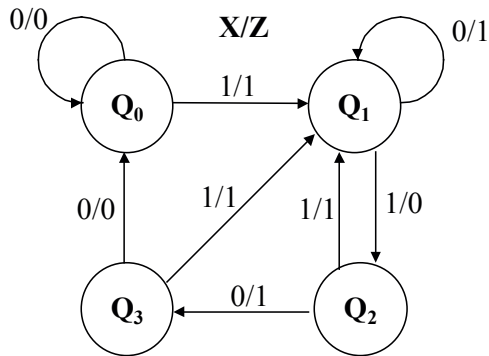


Figura 1

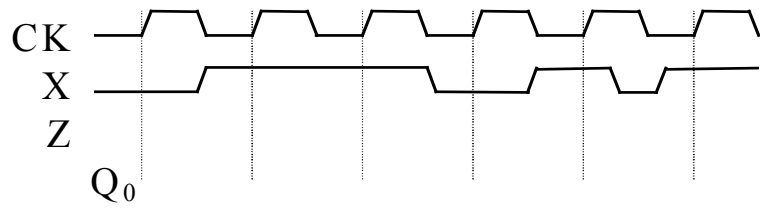
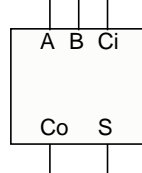


Figura 2

Ejercicio 5. (ex. Enero 96) Se desea implementar un sumador de cuatro bits utilizando sumadores completos de un bit. La salida de este sumador (4 bits más acarreo) será latched por una señal de reloj.

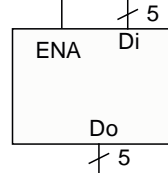
- Hacer un diagrama del circuito.
- Especificar el tiempo de setup del circuito, entendido como el tiempo que deben estar estables las entradas antes del flanco de reloj para asegurar un correcto funcionamiento del circuito (suponer que todas las entradas se estabilizan al mismo tiempo).

Sumador completo de 1 bit



td carry = 10 ns
td sum = 12 ns

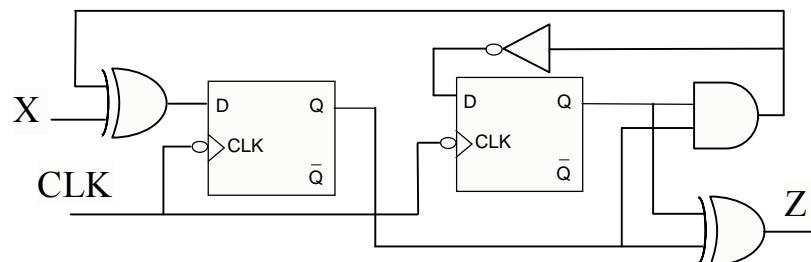
Latch de 5 bits



Latch 74374 (3 latches sin utilizar)
OE=0 (siempre habilitado)

Ejercicio 6. (ex. Marzo 1997)

Dado el circuito de la figura, se pide:

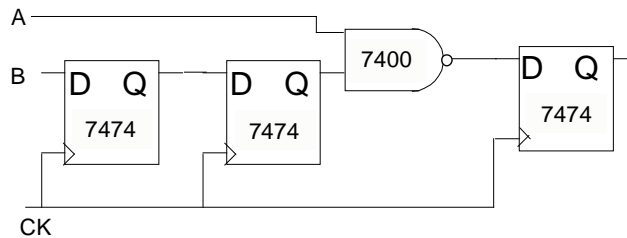


- Calcular la frecuencia máxima de funcionamiento, considerando la entrada X constante. Justificar con un diagrama de tiempos.

b) Indicar en un diagrama de tiempos el intervalo en que la señal X debe permanecer constante, con respecto al flanco de reloj, para que el circuito funcione correctamente.

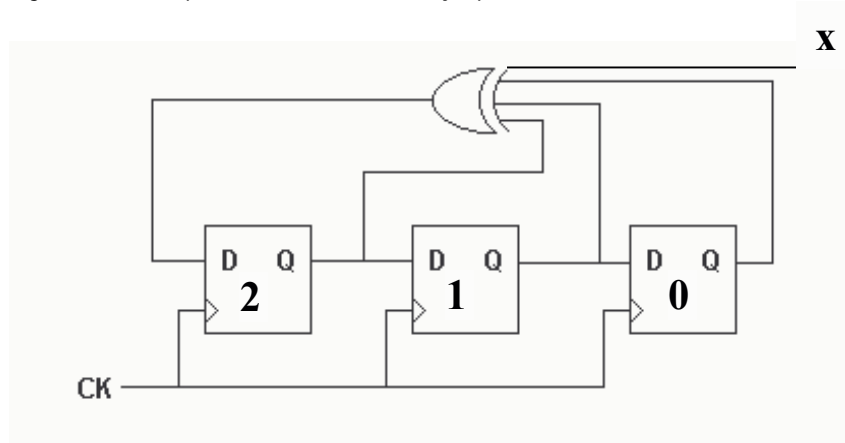
$T_{SU}^{min} < t_{SU}$	Tiempo de set up de los flip-flops
$T_H^{min} < t_H$	Tiempo de hold de los flip-flops
$T_P^{min} < t_P < T_P^{max}$	Tiempo de propagación de los flip-flops
$T_D^{min} < t_D < T_D^{max}$	Tiempo de delay de las compuertas lógicas

Ejercicio 7. (ex. Julio 1996) Dado el circuito de la figura, escribir **todas** las condiciones que se deben cumplir para que los FF funcionen correctamente, y en función de ellas determinar la frecuencia máxima de funcionamiento. Las señales A y B están sincronizadas con respecto al flanco decreciente de CK, con retardos t_{DA} y t_{DB} respectivamente. El período de CK es T y su ciclo de trabajo es 1/3 ($T_{high} = 1/3 T$)



Datos: $0 < t_{DA} < 20ns$ retardo desde bajada de CK hasta A estable
 $0 < t_{DB} < 25ns$ retardo desde bajada de CK hasta B estable

Ejercicio 8 (Ex. marzo 2002 Ej.2)



1. Dibujar el diagrama de estados del circuito.
2. Indicar el intervalo en que la entrada X debe permanecer constante para que el funcionamiento esté determinado.

Datos:

tiempo de propagación en los FF: $t_{p_{min}} < t_p < t_{p_{max}}$
 tiempo de setup de los FF: t_s
 tiempo de hold de los FF: t_h
 tiempo de retardo en la compuerta: $t_{d_{min}} < t_d < t_{d_{max}}$