

Práctico 5

Dispositivos MSI. Memoria ROM. Tiempos

Ejercicio 1. Consideremos un comparador que tenga como entrada dos palabras de n bits A y B , y como salidas e ($A=B$), c ($A>B$) y d ($A<B$). ¿Qué lógica adicional se necesitará para comparar dos números de $2n$ bits empleando dos comparadores de n bits? Dibuje el circuito.

Ejercicio 2. Dibujar el diagrama de bloques de un demultiplexor con 32 salidas, empleando dos niveles de demultiplexores. Se dispone de demultiplexores de 8 y 4 salidas. Explicar el funcionamiento referido a la línea de salida 25. ¿Cuántos encapsulados se necesitan?.

Ejercicio 3. Diseñar un sistema para convertir dos chips multiplexores de 1 entre 16 datos, en un multiplexor de 1 entre 32. Explique el funcionamiento del sistema.

Ejercicio 4. Emplear un multiplexor para implementar la siguiente ecuación:

$$y = !d \ c \ !b \ a + !d \ !c \ b \ a + d \ !c \ b \ !a + d \ c \ !b \ a + !d \ !c \ !b \ !a + d \ c \ !b \ !a + d \ c \ b \ a + d \ !c \ !b \ a$$

- a) Utilizar un multiplexor de 16 a 1.
- b) Utilizar un multiplexor de 8 a 1 e inversores.

Ejercicio 5. Consideremos una ROM de 256×8 bits utilizando direccionamiento bidimensional con selectores de 8 a 1 para seleccionar la columna.

- a) ¿Cuántos bits se necesitan para el direccionamiento de la ROM?
- b) ¿Cuántos bits se necesitan para el direccionado de fila?
- c) ¿Cuántas puertas NAND se requieren para el decodificador?

Ejercicio 6. Se desea implementar con una ROM un sumador en complemento a dos. Las entradas $A[3..0]$ y $B[3..0]$ son dos números en complemento a dos de cuatro bits. Las salidas son la suma $S[3..0]$ y tres salidas de un bit cada una que indican respectivamente:

- Z vale uno si el resultado es cero
- PE vale uno si la paridad del resultado es par
- O vale uno si hay overflow

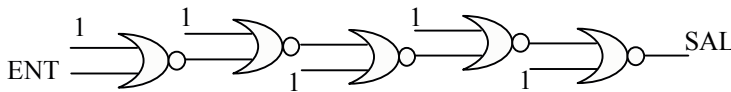
Especificar la ROM necesaria. Indicar cómo se conectan las entradas y salidas, y dar el contenido de la ROM para las entradas detalladas en la tabla.

A	B
0	0
-8	2
-1	1
7	-4
-6	4
7	1

Ejercicio 7. Un bloque combinatorio tiene como entradas dos números binarios sin signo A[3..0] y B[3..0] y una entrada de control c. En la salida S[3..0] debe obtenerse el mayor o el menor de los dos números a la entrada según la entrada c valga cero o uno respectivamente. Para implementar este circuito se utiliza una ROM. Especificar las características necesarias de dicha ROM. Indicar cómo se conectan las entradas y las salidas. Para A=1100, B=1010 y c=0, indicar el contenido de la ROM en la dirección correspondiente a estas entradas.

Ejercicio 8

- a) Determine el tiempo de propagación máximo desde ENT a SAL del circuito de la figura para las transiciones 1→0 y 0→1. Realice un diagrama de tiempos
- b) Repita tomando el “peor caso” si se desconoce el valor de las señales con “1”. Realice un diagrama de tiempos.



	Típica	Máxima
t_{dHL}	3 ns	5 ns
t_{dLH}	3 ns	4.5 ns

Ejercicio 9

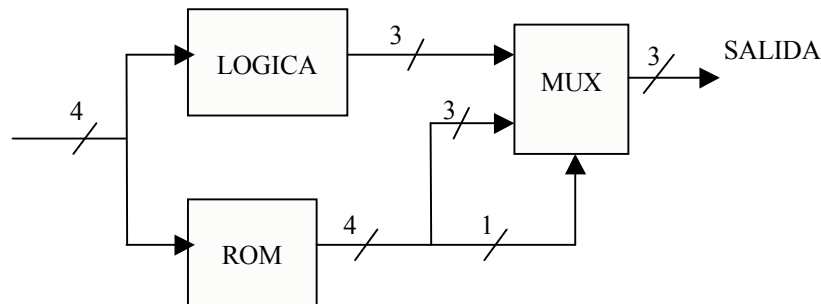
Con ayuda de un diagrama de tiempos determine los retardos máximos de entrada-salida y selección-salida del multiplexor 32 a 1 diseñado en el ejercicio 3.

Se dispone de compuertas lentas y multiplexores rápidos según los siguientes datos:

Mux 16 a 1	$t_{ent-sal} (max)$	13 ns
	$t_{sel-sal} (max)$	18 ns
Compuertas	$t_d (max)$	20 ns

Ejercicio 10

Dado el circuito de la figura:



- a) Dar una expresión matemática del retardo máximo y mínimo a partir de los tiempos máximos y mínimos de acceso a la ROM (t_{ROM}), retardos de entrada (tr_{entmux}) y selección (tr_{selmux}) del multiplexor y propagación en la lógica ($tr_{lógica}$).
- b) Se desea que los datos a la salida permanezcan fijos un tiempo mínimo t_y . Dar una expresión matemática que determine el tiempo mínimo entre cambios en la entrada.
- c) Determinar dicho tiempo para $t_y=40ns$, $tr_{entmux(max)}=20ns$, $tr_{selmux(max)}=15ns$, $tr_{lógica(max)}=35ns$, $t_{ROM(max)}=40ns$, $tr_{entmux(min)}=0ns$, $tr_{selmux(min)}=5ns$, $tr_{lógica(min)}=0ns$, $t_{ROM(min)}= 5ns$.

NOTA: Los cambios ocurren en forma simultánea para los 4 bits de entrada.