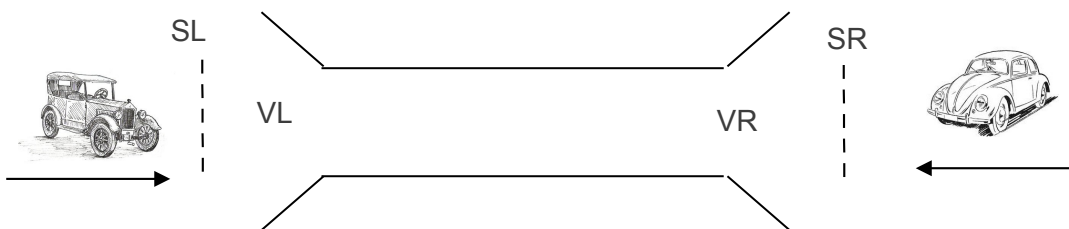


- Mínimo de aprobación: **un problema y un ejercicio completos**
- Cada hoja debe tener Nombre y Cl.
- Utilice solo un lado de las hojas
- Deben estar numeradas y la primer hoja debe decir el total de hojas
- Incluya un solo problema por hoja
- Sea prolijo

Problema 1

Se quiere controlar el acceso a un túnel que permite el pasaje de un solo vehículo. Para ello se dispone de un sensor en cada extremo que se activa por nivel alto cuando se detecta un vehículo que quiere ingresar al túnel. En caso que el vehículo pueda ingresar se le avisará activando una luz verde.

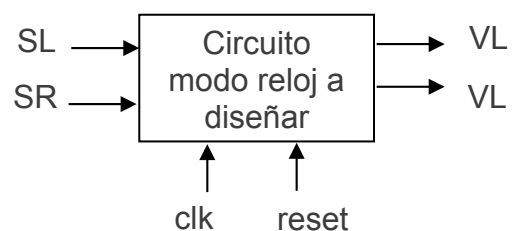
Se debe diseñar un circuito modo reloj que evite colisiones dentro del túnel. Las entradas serán los sensores de cada extremo **SL** y **SR**, y las salidas **VL** y **VR** activas en nivel alto manejarán las luces verdes en cada extremo.



Los sensores permanecen en nivel alto desde que el vehículo ingresa al túnel hasta que sale. Se supone que los vehículos no retroceden, y siempre esperan la luz verde en la línea del sensor para avanzar.

En caso que lleguen vehículos a ambos extremos del túnel en el mismo instante se le deberá dar acceso al lado que lleve más tiempo sin encender la luz verde. Luego de un **reset** debe considerarse que el último vehículo que pasó fue del lado derecho.

Las señales que controlan las luces verdes **VL** y **VR** deben subir con el flanco de reloj y bajar junto con la bajada de **SL** o **SR** respectivamente.



Se supondrá que los vehículos vienen en un mismo sentido lo hacen suficientemente espaciados como para no encontrar la luz verde encendida del vehículo anterior.

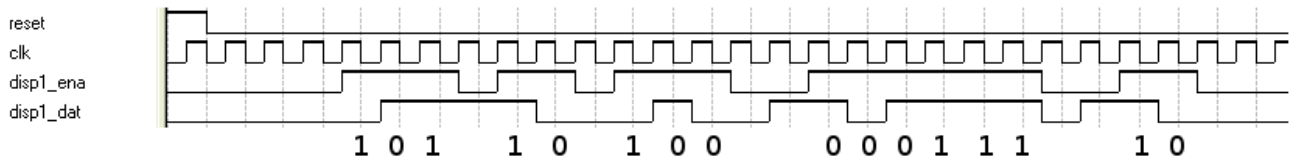
Problema 2

Se desea diseñar un circuito RTL para conectar dos dispositivos, uno que transmite datos en formato serie (*disp1*) y otro que recibe en formato paralelo (*disp2*).

disp1 transmite palabras de 8 bits en formato serie de manera síncrona utilizando dos señales (*disp1_ena* y *disp1_dat*). Cada vez que se produce un flanco de bajada en la señal de reloj, si la señal *disp1_ena* tiene valor lógico '1' significa que en la señal *disp1_dat* hay un bit para ser leído.

Los datos transmitidos por el dispositivo 1 son codificados de la siguiente manera: si el bit recibido es igual al anterior debe leerse como un 1 y si es diferente debe leerse como un 0. Luego de un reset, para decodificar el primer bit recibido se supone el último bit recibido fue 0. El bit más significativo es el primero en ser transmitido, ver figura.

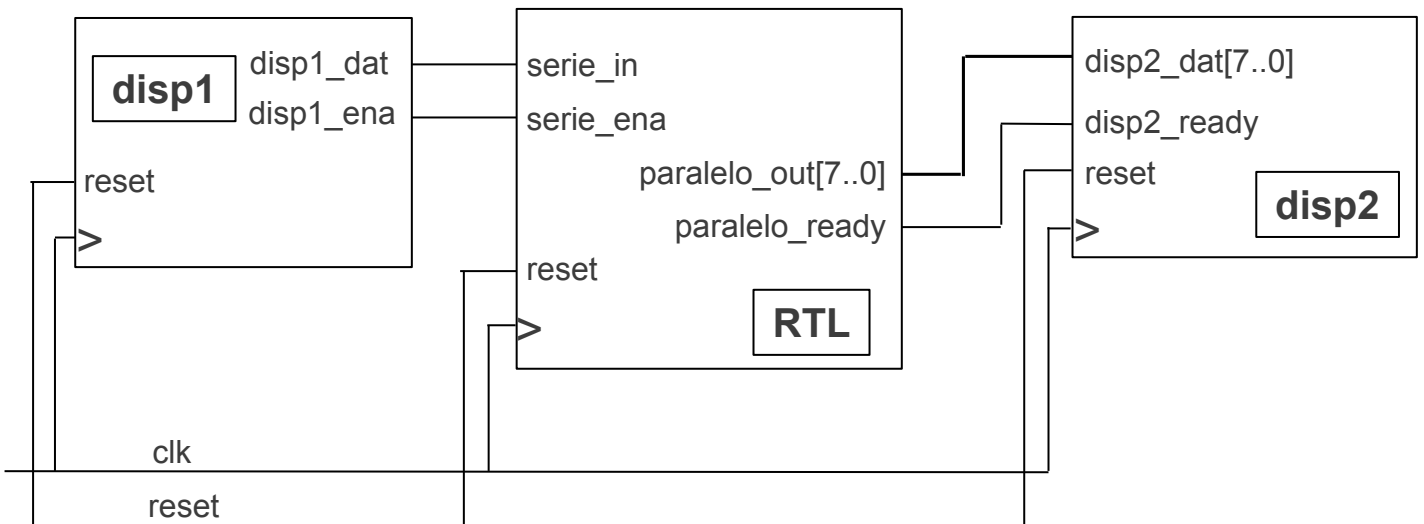
Observación: luego de un reset habrá suficiente tiempo para inicializar el circuito antes de que comience la transmisión serie.



disp2 recibe los datos en formato paralelo a través de *disp2_dat[7..0]*, cuando la señal *disp2_ready* toma valor '1' el dispositivo lee la palabra de *disp2_dat[7..0]*.

Una vez finalizada la recepción de la palabra, se deben poner durante 2 períodos de reloj la palabra decodificada en la salida *paralelo_out[7..0]* y *disp2_ready* en 1.

Observación: es posible que en la transmisión serie, el último bit de una palabra y el primero de la siguiente se transmitan en flancos de bajada consecutivos de la señal de reloj.



- Se pide:**
- a) Descripción RTL
 - b) Bloque Control
 - c) Bloque Datos

Ejercicio 1

Dados los siguientes números:

$$A = 62$$

$$B = -14$$

a) Se considera un SUMADOR HARDWARE con ancho de palabra igual al mínimo requerido para representar ambos números en complemento a 2. Indique las entradas y salidas del sumador al realizar cada una de las siguientes operaciones:

i) SUMA(**A** , **B+9**)

ii) SUMA(**-A** , **B-5**)

b) El sumador no dispone de ninguna señal para indicar si el resultado es un número válido en complemento a 2. Realizar un circuito que a partir de las entradas y las salidas del sumador generen la señal OVERFLOW. Dar la salida a dicho circuito para las operaciones de la parte (a).

Ejercicio 2

Se ha construido un circuito secuencial modo nivel con las siguientes ecuaciones:

$$Y0 = x1 \cdot y1 + x0 \cdot y0 + x1 \cdot y0$$

$$Y1 = x0 \cdot y1 + x0 \cdot x1 \cdot y0 + x0 \cdot x1 \cdot y0$$

y se han constatado problemas en su funcionamiento. Determinar qué tipo de problemas hay reconstruyendo los mapas de Karnaugh y la tabla de estados; e indicar qué modificación se debe introducir al diseño para asegurar un correcto funcionamiento.

Dar las nuevas ecuaciones del circuito corregido.