

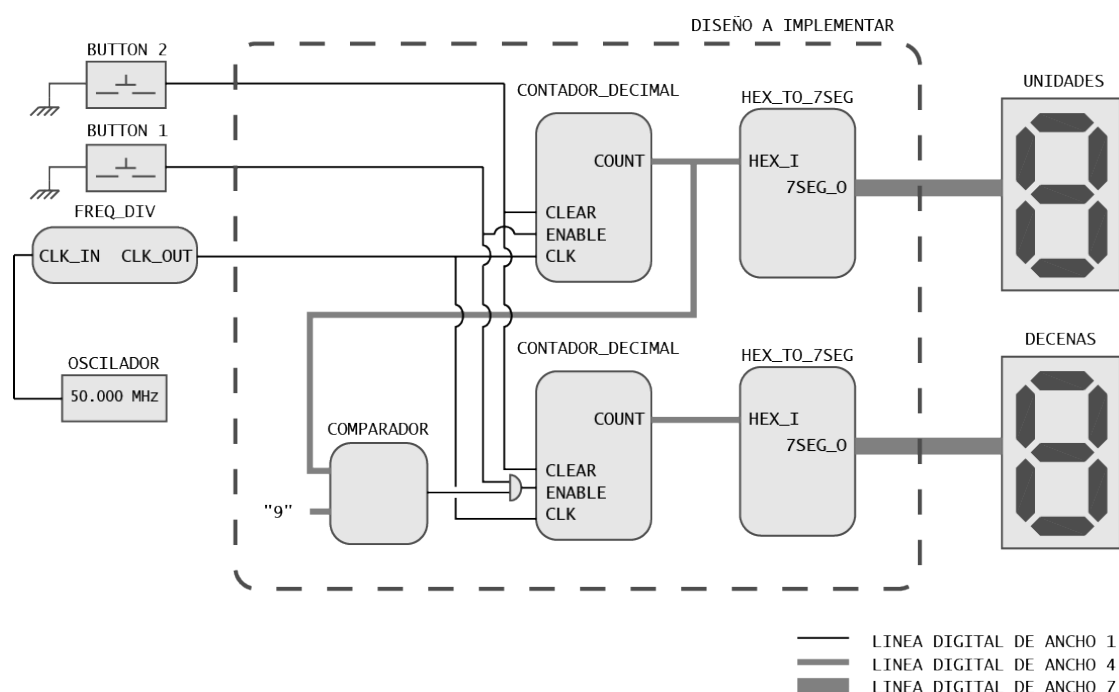
## Práctica 1

### Objetivos

- Familiarizarse con la metodología de diseño de circuitos digitales.
- Describir circuitos digitales mediante el lenguaje de descripción Hardware VHDL
- Familiarizarse con el software de desarrollo para Dispositivos Lógicos Programables Quartus II de Altera.

### Descripción general del problema

Implementar un contador de segundos en la placa DE0 de Altera. La cuenta se desplegará en los display de 7 segmentos, se podrá volver a 0 o detener mediante los pulsadores de la placa.



Para facilitar el diseño y poder reutilizar partes del circuito en prácticas siguientes el problema se dividirá en los siguientes bloques:

1. **FREQ\_DIV**: bloque encargado de dividir la frecuencia de un reloj entrante. Para esta práctica se utilizará para convertir el reloj de la placa de 50.000MHz en un reloj de 1Hz.
2. **CONTADOR\_DECIMAL**: bloque contador decimal. Si la entrada ENABLE está activa (1 lógico) la salida COUNT se incrementa en cada flanco de subida de la señal CLK. Cuando COUNT llega a 9 vuelve a 0 en el siguiente flanco en CLK. La entrada CLEAR vuelve COUNT a 0 en forma sincrona.
3. **HEX\_TO\_7SEG**: bloque conversor que permite representar dígitos HEXA en displays de tipo 7 segmentos.

## Se pide

1. Describir cada uno de los bloques en VHDL. El bloque `FREQ_DIV` ya está implementado y está disponible en la página WEB del curso.  
Para el bloque `HEX_TO_7SEG` puede tomarse como base el bloque `BCD_2_7SEG` disponible en la página WEB del curso. Ese bloque solo puede transformar dígitos entre 0 y 9, pero pueden extenderse sus capacidades para que también pueda representar los dígitos hexa A hasta F. .
2. Sintetizarlos y simular su funcionamiento utilizando el Quartus II de Altera.
3. Una vez comprobado el correcto funcionamiento de los bloques, utilizar instancias de estos para crear (utilizando VHDL) el diseño que se describió anteriormente.
4. Sintetizarlo y simular su funcionamiento utilizando el Quartus II de Altera. Para la simulación se sugiere no utilizar el bloque `FREQ_DIV`, si se utilizara habría que esperar que transcurran  $50 \cdot 10^6$  flancos en `CLK_IN` para que se produzca uno en `CLK_O`.
5. Una vez comprobado el correcto funcionamiento, asignar pines para la placa DE0.
  - a. Utilizar los display HEX para desplegar la cuenta:
  - b. `HEX1` para las decenas
  - c. `HEX0` para las unidades
  - d. Utilizar el oscilador de la placa (`CLOCK_50`)
  - e. Para la señal clear se debe utilizar el pulsador 2 (`KEY[2]`)
    - i. Para la señal enable se debe utilizar el pulsador 1 (`KEY[1]`)
6. Compilar el diseño y grabarlo en la placa DE0.
7. Comparar las frecuencias máximas de funcionamiento y recursos ocupados del chip con los demás grupos.

## Información adicional

- Ejemplo de un diseño sencillo en VHDL: <http://iie.fing.edu.uy/cursos/mod/resource/view.php?id=2497>
- Tutorial sobre Quartus y VHDL: [ftp://ftp.altera.com/up/pub/Tutorials/DE2/Digital\\_Logic/tut\\_quartus\\_intro\\_vhdl.pdf](ftp://ftp.altera.com/up/pub/Tutorials/DE2/Digital_Logic/tut_quartus_intro_vhdl.pdf)
- Lenguaje VHDL:
  - <http://atlas.physics.arizona.edu/~kjohns/downloads/vhdl/VHDL-xilinx-help.pdf>
  - <http://ece.wpi.edu/~wrm/Courses/EE3810/geninfo/Welcome%20to%20the%20VHDL%20Language.pdf>