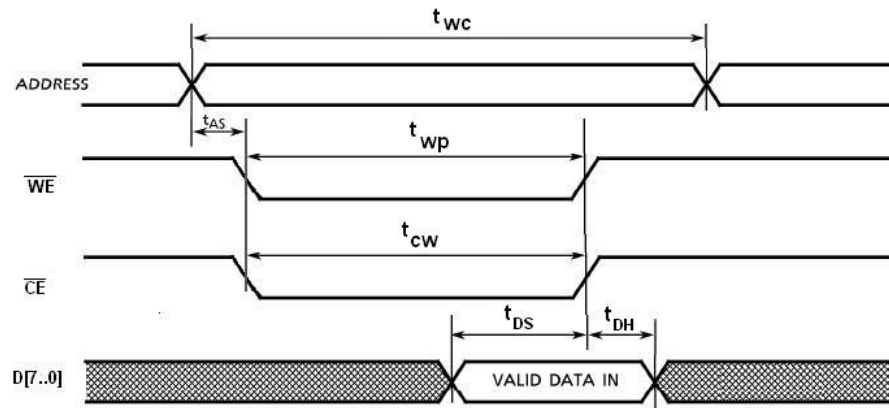


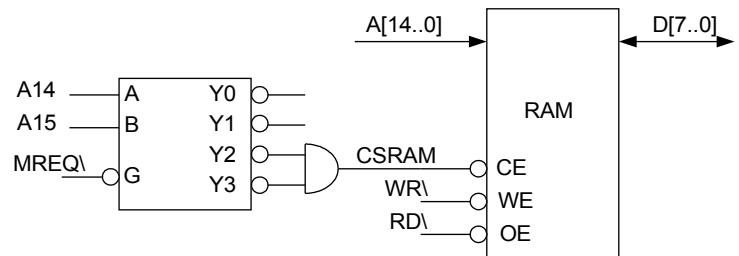
Ejercicio 8 (18 puntos)



Se desea conectar una memoria RAM de 32K a un sistema con Z80 tal como se muestra en la figura. Plantear todas las ecuaciones necesarias para garantizar que se respetan los tiempos  $t_{cw}$ ,  $t_{wp}$ ,  $t_{ds}$  requeridos por el fabricante en un ciclo de escritura a memoria, en función de los tiempos de la cartilla del Z80 y de los parámetros del recuadro. No se insertan tiempos de espera  $T_w$ . Justificar con un diagrama de tiempos e indicar en todos los casos si se utiliza un máximo o mínimo para el valor de los parámetros.

|  |                | Parámetro  |
|--|----------------|--|
| $t_{cw}$ :                             | mín. requerido | CE\ hasta fin escritura  |
| $t_{wp}$ :                             | mín. requerido | Ancho de pulso de escritura  |
| $t_{ds}$ :                             | mín. requerido | tiempo de setup de datos respecto al primero que suba de WE\ y CE\ |
| $t_{OR}$ ,<br>$t_{AND}$ ,<br>$t_{NOT}$ | máx.           | retardos de compuertas   |
| $t_{deco}$ :                           | máx.           | retardo del decodificador  |

Ciclo de trabajo del reloj: 50% (el tiempo en 1 es igual al tiempo en 0).



- $t_{DS}$ :  
 $T1L + T2 + T3H - t_{53 \max} + \min( t_{32 \min},$   
 $( t_{12} + t_{deco} + t_{and} )_{\min},$   
 $( T3L + t_6 + t_{deco} + t_{and} )_{\min} ) \geq t_{DS \min \text{ requerido}}$

$t_7$  y  $t_{45}$  (setup y hold de ADD respecto a MREQ), garantizan que el camino de  $t_{12}$  es el más restrictivo, por lo que puede no considerarse la parte :  $( T3L + t_6 + t_{deco} + t_{and} )_{\min}$

- $t_{WP}$   
 $t_{31 \min} \geq t_{WP \min \text{ requerido}}$
- $t_{CW}$ 
  - por MREQ  
 $T1L + T2 + T3H - t_{8 \max} - ( t_{deco \max} + t_{AND \max} )$   
 $+ \min( t_{32 \min},$   
 $t_{12 \min} + t_{deco \min} + t_{AND \min} ) \geq t_{CW \min \text{ requerido}}$
  - por Address  
 $T1 + T2 + T3H - t_{6 \max} - ( t_{deco \max} + t_{AND \max} )$   
 $+ \min( t_{32 \min},$   
 $t_{12 \min} + t_{deco \min} + t_{AND \min} ) \geq t_{CW \min \text{ requerido}}$

Atención:  $t_{CW}$  está definido en la tabla "hasta fin de escritura" y en el diagrama como ancho de CE, por lo tanto se acepta con y sin  $t_{32}$ .

$t_7$  y  $t_{45}$  (setup y hold de ADD respecto a MREQ), garantizan que el camino de  $t_{12}$  es el más restrictivo, por lo que no es necesario analizar la ecuación por Address