

## HOJA DE ERRORES

### Z8400/Z84C00 NMOS/CMOS – Z80 CPU

#### Revisión C

Última actualización: 28 / 09 / 2007.

La siguiente es una recopilación de errores encontrados en las hojas de datos de:

Product specification  
Z8400/Z84C00 NMOS/CMOS  
Z80® CPU  
Central Processing Unit

- Hay un error de paginación, entre las páginas 6 y 7 debe ir la 22.

- SET DE INSTRUCCIONES:

PAGINA	INSTRUCCIÓN	COLUMNA	DONDE DICE...	DEBE DECIR...
11	PUSH qq	Symbolic operation	SP → SP-2	SP ← SP-2
11	PUSH IX	Symbolic operation	SP → SP-2	SP ← SP-2
11	PUSH IY	Symbolic operation	SP → SP-2	SP ← SP-2
11	POP qq	Symbolic operation	SP → SP+2	SP ← SP+2
11	POP IX	Symbolic operation	SP → SP+2	SP ← SP+2
11	POP IY	Symbolic operation	SP → SP+2	SP ← SP+2
14	CPL	Symbolic operation	A ← A	A ← NOT(A)
14	CCF	Symbolic operation	CY ← CY	CY ← NOT(CY)
17	BIT b,r	Symbolic operation	Z ← r <sub>b</sub>	Z ← NOT(r <sub>b</sub> )
17	BIT b,(HL)	Symbolic operation	Z ← (HL) <sub>b</sub>	Z ← NOT((HL) <sub>b</sub> )
17	BIT b,(IX + d)	Symbolic operation	Z ← (IX + d) <sub>b</sub>	Z ← NOT((IX + d) <sub>b</sub> )
17	BIT b,(IY + d)	Symbolic operation	Z ← (IY + d) <sub>b</sub>	Z ← NOT((IY + d) <sub>b</sub> )
18	JP Z, e / JR Z, e	Mnemonic	JP Z, e	JR Z, e
18	JR e y todas sus variantes	Cycles	3	(ver nota 1)
18	JR e y todas sus variantes	Opcode		(ver nota 2)
19	CALL nn	Symbolic operation	(SP-1) ← PC <sub>H</sub> (SP-2) ← PC <sub>L</sub> PC ← nn	(SP-1) ← PC <sub>H</sub> (SP-2) ← PC <sub>L</sub> PC ← nn <b>SP ← SP-2</b>
19	RET	Symbolic operation	PC <sub>L</sub> ← (SP) PC <sub>H</sub> ← (SP+1)	PC <sub>L</sub> ← (SP) PC <sub>H</sub> ← (SP+1) <b>SP ← SP+2</b>
19	RST p	Symbolic operation	(SP-1) ← PC <sub>H</sub> (SP-2) ← PC <sub>L</sub> PC <sub>H</sub> ← 0 PC <sub>L</sub> ← p	(SP-1) ← PC <sub>H</sub> (SP-2) ← PC <sub>L</sub> PC <sub>H</sub> ← 0 PC <sub>L</sub> ← p <b>SP ← SP-2</b>
20	IN A,(n)	Opcode	11 011 01	11 011 011

Nota 1: Para el caso en que se cumple la condición de salto, la instrucción demora  $12T$  que se dividen en: 1 ciclo M1 ( $4T$ ), 1 ciclo de lectura ( $3T$ ) y un tiempo de inactividad de los buses ( $5T$ ). Por esto, estrictamente, los ciclos de máquina son 2. En algunos casos al tiempo que está el bus inactivo se lo describe como un ciclo de máquina en que no sucede nada.

Nota 2: El salto relativo se cuenta a partir de la dirección de la instrucción siguiente a JR (o sea la dirección de  $JR + 2$ ) y tiene el valor de " $e - 2$ " que puede variar entre  $-128$  y  $+127$ . Es común razonar como que el salto es respecto a la dirección donde se encuentra JR; en este caso, el salto es " $e$ " y varía entre  $-126$  y  $129$ . Tener presente que el valor que se almacena es " $e - 2$ " porque en el momento en que se hace la suma el PC ya fue incrementado y apunta a la instrucción siguiente.

- 
- En la página 24 falta una nota al pie de la figura 5.

Debe decir:

NOTE:  $T_W^*$  = Wait cycle(s) added when necessary for slow auxiliary devices.

- 
- En la página 26, figura 7 (Input or Output Cycles).  
ATENCIÓN: la línea que marca el comienzo de "DATA OUT" (señal D0..D7) aparece alineada con la línea que marca el flanco de subida de T2, esto es solo una coincidencia. El comienzo de "DATA OUT" (señal D0..D7) nada tiene que ver con el flanco de subida de T2, sino que ocurre un tiempo  $t_{53}$  luego del flanco de bajada de T1. Además considerar estas 2 líneas como una unidas equivaldría a decir que el retarde T53 está determinado y es idéntico a un semiperíodo de reloj, lo que es imposible.

- 
- En la página 27 falta una nota al pie de la figura, el número de figura y el nombre de la misma.

Debe decir:

NOTES:        1)  $T_{LI}$  = Last state of any instruction cycle.  
                  2)  $T_{WA}$  = Wait cycle automatically inserted by CPU.

"Figure 8. Interrupt Request/Acknowledge Cycle.