

## Práctico 4 Memorias

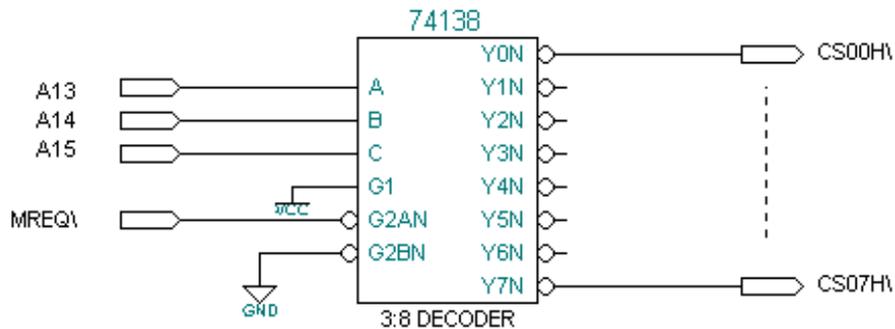
### Ejercicio 1

Diseñar un banco de memorias de 32 Kbytes de RAM y 32 Kbytes de ROM para un microprocesador Z80.

Se dispone de chips de 4K \*8 de RAM y de 16 K \* 8 de ROM

### Ejercicio 2

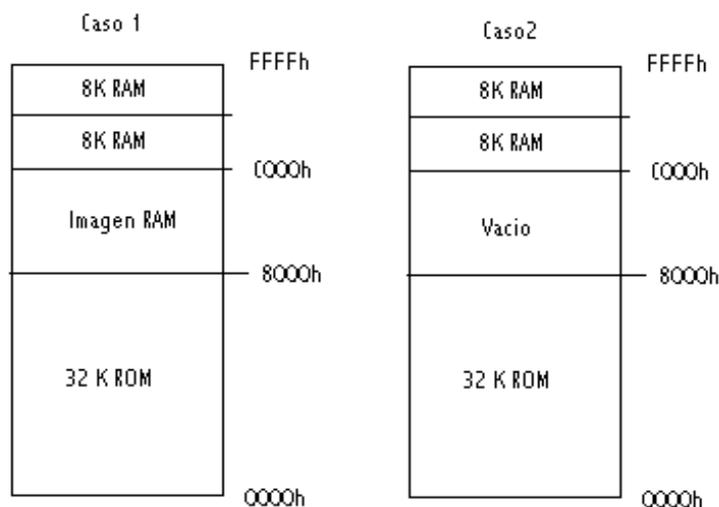
Construir el mapa de memoria para la decodificación implementada en la figura.



¿En que direcciones se acceden al primer byte de cada memoria que componen los 64K?

### Ejercicio 3

Diseñar la decodificación de un sistema que conste de 32K de ROM y 16K de RAM. Para la RAM se dispone de 2 chips de 8K\*8 cada uno mientras que la ROM es un sólo chip de 32K\*8. Se pretende que la RAM esté en lo más alto del mapa de memoria mientras que la ROM esté al principio. El resto del espacio de memoria deberá ser mapeado para cada una de las posibilidades que se muestran en las figuras.



**Ejercicio 4**

En el sistema diseñado en el ejercicio 1 del práctico 4, la RAM tiene un tiempo de acceso de 150 nseg y la ROM tiene un tiempo de acceso de 400 nseg. El microprocesador a utilizar es el Z84C0004 con un reloj de 4MHz.

a) Realizar un estudio de tiempos para un ciclo M1, para cada una de las memorias, suponiendo que la única limitación es el tiempo de acceso. Determinar si es necesario introducir ciclos de espera, y cuántos en cada caso.

b) Repetir la parte a) para un ciclo de lectura de memoria que no sea un ciclo M1.

c) Diseñar un circuito que genere la señal WAIT\ solo en los casos que sea necesario, para el microprocesador Z80, de modo de adaptar sus velocidades a las memorias.

NOTA: Para realizar el estudio de tiempos, deben consultarse las hojas de datos del curso.

**Ejercicio 5**

Se debe seleccionar un chip de EPROM para utilizar en un sistema con un Z84C0006, con reloj de 162ns de período. En esta EPROM se grabará solamente una tabla de datos, NO se grabarán programas.

Se dispone de memorias EPROM 27128 de diferentes velocidades como se indica en la tabla. Seleccionar la más barata (la más lenta) que permita operar sin tiempos de espera.

Se supondrá un retardo de 30 ns máx. en el decodificador.

		27128-11	27128-1	27128-20	27128-25	27128-30
<b>tACC (max)</b>	Address to Output Delay	110 ns	150 ns	200 ns	250 ns	300 ns
<b>tCE (max)</b>	CE to Output Delay	125 ns	150 ns	200 ns	250 ns	300 ns
<b>tOE (max)</b>	OE to Output Delay	55 ns	65 ns	75 ns	100 ns	100 ns

