

## PRÁCTICA 2

### CIRCUITOS SECUENCIALES

#### Objetivos

- Comprender el funcionamiento de un circuito secuencial modo reloj y la señal de reloj.
- Comprender las magnitudes de frecuencia que se utilizan.
- Reutilizar circuitos ya diseñados para implementar un circuito de mayor complejidad.
- Diseñar y comprobar el funcionamiento de circuitos digitales secuenciales.

En esta práctica, primeramente obtendremos relojes adecuados para las necesidades de los diferentes bloques a utilizar; luego se realizará el diseño de un contador con una aplicación concreta y finalmente veremos como utilizar un mismo botón para realizar 2 funciones según la forma como sea oprimido.

#### Parte a)

En esta parte se estudiará una forma de obtener una señal de reloj más lenta a partir de la señal de reloj de 50MHz de la placa DE0 y como aplicación veremos una técnica para bajar el consumo de los displays 7 segmentos utilizando el bloque **ctrl\_display** que se suministra junto con la letra.

Se utilizaran señales de reloj de frecuencia:

- **50 MHz**
- **24.414 kHz** (50 MHz / 2048)
- **11.92 Hz** (50 MHz / 2048<sup>2</sup>)

Para obtener las frecuencias deseadas a partir del reloj de la placa, se deben utilizar divisores de frecuencia por 2048. Para esto se dispone del bloque **Div\_2048**.

Se pide:

- Estudiar el funcionamiento de **ctrl\_display**.
- Estudiar el funcionamiento de **Div\_2048**.
- Generar un proyecto en el Quartus II con el circuito indicado en la figura 1. Analizar el circuito y simular con la señal RELOJ conectada a CLK1.
- Programar el circuito en la placa con la señal RELOJ conectada a CLK1 y comprobar su funcionamiento. Luego modificar el circuito conectando la señal RELOJ a CLK2 , programar la placa y comprobar su funcionamiento. Por último modificar el circuito conectando RELOJ a CLK3, programar la placa y verificar nuevamente su funcionamiento. Comparar los tres casos y determinar cual de las frecuencias se debería utilizar en el circuito. El resto de las señales se deben conectar de la siguiente manera, *SW[6..0]* a los switches 6 al 0, */reset* al switch 9, *clk* al reloj de la placa DE0, *disp0*, *disp1*, *disp2* y *disp3* a los displays 0, 1, 2 y 3 respectivamente.

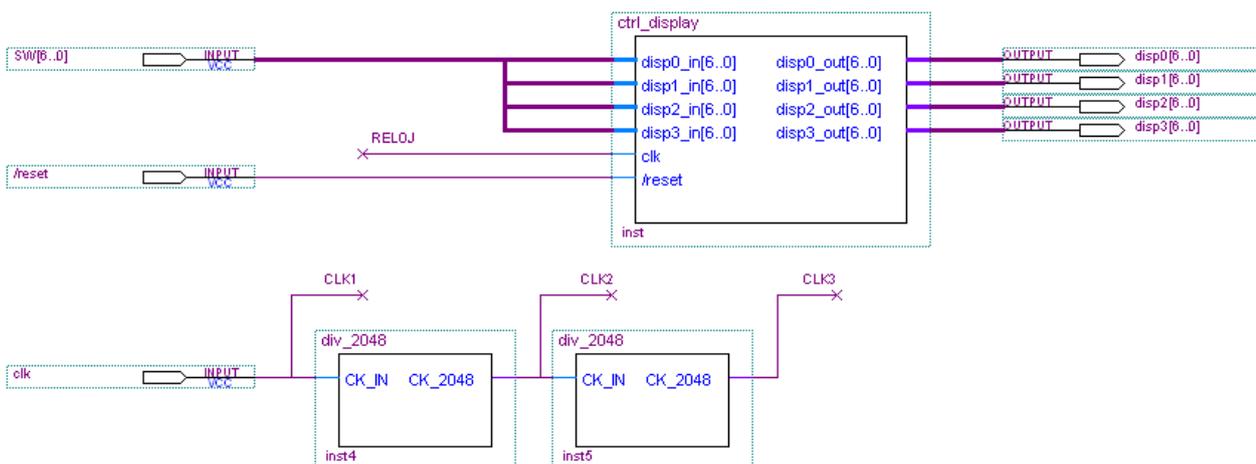


Figura 1 Circuito de prueba parte a)

**Parte b)**

En esta parte nos centraremos en el diseño del circuito **cont6**, un contador módulo 6.

La prueba de esta parte se realizará con un reloj manual de forma de generar los flancos a conveniencia utilizando botones de la placa DE0. Para eliminar el ruido introducido por los rebotes mecánicos de los botones se utilizará un flip-flop /S/R como eliminador de rebotes. En el **Quartus II** el flip-flop /S/R es una primitiva llamada **"nandlitch"**.

Se pide

- Diseñar en forma **mínima y sincrónica** utilizando flip-flops tipo D un contador módulo 6, **cont6**, que además de sus salidas **Cont[2..0]** (las tres variables de estado utilizadas), tenga también la salida **Llego**, tal que **Llego** = "1" entre el 5º y 6º flanco activo de reloj luego de un reset y a partir de ese momento **Llego** será = "1" cada 6 períodos de reloj y "0" el resto del tiempo. También deberá contar con una entrada de **Reset** que lo lleve a un estado conocido en forma asíncrona.
- Generar el proyecto con el diseño de **cont6** y comprobar su funcionamiento en el simulador de **Quartus II**.
- Crear el bloque **cont6**.
- Analizar como manejar las entradas del flip-flop S\R para lograr una señal de reloj sin rebotes (ver figura 2).
- Generar un proyecto en el **Quartus II** con el circuito de la figura 2 donde las entradas **boton1** y **boton2** se conectarán a los pulsadores 1 y 2 de la placa DE0, **/reset** al switch 9. La salida Led se conectará al Led 0 y las restantes salidas a uno de los displays 7 segmentos. Analizar el circuito, simular, programar la placa y verificar el funcionamiento de **cont6**.

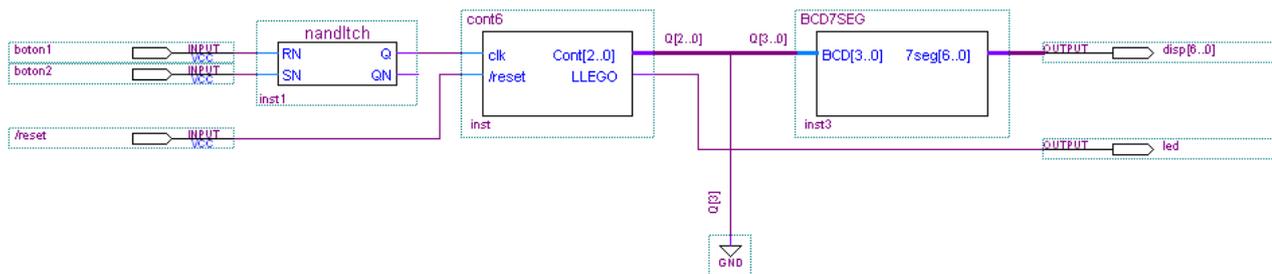


Figura 2 Circuito de prueba para la parte (b)

**Parte c)**

En esta parte se va a realizar un circuito que permita incorporar doble funcionalidad a un solo botón. Este circuito, **CortoLargo**, tendrá como entradas **boton**, **Clk** y **Reset** y como salidas **LARGO**, **CORTO**, **Q[1..0]** y **Cont[2..0]**.

Para obtener **CortoLargo** se debe diseñar un circuito secuencial modo reloj **CorLar** que utilice **cont6** y se conecte según se indica en la figura 3.

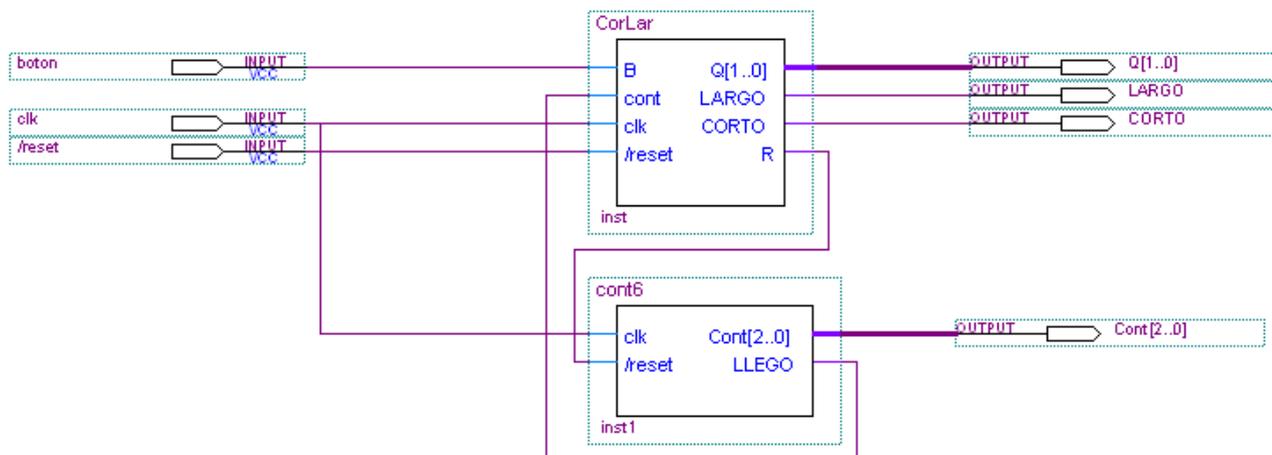


Figura 3: Esquema del circuito CortoLargo

**CortoLargo** debe funcionar de la siguiente forma:

- la entrada *boton* en reposo vale 1, si la entrada *boton* vale 0 durante siete o más flancos activos de reloj consecutivos, *LARGO* pasará a "0" (inmediatamente después del séptimo flanco) y volverá a "1" conjuntamente con *boton*.
- si por el contrario la entrada *boton* vale 0 por cierto tiempo menor a siete flancos activos de reloj consecutivos, se dará por la salida *CORTO* un pulso a 0 de un período de reloj de duración.
- se puede suponer que el tiempo que la entrada *boton* vale 0 o 1 siempre será mayor a un período de reloj.
- el resto del tiempo las salidas *LARGO* y *CORTO* deberán permanecer en "1".
- $Q[1..0]$  serán las variables de estado del circuito **CorLar**.
- $Cont[2..0]$  serán las variables de estado del circuito **cont6**
- */reset* se utilizará para llevar el circuito a un estado inicial en forma asíncrona.

Se pide:

- Diseñar de forma mínima el circuito secuencial modo reloj **CorLar** con dos variables de estado.
- Generar un proyecto en el **Quartus II** con el diseño **CortoLargo** y verificar su funcionamiento en el simulador para todos los casos posibles.
- Crear el bloque **CortoLargo**.
- Generar un proyecto en el **Quartus II** con el circuito de la figura 4 donde */reset* se conectará al switch 9, *boton* al pulsador 0, *boton1* y *boton2* a los pulsadores 1 y 2, *CORTO* se conectará al Led0, *LARGO* al Led1, *disp0* y *disp1* a los displays 0 y 1 respectivamente. Analizar el circuito, simular, programar la placa y verificar el funcionamiento. Se deberá probar todos los casos posibles.
- Generar otro proyecto en el **Quartus II** con el circuito de la figura 5 que simplemente modifica la señal de reloj del bloque **CortoLargo**, la señal *clk* se debe conectar al reloj de la placa DE0, el resto de las señales se conectan igual manera que en el proyecto descrito en el punto anterior. Analizar el circuito, programar en la placa y verificar su funcionamiento.

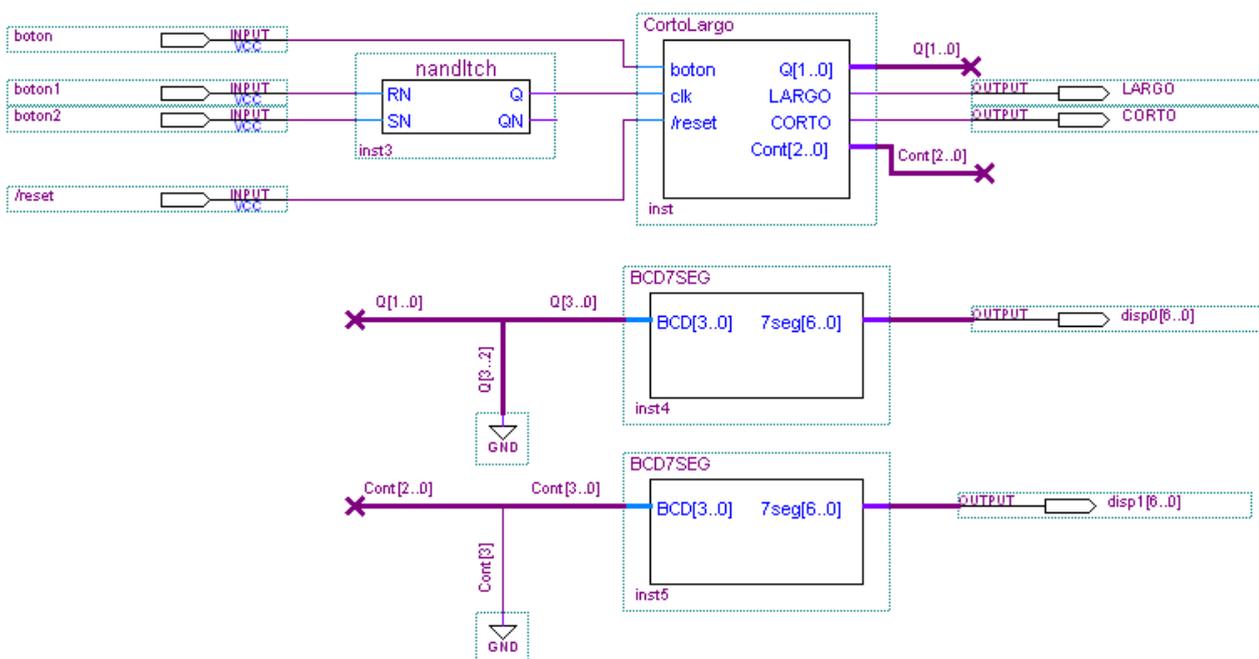


Figura 4: Circuito de prueba 1 para la parte (c)

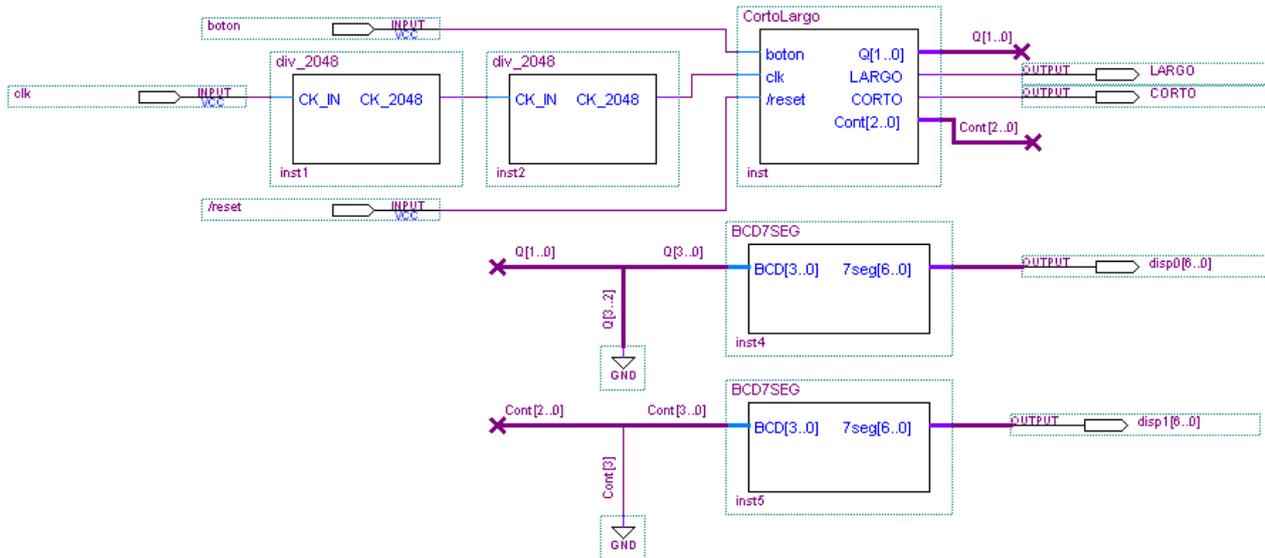


Figura 5: Circuito de prueba 2 para la parte (c)

Nota:

- Se sugiere realizar el ejercicio 4 del práctico 8.
- Para mayor claridad, se puede generar un proyecto **CorLar** y crear el bloque correspondiente utilizándolo en **CortoLargo** como se indica en la figura 3.

**INFORME**

Uno de los integrantes del grupo deberá entregar en la tarea correspondiente en EVA el **informe.pdf** conteniendo:

**Parte a)**

- Diagrama del circuito **DIV\_2048**.
- Explicar brevemente su funcionamiento.
- Diagrama del circuito **ctrl\_display**
- Explicar brevemente su funcionamiento.
- Breve explicación del funcionamiento del circuito de prueba, incluyendo las observaciones realizadas al utilizar las distintas señales de reloj y cuál de las tres señales de reloj seleccionarían para utilizar en el circuito.

**Parte b)**

- Diagrama de estados, tabla de estados, minimización de estados, asignaciones y mapas k del diseño **cont6**.
- Diagrama del circuito implementado.
- Explicar como será utilizado el **nandlch** para evitar los rebotes.
- Breve explicación de cómo será probado el circuito de la figura 2 y que deberá observarse en la placa DE0.

**Parte c)**

- Diagrama de estados, tabla de estados, minimización de estados, asignaciones y mapas k del diseño **CorLar**.
- Diagrama del circuito implementado.
- Simulaciones (solo aquellos casos que se consideren de interés).
- Breve explicación de como será probado el circuito de la figura 4 y qué deberá observarse en la placa DE0. Ídem para la figura 5 analizando la razón por la cuál se incluyen los bloques **Div\_2048**.

El día de la evaluación **el grupo deberá presentarse 10 minutos antes de la hora establecida** en el laboratorio de software del instituto de Ingeniería Eléctrica.

Además se deberán traer el KIT DE0-LAB y un “pen drive usb” con todos archivos de los proyectos indicados y las simulaciones realizadas, si se desea usar las pc de la facultad. Si utilizaron una laptop para hacer la tarea se recomienda traer la misma laptop para la defensa. En ambos casos probar que todos los programas funcionan antes de la práctica.

Los proyectos deben tener los pines asignados y deben estar compilados, listos para ser probados en la placa DE0. Durante la evaluación NO se dispondrá de tiempo para realizar estas tareas, modificar el circuito ni generar nuevas simulaciones.

De utilidad: Para “pegar” en el informe un circuito realizado en el editor gráfico de Quartus seleccionar el circuito, “copiarlo” y realizar un “pegado especial”, indicando “mapa de bits independiente del dispositivo”.