

## PRÁCTICA 2

### CIRCUITOS SECUENCIALES

#### Objetivos

- Comprender el funcionamiento de un circuito secuencial modo reloj y la señal de reloj.
- Comprender las magnitudes de frecuencia que se utilizan.
- Reutilizar circuitos ya diseñados para implementar un circuito de mayor complejidad.
- Diseñar y comprobar el funcionamiento de circuitos digitales secuenciales.

En esta práctica, primeramente se verá cómo obtener relojes de diferentes frecuencias a partir del reloj de la placa DE0, luego se realizará el diseño de un circuito modo reloj sencillo y finalmente se diseñará un codificador que traduce una secuencia binaria en otra.

#### Parte a:

En esta parte de la práctica veremos una técnica para bajar el consumo de los display 7 segmentos utilizando el bloque **ctrl\_display**, y una forma de obtener un señal de reloj más lenta a partir del reloj de 50 MHz que provee la placa DE0.

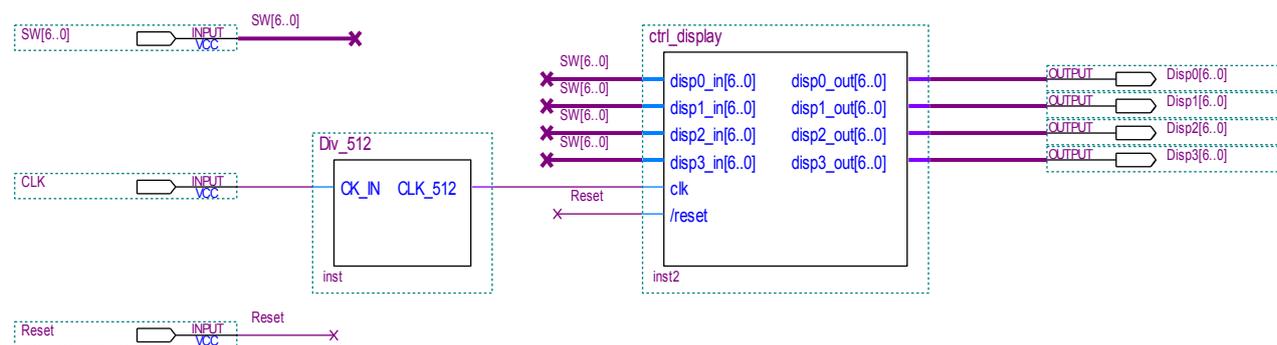
La frecuencia a utilizar será la siguiente:

- **97.65 KHz:** (o sea 50 MHz / 512)

Para obtener la frecuencia deseada a partir del reloj de la placa, se debe utilizar un divisor de frecuencia por 512. Para esto se dispone del bloque **Div\_512**.

Se pide:

- Estudiar el funcionamiento de **ctrl\_display**.
- Estudiar el funcionamiento de **Div\_512**.
- En la parte b) del laboratorio se utilizará adicionalmente el bloque **Div\_64** para reducir aún más la frecuencia. Estudiar el funcionamiento de dicho bloque y realizar una comparación entre este y el bloque **Div\_512**.
- Generar un proyecto en el Quartus II con el circuito indicado en la figura 1, donde **SW[6..0]** se conectará a los switches 6 al 0, Reset al boton2 y **CLK** al reloj de la placa DE0. Analizar el circuito, simular, programar la placa y verificar el funcionamiento (**para evitar tiempos largos en la simulación, realizarla sin el bloque Div\_512**).



**Figura 1.** Circuito de prueba para la parte (a).

#### Parte b:

En esta parte se realizará el circuito **Contador\_6**, que tendrá como entradas **ENA\_N**, **CLK** y **RESET\_N** y como salidas **CONT[5..0]**.

**Contador\_6** debe realizarse como se indica en la Figura 2, y debe funcionar como se describe a continuación:

- $RESET\_N = 0$  debe llevar en forma asincrónica el circuito a un estado inicial de forma que la salida  $CONT[5..0] = "111110"$ .
- si  $ENA\_N = "1"$  entonces  $CONT[5..0]$  permanecerá invariante.
- si en cambio  $ENA\_N = "0"$  entonces  $CONT[5..0]$  deberá recorrer los siguientes valores: ..., "111110", "111101", "111011", "110111", "101111", "011111", "111110", .....

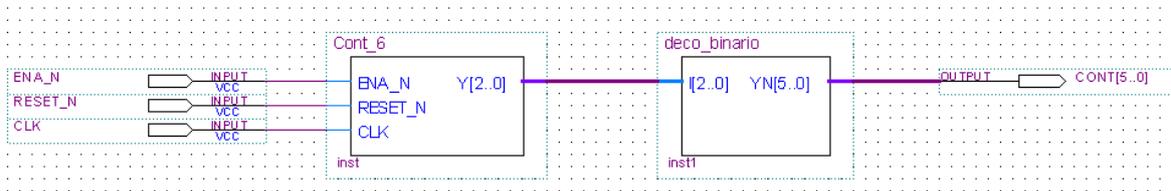


Figura 2. Esquema del circuito Contador\_6.

Se dispone del bloque **Deco\_Binario** (y su tabla de verdad en el archivo esquemático .bdf). El bloque **Cont\_6** debe ser diseñado como un circuito secuencial modo reloj, tal que  $ENA\_N$  sea una entrada del diagrama de estados y  $RESET\_N$  se conecte convenientemente a las entradas PR, CL de los FFs (se deben utilizar FFs sin entrada de habilitación).

Observar que si  $ENA\_N = 0$ , **Cont\_6** se comporta como un contador binario módulo 6 .

Se pide

- Diseñar en forma mínima y sincrónica utilizando flip-flops tipo D el circuito secuencial modo reloj **Cont\_6**.
- Generar el proyecto con el diseño de **Contador\_6** y comprobar su funcionamiento en el simulador de Quartus.
- Crear el bloque **Contador\_6**.
- Generar un proyecto en el Quartus con el circuito de la figura 3 donde las entradas  $ENA\_N$  y  $RESET\_N$  se conectarán a los pulsadores 2 y 1 de la placa DE0 y las salidas al display 7 segmentos según corresponda. Analizar el circuito, simular, programar la placa y verificar el funcionamiento de **Contador\_6** (para evitar tiempos largos en la simulación, realizarla sin los divisores).

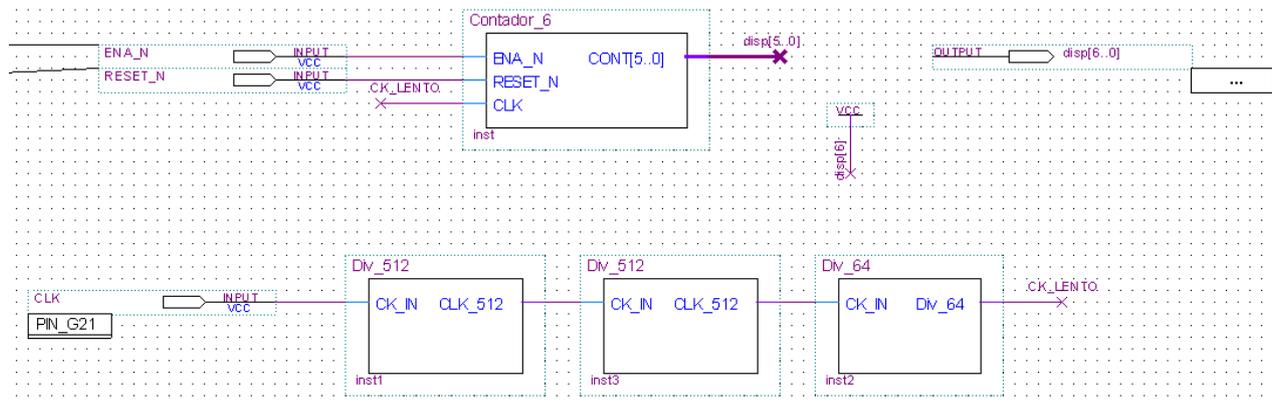


Figura 3. Circuito de prueba para la parte (b).

Nota: Para mayor claridad, se puede generar un proyecto **Cont\_6** y crear el bloque correspondiente utilizándolo luego en **Contador\_6** como se indica en la Figura 2.

**Parte c:**

En esta parte se realizará un circuito modo reloj que permita controlar las entradas ENA\_N y RESET\_N del contador mediante un solo botón.

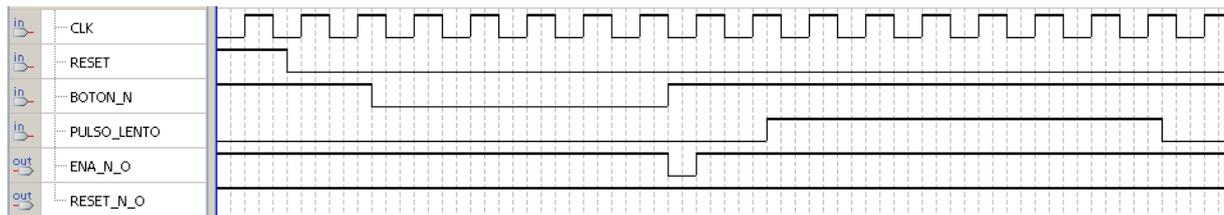
El circuito a diseñar se llamará **control** y contará con las entradas BOTON\_N y PULSO\_LENTO y las salidas ENA\_N\_O y RESET\_N\_O . Además de estas entradas, como todo circuito modo reloj, tendrá una entrada de reloj y una de reset asíncrono y para facilitar su prueba la salida Q de los FF de estado Q[2..0].



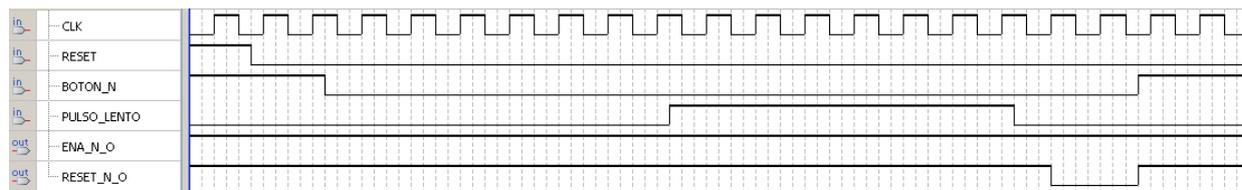
El circuito estará en su estado de reposo con sus salidas ENA\_N\_O=1 y RESET\_N\_O=1 mientras BOTON\_N=1 (esté inactiva).

Al detectar BOTON\_N=0, se deberá monitorear la entrada PULSO\_LENTO para detectar un pulso a 1 en la misma. Si se detecta el comienzo y fin del pulso antes de que BOTON\_N vuelva a 1, la salida RESET\_N\_O deberá valer 0 y mantener el valor hasta que BOTON\_N=1. En caso de que BOTON\_N=1 antes de que transcurra el pulso, se debe bajar inmediatamente ENA\_N\_O a 0 y retornar al estado de reposo.

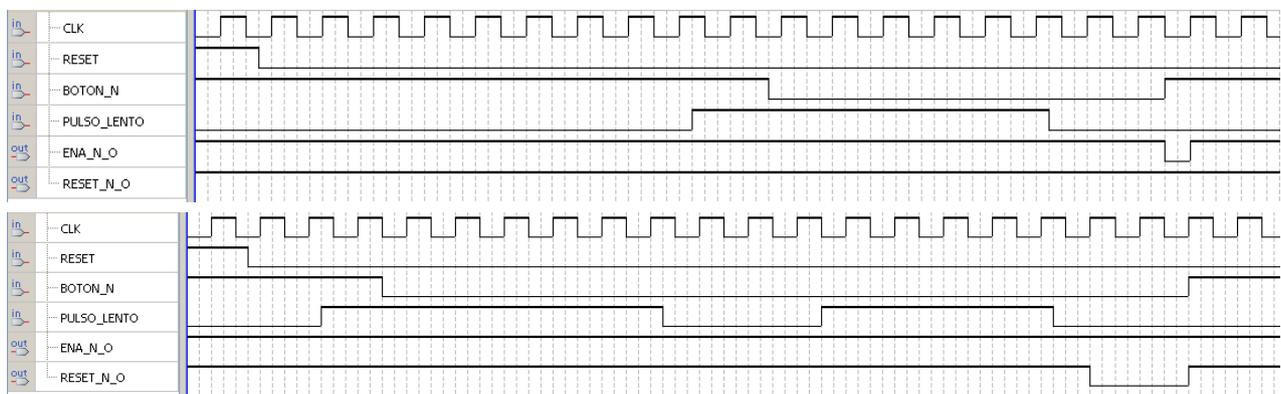
Los siguientes diagramas ilustran el comportamiento esperado.



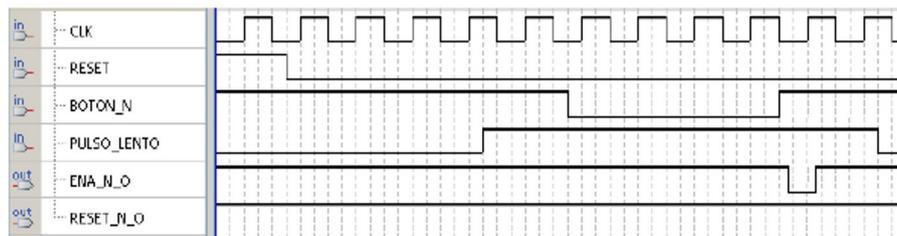
**Diagrama 1.** BOTON\_N se activa y desactiva antes de PULSO\_LENTO.



**Diagrama 2.** BOTON\_N se activa y se detecta PULSO\_LENTO.



**Diagramas 3 y 4.** BOTON\_N se activa y PULSO\_LENTO ya estaba en curso.

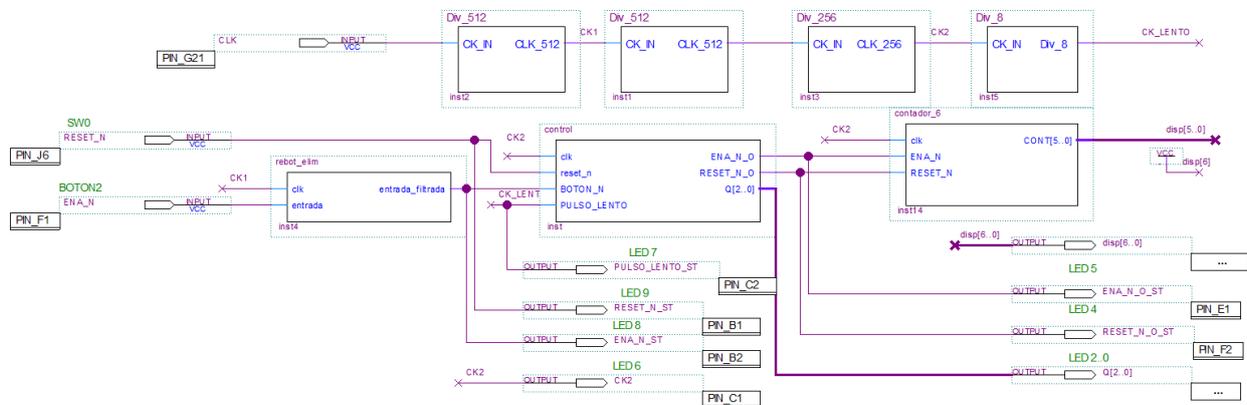


**Diagrama 5.** BOTON\_N se activa y desactiva durante la detección de PULSO\_LENTO.

Una vez comprobado su correcto funcionamiento se deberá armar el circuito de prueba presente en la Figura 4. El resultado esperado es que si se activa ENA\_N por un período corto de tiempo, el segmento encendido en el display avance una posición y si se presiona por un tiempo largo, el segmento vuelve a su posición de reset (encendido arriba)

Notar que:

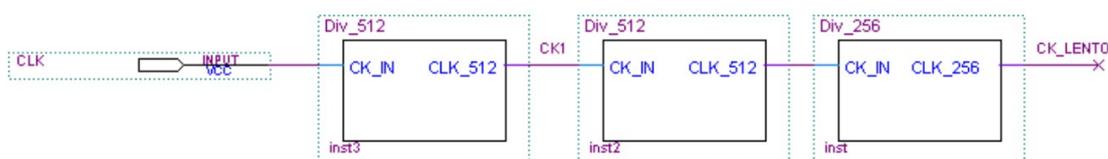
1. Se encadenan 2 divisores 512, un divisor 256 y un divisor 8 para generar la señal CK\_LENTO que alimenta a PULSO\_LENTO.
2. La señal de reloj que llega a los bloque control y Contador\_6 es la que se obtiene del tercer divisor (CK2).
3. La señal de reloj que llega al bloque rebot\_elim es la que sale del primer divisor 512 (CK1).
4. La señal ENA\_N se conecta al botón 2 (pin F1) y RESET\_N al switch 0 (pin J6).
5. Para verificar el correcto funcionamiento se conectan a los leds (activos por nivel alto) algunas señales:
  - o RESET\_N\_ST a led 9 (pin B1).
  - o ENA\_N\_ST a led 8 (pin B2).
  - o PULSO\_LENTO\_ST a led 7 (pin C2).
  - o CK2 a led 6 (pin C1).
  - o ENA\_N\_O\_ST a led 5 (pin E1).
  - o RESET\_N\_O\_ST a led 4 (pin F2).
  - o Q\_ST[2..0] leds 2 a 0 (pin J3, J2 y J1).



**Figura 4.** Circuito de prueba para la parte (c).

El bloque rebot\_elim es proporcionado junto con los divisores, y su función es filtrar rebotes en la señal proveniente del pulsador que podrían ser interpretados como múltiples pulsos cortos.

Los divisores de reloj de la Figura 4 permiten verificar las transiciones de estado y comportamiento en forma más controlada en la placa. Si se desea un comportamiento más fluido se puede utilizar la siguiente combinación de divisores con CK1 = CK2:



Se pide:

- Diseñar de forma mínima el circuito secuencial modo reloj **control**.
- Generar un proyecto en el Quartus con el diseño **control** y verificar su funcionamiento en el simulador para todos los casos posibles.
- Crear el bloque **control**.
- Generar un proyecto en el Quartus con el circuito de la figura 4 donde las salidas del Contador\_6 se conectarán al display 7 segmentos. Analizar el circuito, simular, programar la placa y verificar el funcionamiento. Se deberá probar todos los casos posibles.

**INFORME**

Uno de los integrantes del grupo deberá entregar en la tarea correspondiente en EVA el **informe.pdf** conteniendo:

**Parte a)**

- Diagrama de los circuitos **Div\_512** y **Div\_64**.
- Explicar brevemente el funcionamiento de **Div\_512** y **Div\_64** , indicando las diferencias.
- Diagrama del circuito **ctrl\_display**.
- Explicar brevemente el funcionamiento de **ctrl\_display**.
- Explicar brevemente que es lo que hace la prueba (figura 1).
- Simulaciones (solo aquellos casos que se consideren de interés).

**Parte b)**

- Diagrama de estados, tabla de estados, minimización de estados, asignaciones y mapas k del diseño **Cont\_6**.
- Diagrama del circuito **Contador\_6** implementado.
- Breve explicación de cómo será probado el circuito de la figura 3 y qué deberá observarse en la placa DE0.

**Parte c)**

- Diagrama de estados, tabla de estados, minimización de estados, asignaciones y mapas k del diseño **control**
- Diagrama del circuito **control** implementado.
- Simulaciones (solo aquellos casos que se consideren de interés).
- Breve explicación de como será probado el circuito de la figura 6 y qué deberá observarse en la placa DE0.

El día de la evaluación **el grupo deberá presentarse 10 minutos antes de la hora establecida** en el laboratorio de software del instituto de Ingeniería Eléctrica.

Además se deberán traer el KIT DE0-LAB y un "pen drive usb" con todos archivos de los proyectos indicados y las simulaciones realizadas, si se desea usar las pc de la facultad. Si utilizaron una laptop para hacer la tarea se recomienda traer la misma laptop para la defensa. En ambos casos probar que todos los programas funcionan antes de la práctica.

Los proyectos deben tener los pines asignados y deben estar compilados, prontos para ser probados en la placa DE0. Durante la evaluación NO se dispondrá de tiempo para realizar estas tareas, modificar el circuito ni generar nuevas simulaciones.

De utilidad: Para "pegar" en el informe un circuito realizado en el editor gráfico de Quartus seleccionar el circuito, "copiarlo" y realizar un "pegado especial", indicando "mapa de bits independiente del dispositivo".