

PRÁCTICA 1

CIRCUITOS COMBINATORIOS

Objetivos

- Dar los primeros pasos con la herramienta de desarrollo.
- Realizar proyectos utilizando bloques ya diseñados
- Diseñar y comprobar el funcionamiento de circuitos digitales combinatorios.

Parte a)

En esta parte se comprenderá el funcionamiento de los displays de 7 segmentos de la placa, y se realizará un proyecto simple utilizando el convertor **7449** (convertor BCD a 7 segmentos activo por nivel bajo) disponible en la biblioteca del **Quartus II**.

Se pide:

- Estudiar el funcionamiento del display 7 segmentos ^[1] y del convertor **7449**.
- Generar un proyecto en el **Quartus II** con el circuito indicado en la figura 1.
- Simular el funcionamiento utilizando el editor de onda del **Quartus II**.
- Para realizar pruebas en la placa, conectar **SW[3..0]** a los switches del 3 al 0 y **H1** al switch 9, y la salida **Disp[6..0]** al display 0. Programar la placa y verificar el funcionamiento del circuito.

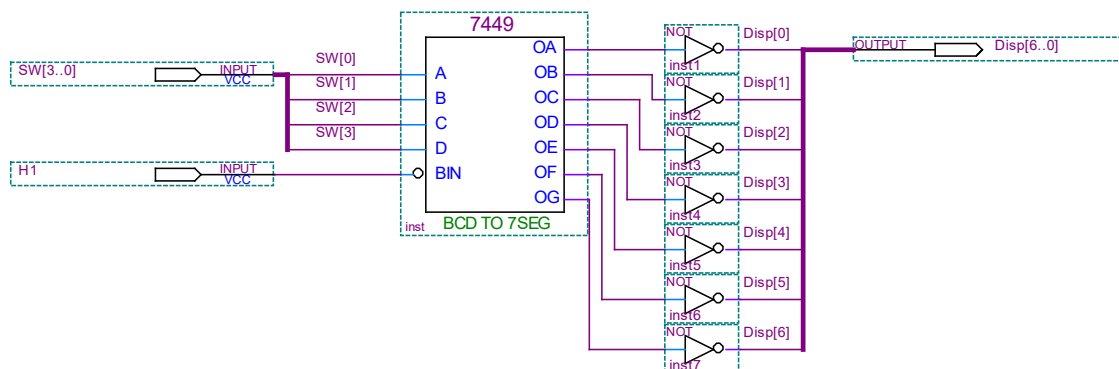


Figura 1. Convertor BCD a display 7 segmentos.

Notas: No se utilizará el punto decimal del display.

Notar que los leds del display son activos por nivel bajo (un "0" los enciende).

Referencia: ^[1] Página 25 y 26 de DE0_User_Manual_v1.1.pdf

Parte b)

En esta parte se diseñará un sumador binario de 4 bits con acarreo de entrada y salida, y más adelante, a partir de este diseño, obtendremos un sumador BCD de 1 dígito también con acarreo de entrada y salida.

Se pide:

- Generar un proyecto en el **Quartus II** para ingresar el diseño de un **sumador completo SUMA_1** (figura 2). Verificar su funcionamiento en el simulador para todos los casos posibles.
- Definir el bloque **SUMA_1**.
- Generar un nuevo proyecto para diseñar un sumador binario de 4 bits **SUMA_4** con acarreo de entrada y de salida, utilizando el bloque **SUMA_1** (ver figura 3). Verificar su funcionamiento en el simulador para todos los casos posibles.
- Definir el bloque **SUMA_4**.
- Para probar el funcionamiento de **SUMA_1** y **SUMA_4** en la placa DE0, generar un proyecto en el **Quartus II**, donde A[3..0] se conectarán a los switches **SW[3..0]**, B[3..0] se conectarán a los switches **SW[7..4]** y Cy_i al switch **SW[8]**. La salida S[3..0] deberá conectarse a los leds **LEDS[3..0]** y Cy_o al **LEDS[5]**, según se indica en la figura 3.

Nota: Se sugiere tomar como referencia el ejercicio 9 del práctico 4.

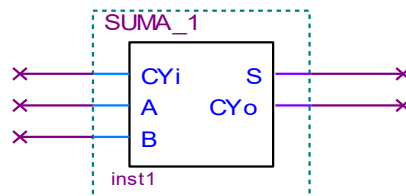


Figura 2. Sumador completo

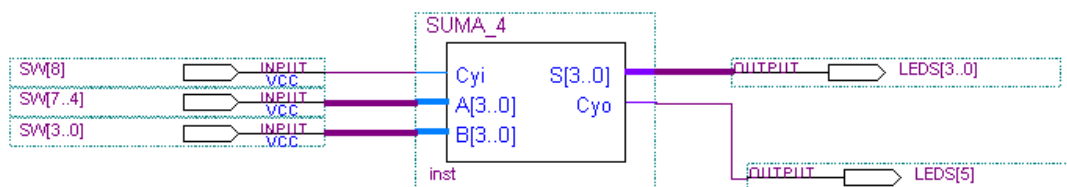


Figura 3. Prueba de SUMA_4.

Parte c)

Otro bloque que será necesario es un comparador con 9.

Se pide:

- Diseñar de forma **mínima** el circuito combinatorio **MAYOR_QUE_9**, tal que a partir de una entrada de 4 bits indique en su señal de salida con un 1 si la entrada es mayor que nueve y con 0 en caso contrario.
- Generar un proyecto en el **Quartus II** con el circuito diseñado y verificar su funcionamiento en el simulador para todos los casos posibles.
- Definir el bloque **MAYOR_QUE_9**.
- Para probar el funcionamiento de este bloque en la placa DE0, generar un proyecto tal que los 4 bits de entrada se conecten a **SW[3..0]** y la salida a uno de los leds.

Parte d)

A partir de los diseño **SUMA_4** y **MAYOR_QUE_9** obtendremos un sumador BCD de 1 dígito con acarreo de entrada y salida (ver figura 4).

Podemos ver fácilmente que Sbcd y Cybcd_o se pueden obtener a partir de:

- Si $(S > 9)$ o $(C_{yo} = 1)$ entonces $S_{bcd} = S + 6$
 sino $S_{bcd} = S$
- $C_{ybcd_o} = (S > 9) \text{ o } (C_{yo} = 1)$

siendo S y Cyo salidas de **SUMA_4** y Sbcd y Cybcd_o salidas del sumador BCD.

Tener en cuenta que $(S + 6)$ se puede lograr con otro bloque **SUMA_4** y un valor fijo 6 en una de sus entradas.

Se pide:

- Generar un nuevo proyecto para diseñar, a partir del algoritmo dado, un sumador BCD de 1 dígito **SUMA_BCD** con acarreo de entrada y de salida, utilizando los bloques **SUMA_4**, **MAYOR_QUE_9**, multiplexores y compuertas. No se pide utilizar una tabla de verdad ni minimizar.
- Verificar su funcionamiento en el simulador para todos los casos posibles.
- Definir el bloque **SUMA_BCD**.
- Para probar el funcionamiento de **SUMA_BCD** en la placa DE0, generar un proyecto en el **Quartus II** según el diagrama de la figura 4, donde C_{ybcd_i} tiene el valor fijo 1.

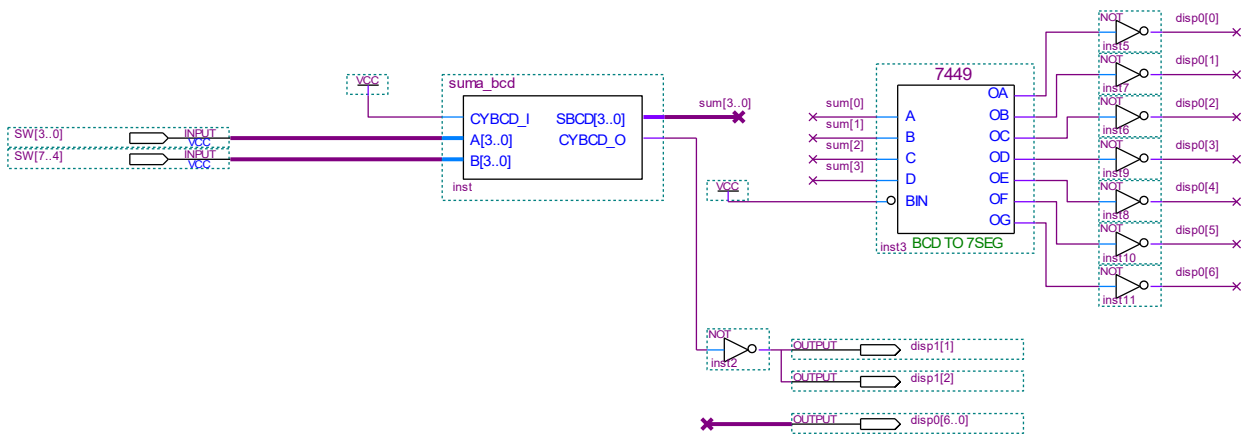


Figura 4. Prueba de SUMA_BCD tomando $B_3 = 0$ y $C_{yi} = 1$

Nota: Observar que el acarreo de la suma se visualiza en los segmentos b y c del display 1 .

INFORME:

Uno de los integrantes del grupo deberá entregar en la tarea correspondiente en EVA:

- **Informe.pdf** utilizando la carátula disponible en EVA, que incluya:

Parte a)

- Simulaciones para todos los casos.
- Breve explicación del funcionamiento del circuito.
- ¿Qué sucedería si no se pusieran las compuertas NOT?
- ¿Que sucede si la entrada SW[3..0] no es un n° BCD?

Parte b)

- Diagrama del circuito **SUMA_1**,
- Simulaciones para todos los casos.
- Diagrama del circuito implementado **SUMA_4**.
- Simulaciones para todos los casos.
- Diagrama del circuito indicado para realizar la prueba.

Parte c)

- Tabla de verdad y mapa K del circuito **MAYOR_QUE_9**.
- Diagrama del circuito **MAYOR_QUE_9** implementado.
- Simulaciones para todos los casos.
- Diagrama del circuito indicado para realizar la prueba.

Parte d)

- Diagrama del circuito **SUMA_BCD**.
- Simulaciones para todos los casos.
- Diagrama del circuito indicado para realizar la prueba.
- ¿Que sucede si la entrada SW[3..0] no es un n° BCD?, ¿por qué la salida da lo que da?

El día de la evaluación **el grupo deberá presentarse 10 minutos antes de la hora establecida** en el laboratorio de software del instituto de Ingeniería Eléctrica.

Además se deberán traer el KIT DE0-LAB y un “pen drive usb” con todos archivos de los proyectos indicados y las simulaciones realizadas.

Puede ser de utilidad: Para “pegar” en el informe un circuito realizado en el editor gráfico del Quartus se debe seleccionar el circuito, “copiarlo” y realizar un “pegado especial”, indicando “mapa de bits”.