

Clase 6

Práctico de Diseño Lógico

Clase 6 – temas

- Tiempos en circuitos combinatorios
- Flip Flops
 - Tipos de FF
 - Análisis de Comportamiento – FF JK
 - Análisis de Tiempos

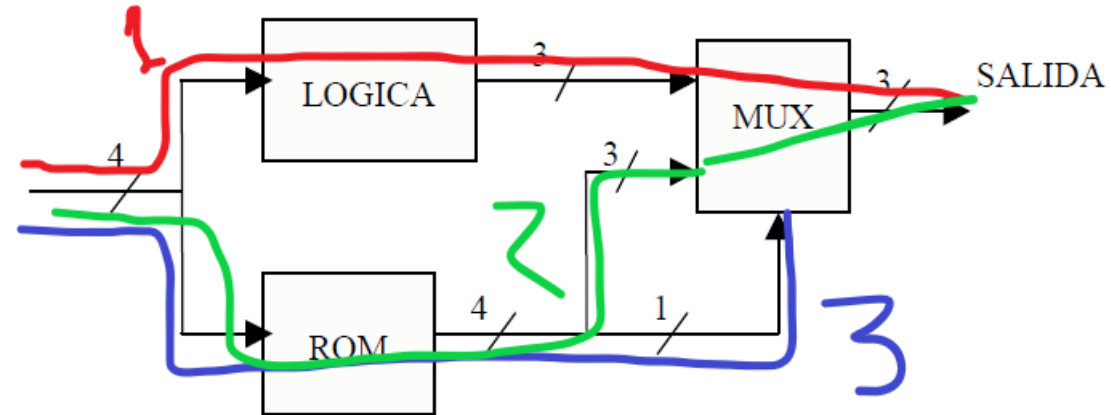
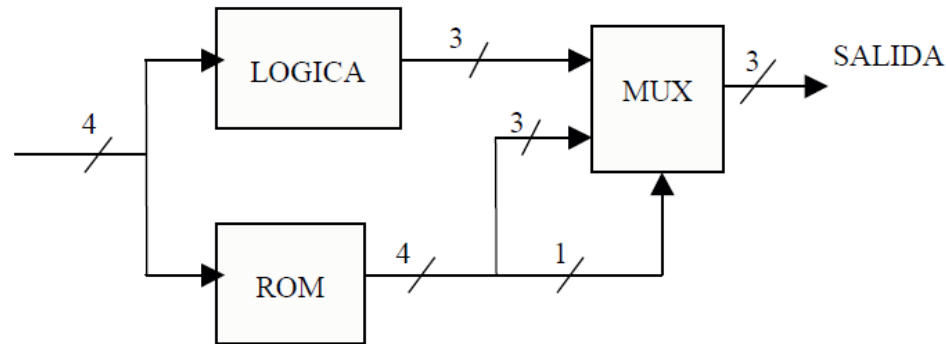
Tiempos

- Las señales no cambian instantáneamente. El fabricante dice que una salida puede cambiar entre 0 y n nanosegundos después de un cambio en la entrada.

Ejercicio 5.10

Ejercicio 10

Dado el circuito de la figura:



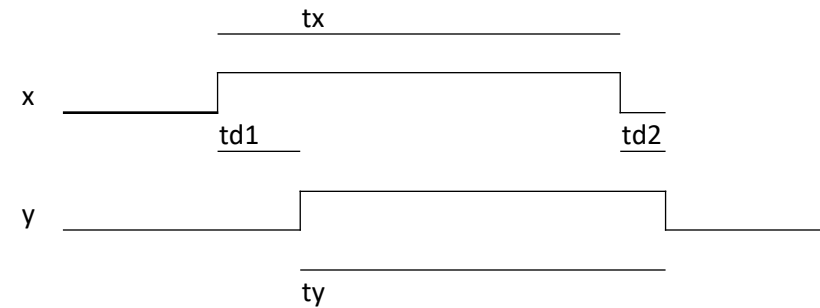
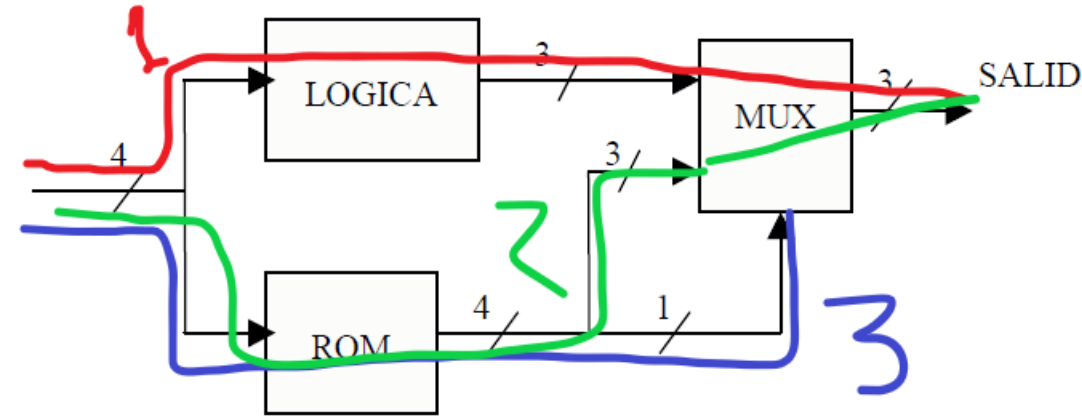
- Dar una expresión matemática del retardo máximo y mínimo a partir de los tiempos máximos y mínimos de acceso a la ROM (t_{ROM}), retardos de entrada (tr_{entmux}) y selección (tr_{selmux}) del multiplexor y propagación en la lógica ($tr_{lógica}$).
- Se desea que los datos a la salida permanezcan fijos un tiempo mínimo t_y . Dar una expresión matemática que determine el tiempo mínimo entre cambios en la entrada.
- Determinar dicho tiempo para $t_y=40ns$, $tr_{entmux(max)}=20ns$, $tr_{selmux(max)}=15ns$, $tr_{lógica(max)}=35ns$, $t_{ROM(max)}=40ns$, $tr_{entmux(min)}=0ns$, $tr_{selmux(min)}=5ns$, $tr_{lógica(max)}=0ns$, $t_{ROM(max)}=5ns$.

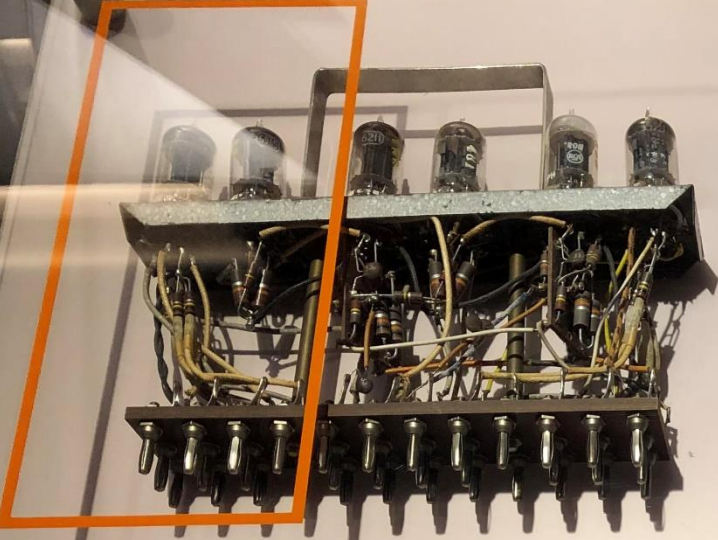
Vamos a calcular los tiempos mínimos y máximos de cada camino.

NOTA: Los cambios ocurren en forma simultánea para los 4 bits de entrada.

Partes a) y b)

- 1) $T_1 \text{max} = t_{rlog}(\text{max}) + t_{entmux}(\text{max})$
- $T_1 \text{min} = t_{rlog}(\text{min}) + t_{entmux}(\text{min})$
- 2) $T_2 \text{max} = t_{ROM}(\text{max}) + t_{entmux}(\text{max})$
- $T_2 \text{min} = t_{ROM}(\text{min}) + t_{entmux}(\text{min})$
- 3) $T_3 \text{max} = t_{ROM}(\text{max}) + t_{selmux}(\text{max})$
- $T_3 \text{min} = t_{ROM}(\text{min}) + t_{selmux}(\text{min})$
- $T_{\text{max}} = \max(T_1 \text{max}, T_2 \text{max}, T_3 \text{max})$
- $T_{\text{min}} = \min(T_1 \text{min}, T_2 \text{min}, T_3 \text{min})$
- $t_y = t_x - t_{d1} + t_{d2}$
- $T_y \leq t_x - T_{\text{max}} + T_{\text{min}} \Rightarrow t_x \geq t_y + T_{\text{max}} - T_{\text{min}}$





Vacuum tube module,
General Electric, Waltham, Mass., US, ca. 1955
102647854



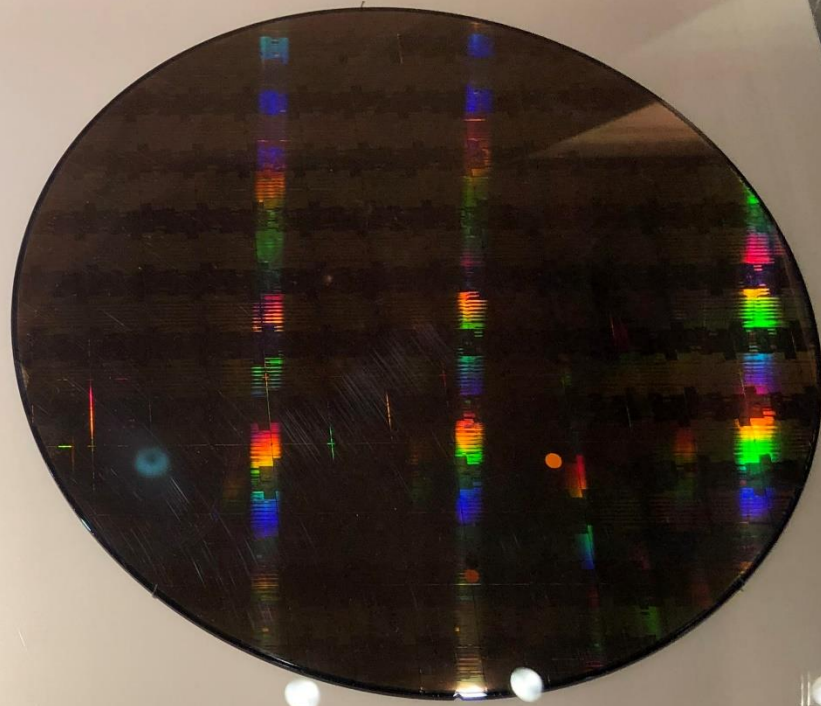
Wire contact relays,
IBM, US, 1944
102681565



DEC 4209J Dual
Flip-Flop, DEC, US, 1964
102711104



7474 TTL Flip-Flop,
Texas Instruments, US, 1966
102716395



Itanium ("Montecito") CPU wafer,
Intel, US, 2009
102716243

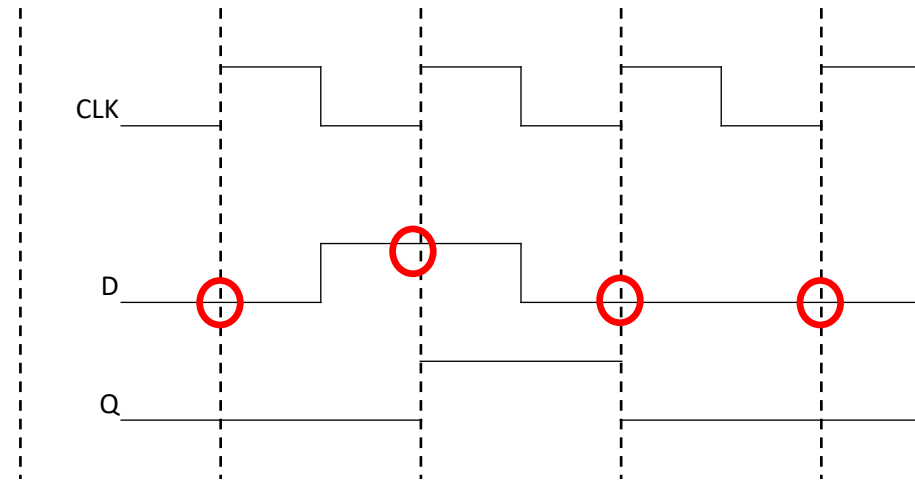
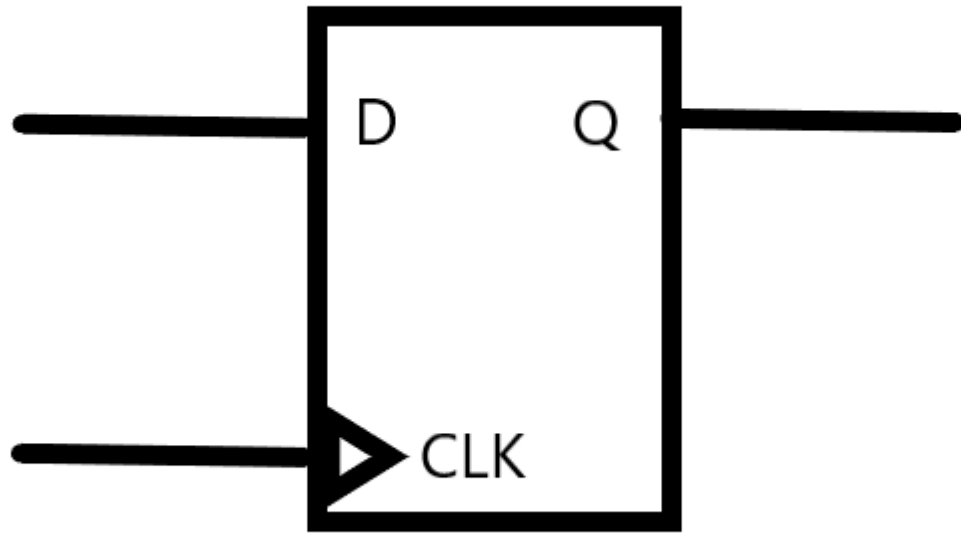
THE INCREDIBLY SHRINKING FLIP-FLOP

Flip-flops are a basic building block of computers, each storing a single bit of information. From relays to ICs, their size has shrunk by over a billion times. The highlighted areas show the size of 1 flip-flop on each device, except for the Itanium wafer from 2009 which points to an area containing approximately 30 million flip-flops!

Repaso: Tipos de Flip Flops

- SR
 - JK activo por flanco creciente
 - JK Maestro Esclavo
 - D
 - T (toggle)
-
- **Siempre indicar nombres (poner etiquetas), no dibujar un rectángulo con rayitas.**

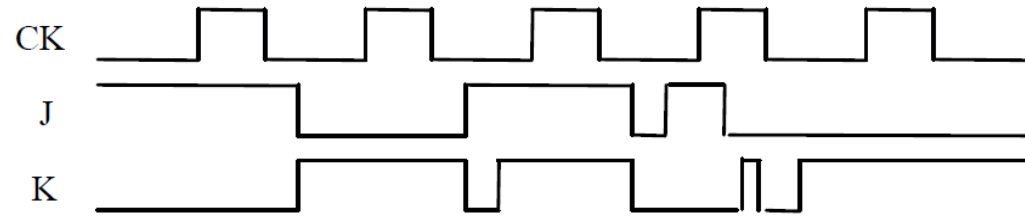
Ejemplo FF - D



FF JK

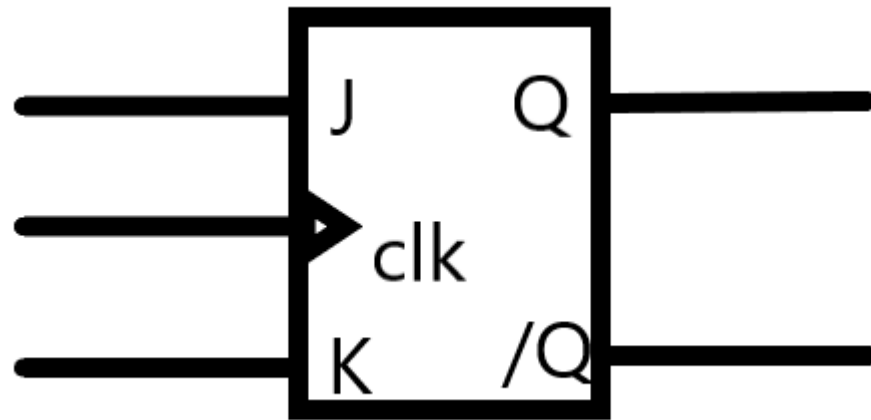
Ejercicio 1. Las ondas J, K y CK de la figura se aplican a un Flip-Flop JK. Dibujar las ondas de salida de Q y !Q, en los siguientes casos:

- a) Flip-Flop activo por flanco creciente.
- b) Flip-Flop maestro-esclavo.

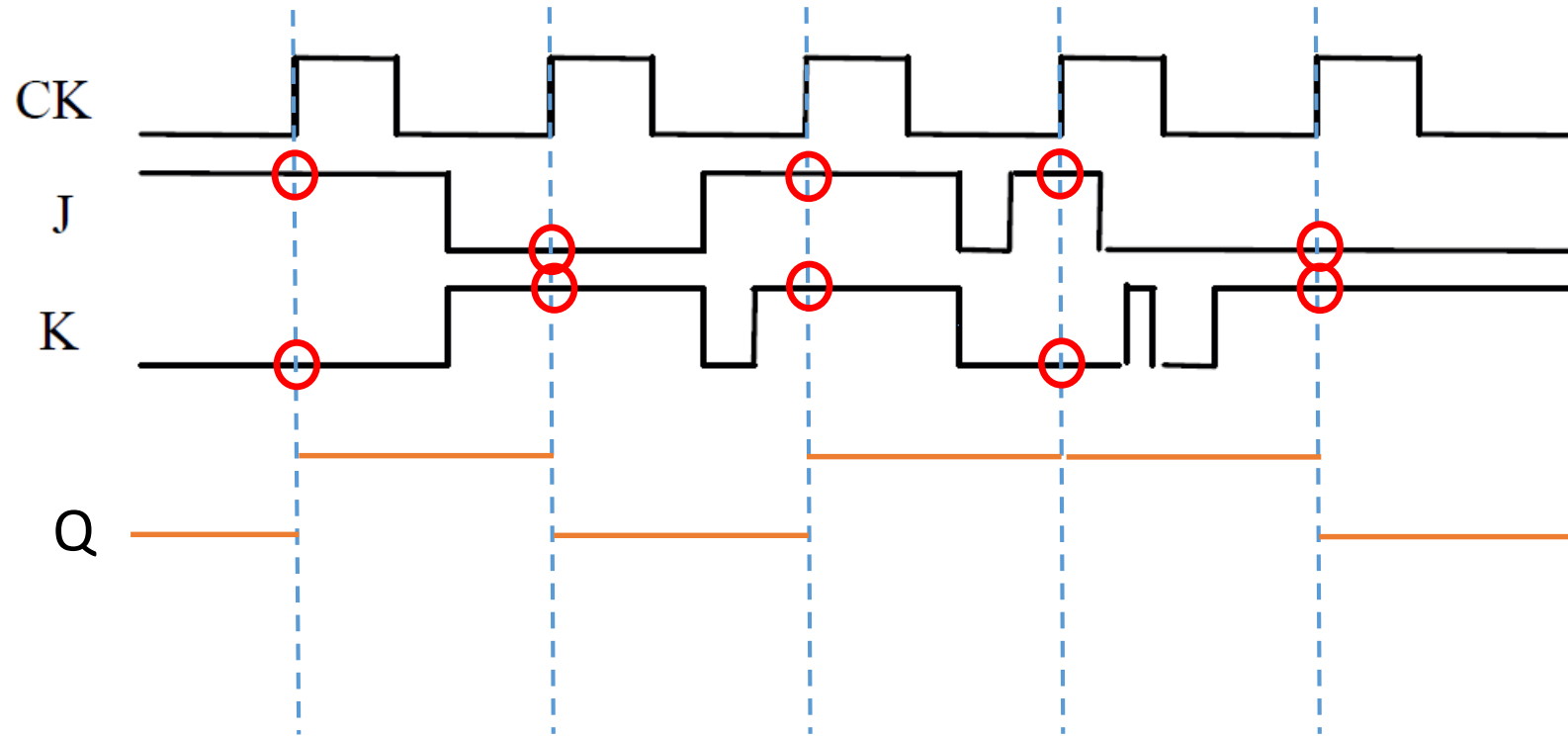


NOTA: suponga que cuando se aplica el primer impulso de reloj, Q=0 y que Preset y Clear están siempre en 1.

clk	J	K	Q	/Q
↗	0	0	Q	/Q
↗	0	1	0	1
↗	1	0	1	0
↗	1	1	/Q	Q
0	X	X	Q	/Q
1	X	X	Q	/Q

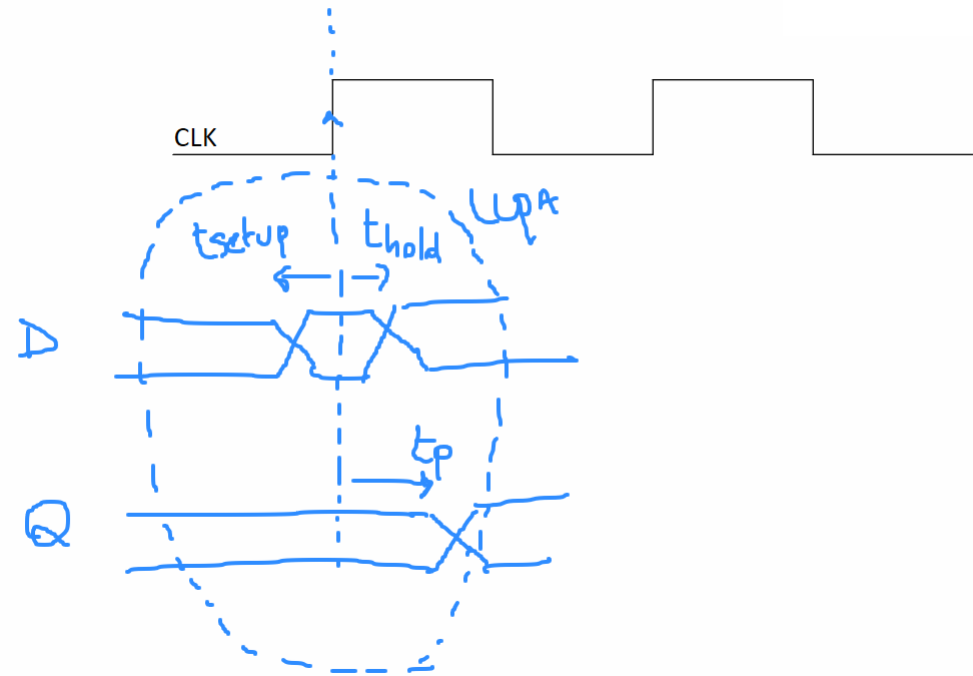
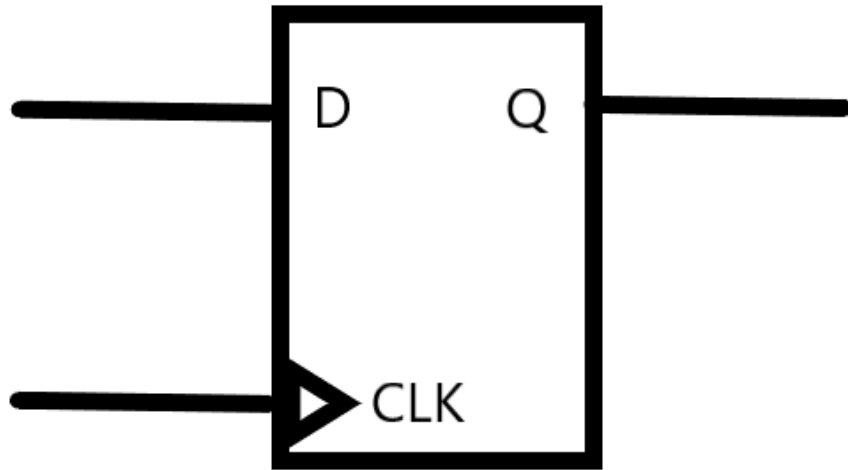


Ej 6.1 a)



clk	J	K	Q	/Q
↗	0	0	Q	/Q
↗	0	1	0	1
↗	1	0	1	0
↗	1	1	/Q	Q
0	X	X	Q	/Q
1	X	X	Q	/Q

Análisis de tiempos de Flip Flops



Tiempo de setup: tiempo que la entrada D tiene que estar estable antes del flanco activo

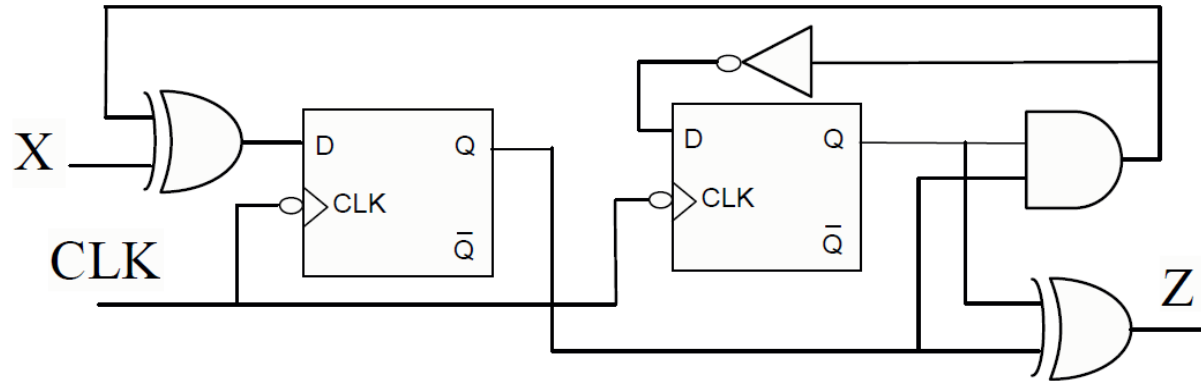
Tiempo de hold: tiempo que la entrada D tiene que estar estable después del flanco activo

Tiempo de propagación: tiempo luego del flanco activo en que cambia la salida Q

Ejercicio 6.6

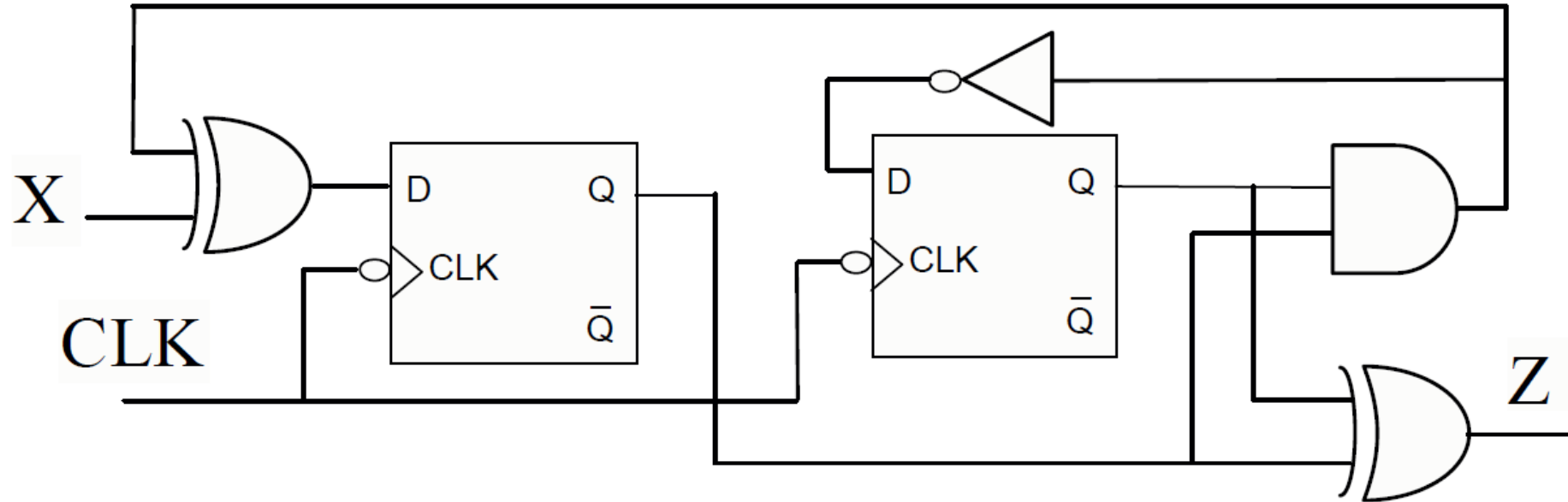
Ejercicio 6. (ex. Marzo 1997)

Dado el circuito de la figura, se pide:



- Calcular la frecuencia máxima de funcionamiento, considerando la entrada X constante. Justificar con un diagrama de tiempos.
- Indicar en un diagrama de tiempos el intervalo en que la señal X debe permanecer constante, con respecto al flanco de reloj, para que el circuito funcione correctamente.

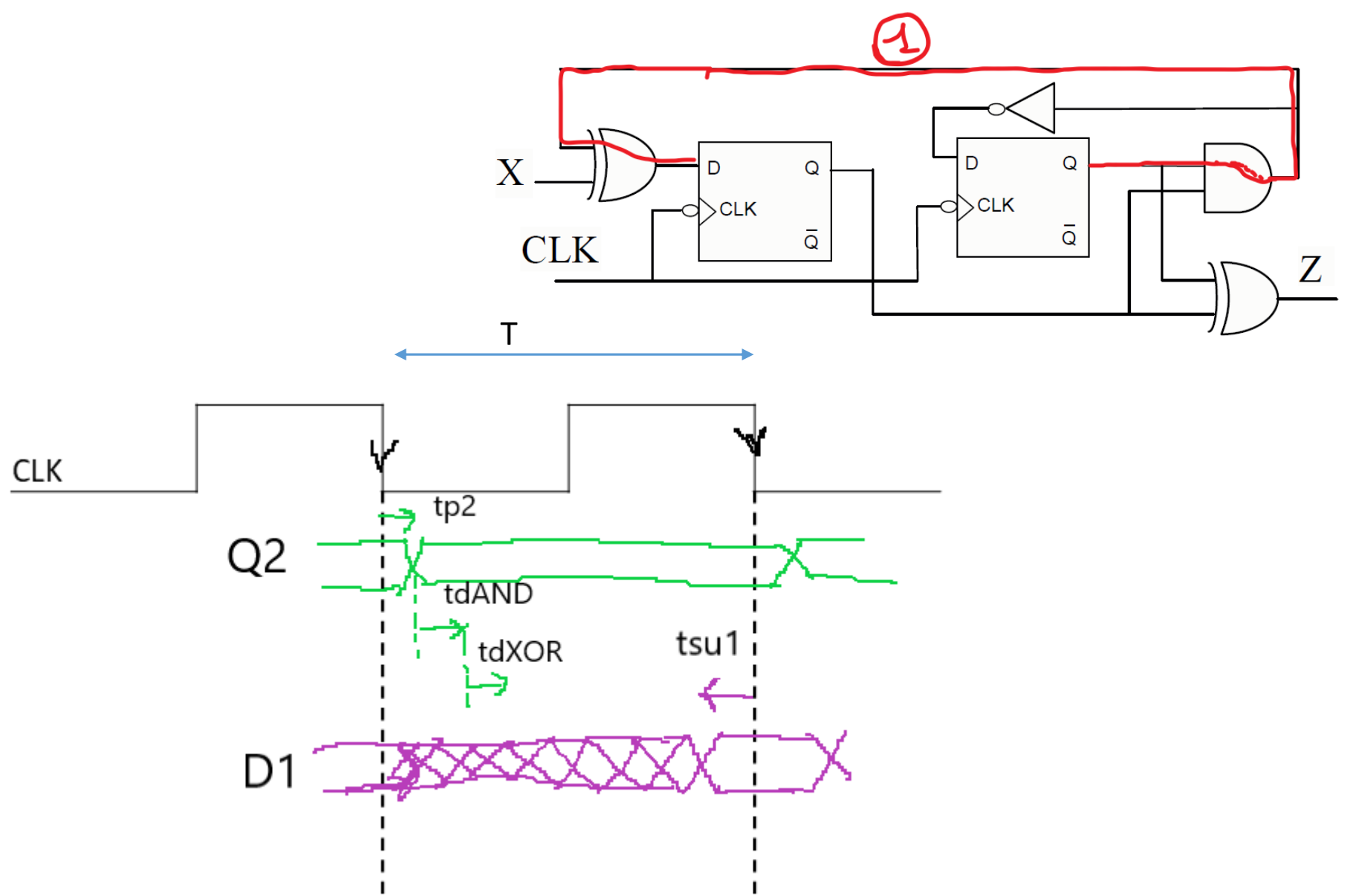
Analizamos todos los caminos posibles



$$\begin{aligned} T_{SU}^{\min} &< t_{SU} \\ T_H^{\min} &< t_H \\ T_P^{\min} &< t_P < T_P^{\max} \\ T_D^{\min} &< t_D < T_D^{\max} \end{aligned}$$

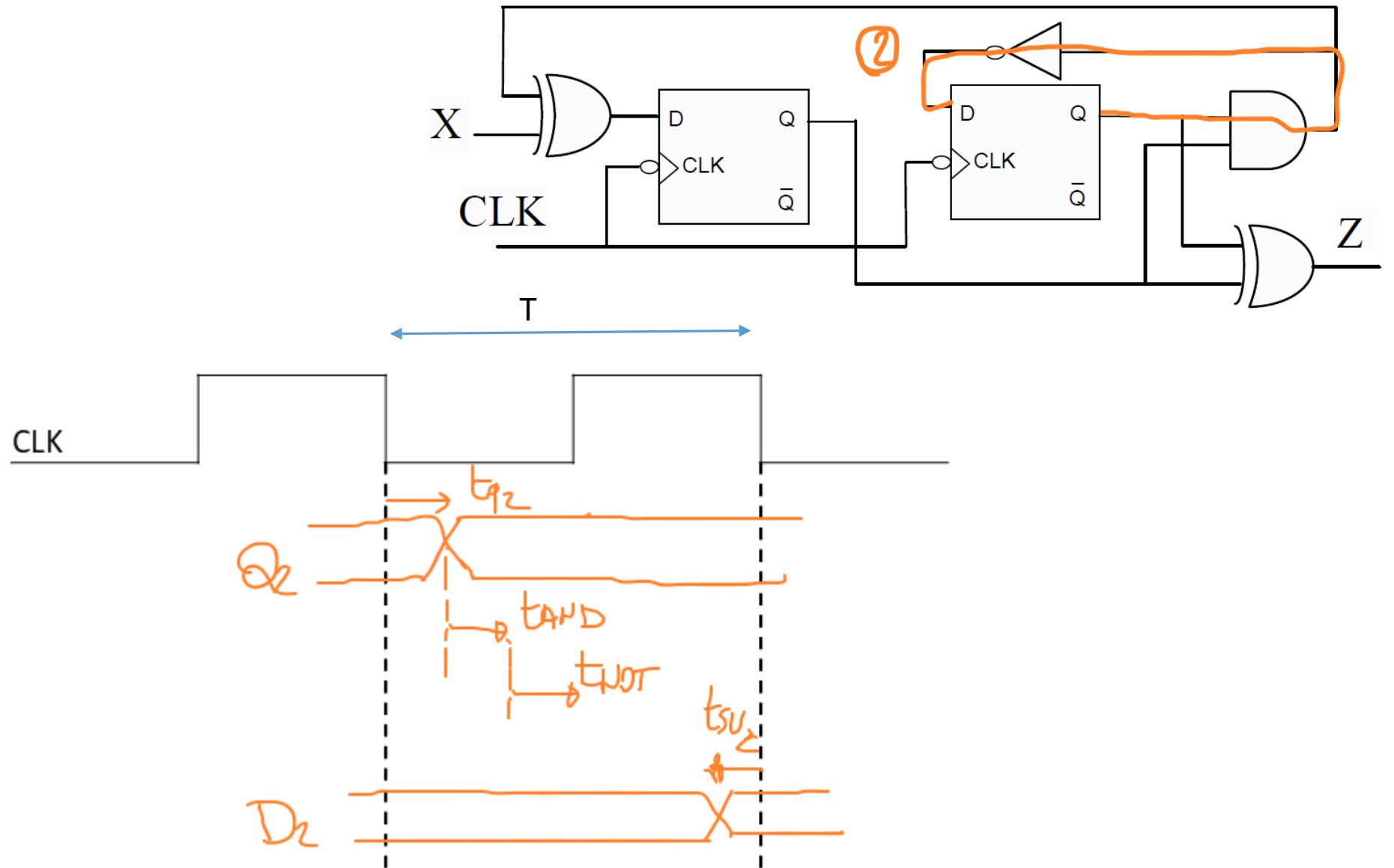
Tiempo de set up de los flip-flops
Tiempo de hold de los flip-flops
Tiempo de propagación de los flip-flops
Tiempo de delay de las compuertas lógicas

Camino 1



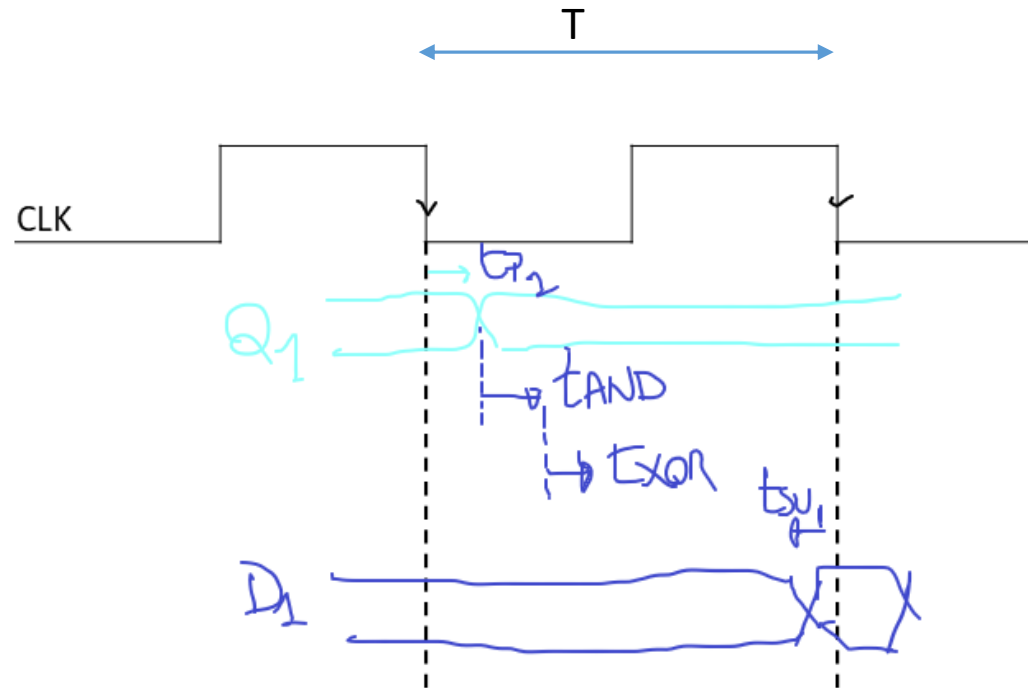
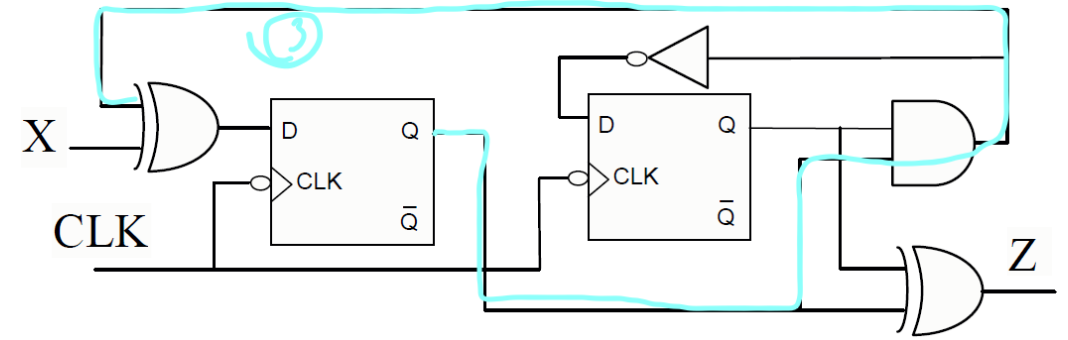
$$T1 \geq tp2(max) + tdAND(max) + tdXOR(max) + tsu1$$

Camino 2



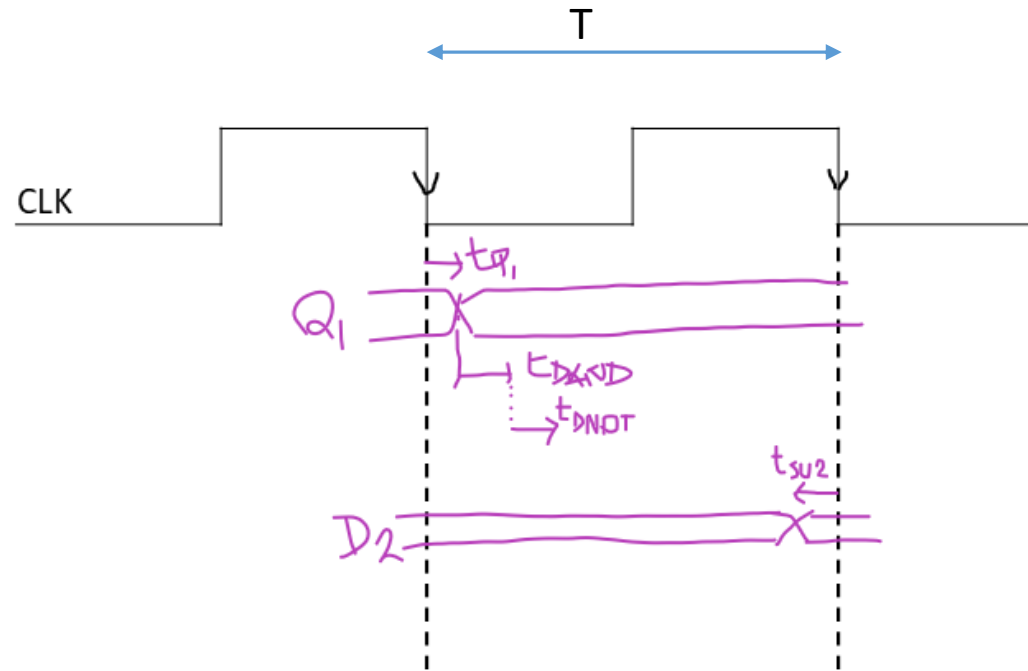
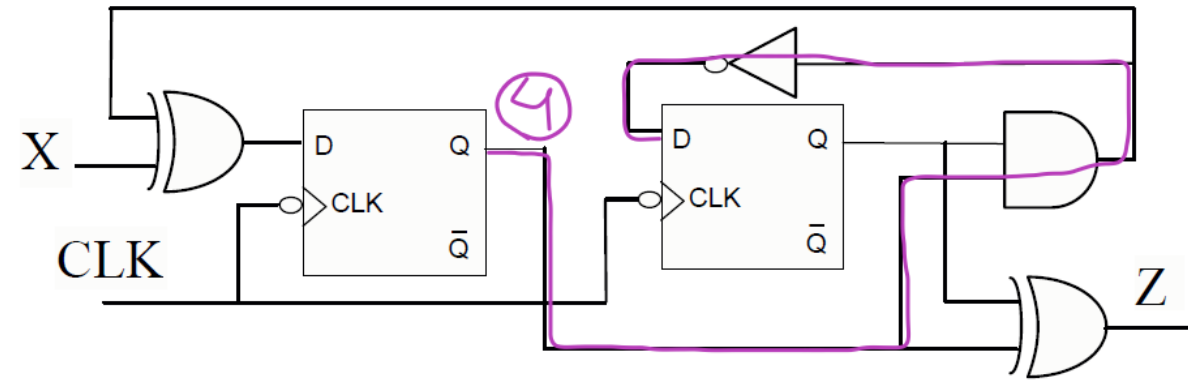
$$T_2 \geq t_{p2}(\max) + t_{dAND}(\max) + t_{dNOT}(\max) + t_{su2}$$

Camino 3



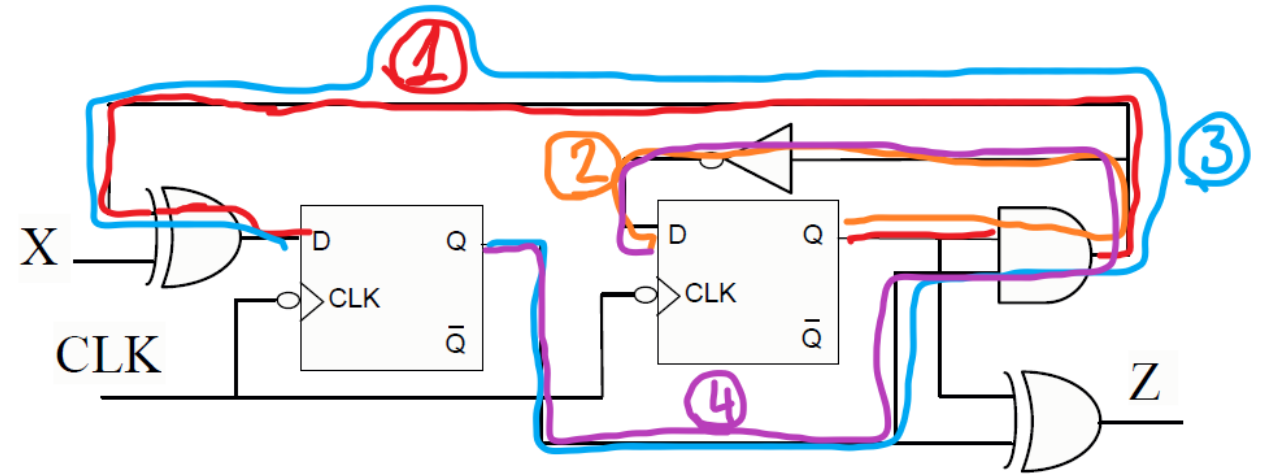
$$T3 \geq tp1(\max) + tdAND(\max) + tdXOR(\max) + tsu1$$

Camino 4



$$T4 \geq tp1(\max) + tdAND(\max) + tdNOT(\max) + tsu2$$

Resumiendo:

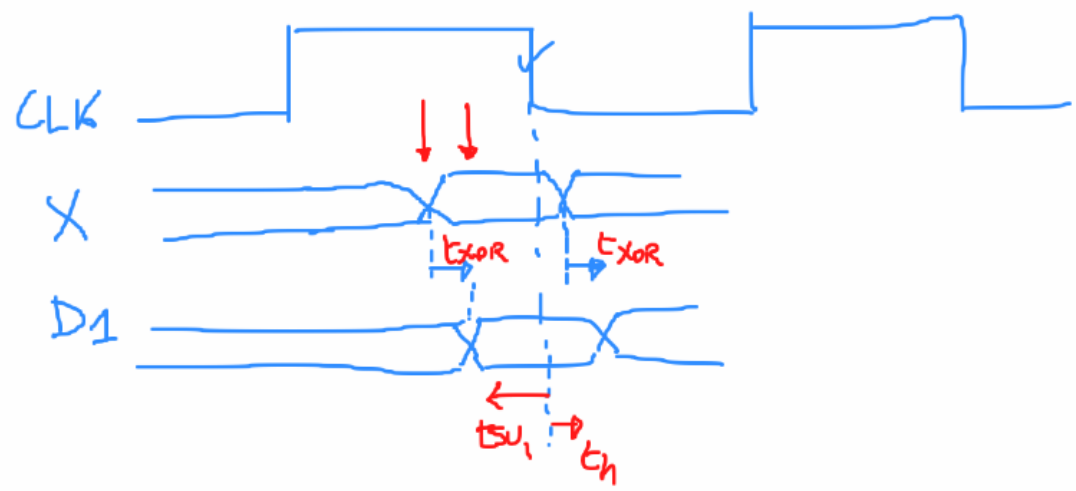
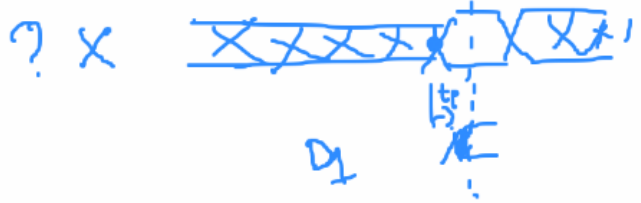
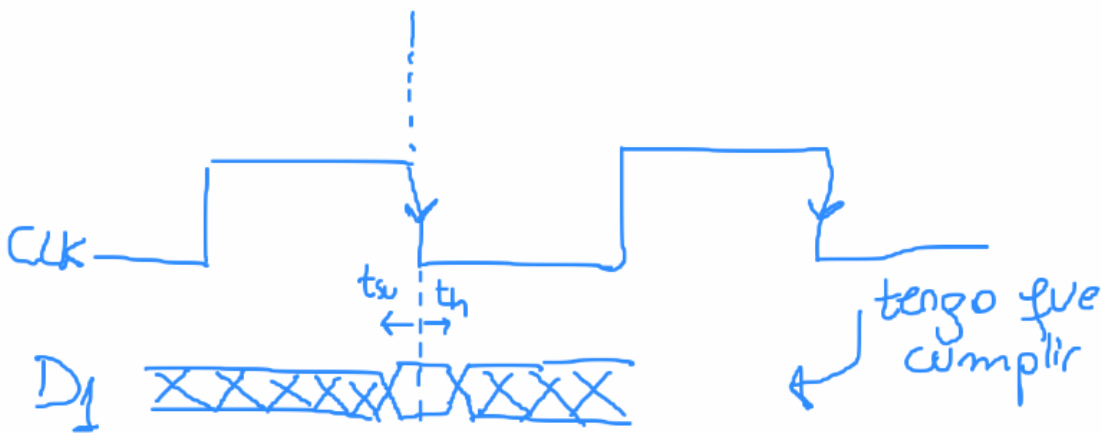
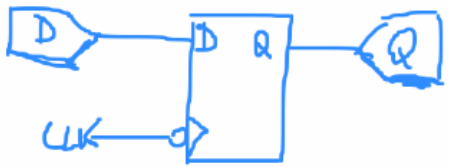


- Camino 1: cambia FF2 un tiempo de propagación luego del flanco de bajada, tiene delay de AND y de la XOR y debe respetar tiempo de setup de FF1
- Camino 2: cambia FF2 un tiempo de propagación luego del flanco de bajada, tiene delay de AND y de la NOT y debe respetar tiempo de setup de FF2
- Camino 3: cambia FF1 un tiempo de propagación luego del flanco de bajada, tiene delay de AND y de la XOR y debe respetar tiempo de setup de FF1
- Camino 4: cambia FF1 un tiempo de propagación luego del flanco de bajada, tiene delay de AND y de la NOT y debe respetar tiempo de setup de FF2

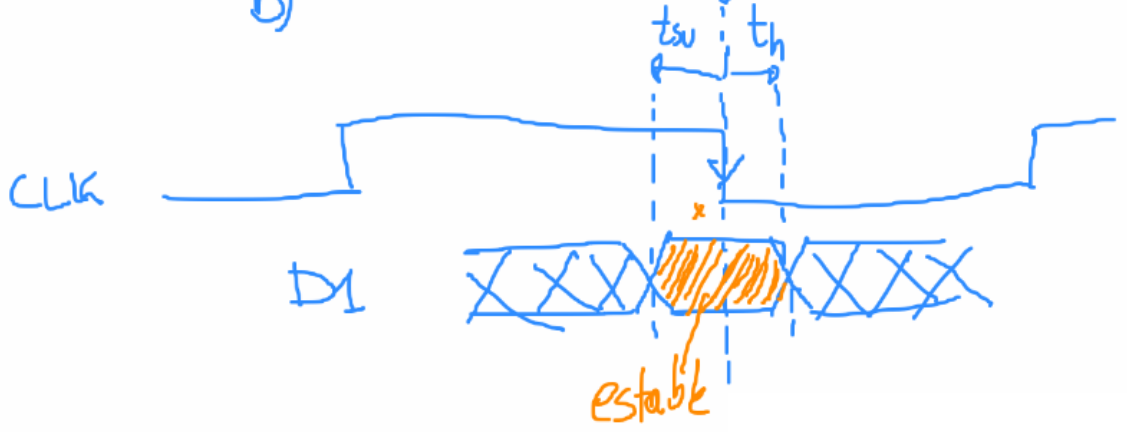
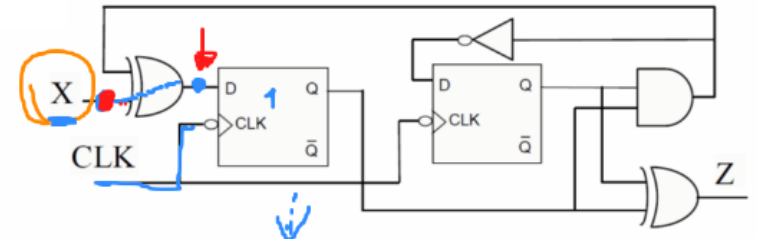
T tiene que cumplir las 4 condiciones:

- $T \geq \max\{T1, T2, T3, T4\}$
- $T_{\min} = \max\{T1, T2, T3, T4\}$
- $f_{\max} = 1/T_{\min}$
- Frecuencia máxima a la que puede funcionar mi circuito.

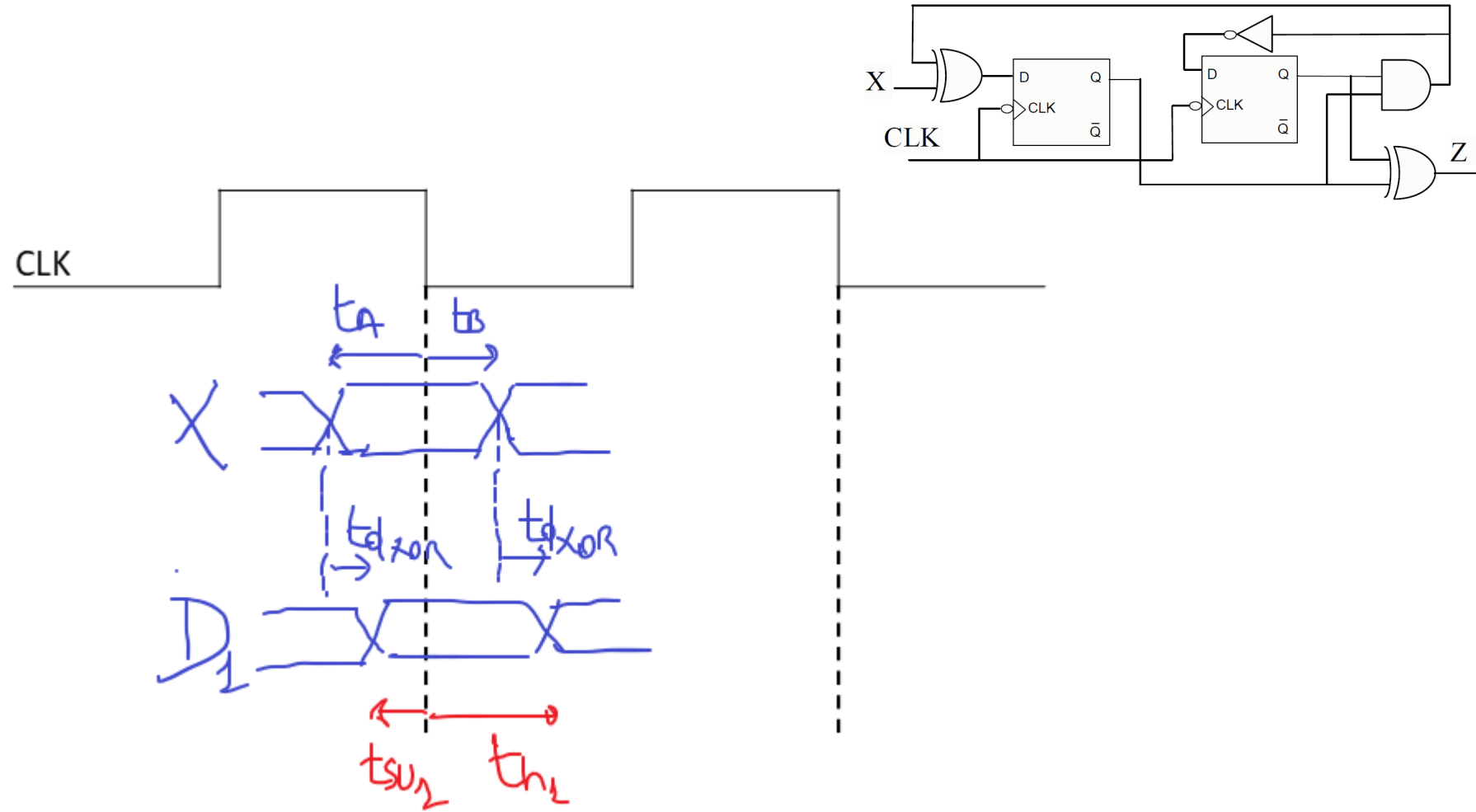
Parte b)



a) $X = \text{clk}$
b)



Parte b)



$$t_A \geq t_{dxor}(\max) + t_{su1}$$

$$t_B \geq t_{h1} - t_{dxor}(\min)$$