

Arquitectura de Computadoras

Solución del Parcial 2016

- El parcial consta de 5 preguntas que se deben responder por escrito en hojas aparte. Completar TODAS las hojas con el nombre y el número de cédula. Numerarlas y escribir el total en la primer hoja.
- Utilizar una única carilla e iniciar cada respuesta en una hoja nueva.
- No se puede utilizar material de ningún tipo. **Apagar celulares.**
- Se dispone de cartillas Intel 8086.
- El parcial dura 1 hora y media.
- Se contestarán preguntas hasta 20 minutos antes de la hora de finalización.

Pregunta 1

Dada la siguiente tira de bits:

1100100011000000

Para todas las representaciones enumeradas a continuación, proporcione el resultado numérico resultante de interpretar la tira provista como:

- A) Punto Flotante de Media Precisión
- B) Punto fijo (8 bits para la parte fraccionaria)
- C) Desplazamiento $d=2^{15}$

Solución:

a) La representación media precisión utiliza el bit más significativo para el signo, luego cinco bits para el exponente y los diez bits menos significativos para la mantisa (signo = 1, exponente = 10010 ($d=15$) y mantisa = 0011000000).

Por lo tanto el resultado numérico es:

$$-1,0011 \cdot 2^3 = -1001,1 = -9,5.$$

b) Se representa en complemento a dos tomando los ocho bits menos significativos como la parte fraccionaria. Al descomplementar la representación se obtiene el código 0011011101000000. Tomando sus ocho bits menos significativos como la parte fraccionaria se obtiene el resultado numérico es:

$$-110111,01 = -55,25.$$

c) El código representa un número positivo. Para obtener el resultado numérico debe restarse el desplazamiento ($d=2^{15} = 1000000000000000$). Por lo tanto el resultado numérico es:

$$100100011000000 = 18624.$$

Pregunta 2

Indique como se dispone en memoria la variable `miEstructura` para la arquitectura Intel 8086:

```
typedef struct {
    char a[2];
    short b[2];
    char c;
} Arqu;
```

```
Arqui miEstructura[2];
```

Solución:

Dirección	Contenido
n	<code>miEstructura[0].a[0]</code>
n+1	<code>miEstructura[0].a[1]</code>

...	miEstructura[0].b _l [0]
	miEstructura[0].b _h [0]
	miEstructura[0].b _l [1]
	miEstructura[0].b _h [1]
	miEstructura[0].c
	miEstructura[1].a[0]
	miEstructura[1].a[1]
	miEstructura[1].b _l [0]
	miEstructura[1].b _h [0]
	miEstructura[1].b _l [1]
	miEstructura[1].b _h [1]
n+13	miEstructura[1].c

Tener presente que la arquitectura 8086 es little-endian por lo que la parte baja de una palabra de 16 bits va en la dirección más baja.

Pregunta 3

Una memoria ROM, ¿es un circuito combinatorio o secuencial? Justifique.

Solución:

Es un circuito combinatorio.

Justificación (mínima): porque sus salidas solo dependen del valor actual de sus entradas.

Justificación: porque sus salidas solo dependen del valor actual de sus entradas. Esto se debe a la propia definición de ROM, que responde a una tabla de verdad en todo momento del tiempo. Esa tabla de verdad es la que se “carga” en la ROM (al contruirla o al programarla) y luego las salidas responderán siempre igual a una misma combinación de bits de entrada.

Justificación (alternativa): porque sus salidas solo dependen del valor actual de sus entradas. Esto se debe a la forma en que están construidas las ROMs, mediante circuitos combinatorios como los decodificadores y compuertas y no existe realimentación “hacia atrás” en ninguna parte del recorrido de las señales entre las entradas y las salidas.

Pregunta 4

Se cuenta con un procesador de 32 bits que cuenta con una memoria caché de 128 KB y 2048 líneas. Se utiliza una función de correspondencia asociativa por conjuntos de 4 vías.

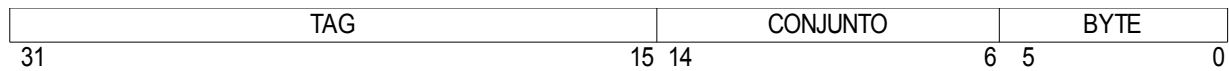
Indique como se interpreta una dirección de memoria desde el punto de vista del sistema de memoria caché, especificando cuántos bits corresponden a cada campo.

Solución:

Las direcciones emitidas por el procesador se interpretan por la cache como un registro con tres campos: tag, conjunto y byte.

Dado que la cache es de 128 KB y 2048 líneas cada línea ocupa de 2^6 bytes ($2^{17}/2^{11}$), entonces serán necesarios seis bits para indicar el byte se quiere acceder. Como la cache es de cuatro vías y tiene

2048 líneas tendrá 512 conjuntos ($2048/4=512=2^9$), entonces serán necesarios nueve bits para indicar el conjunto. El campo tag utiliza el resto de los bits de la dirección ($32-6-9=17$).



Pregunta 5

Construya en base a un Flip-Flop JK, un Flip-Flop tipo D y un Flip-Flop tipo T. Se recuerda que la ecuación del JK es $Q_{n+1} = J_n \bar{Q}_n + \bar{K}_n Q_n$.

Solución:

Es fácil observar que si $T=J=K$ la ecuación queda $Q_{n+1} = T_n \bar{Q}_n + \bar{T}_n Q_n$ con lo que si $T = 1$ el flip-flop conmuta y el $T = 0$ queda igual (la definición del FF-T).

Análogamente si $D=J=\bar{K}$ queda $Q_{n+1} = D_n \bar{Q}_n + D_n Q_n = D_n (\bar{Q}_n + Q_n) = D_n$.

Por tanto:

