

Arquitectura de Computadoras

Parcial 2013

- *El parcial consta de 5 preguntas que se deben responder por escrito en hojas aparte. Completar TODAS las hojas con el nombre y el número de cédula. Numerarlas y escribir el total en la primer hoja.*
- *Utilizar una única carilla e iniciar cada respuesta en una hoja nueva.*
- *No se puede utilizar material de ningún tipo. **Apagar celulares.***
- *Se dispone de cartillas Intel 8086 y MIC-1.*
- *El parcial dura 1 hora y media.*
- *Se contestarán preguntas hasta 20 minutos antes de la hora de finalización.*

Pregunta 1

Explique cómo funciona el mecanismo de codificación con bit de paridad y su utilidad.
¿Es apropiada su aplicación en discos magnéticos? ¿Por qué?

Respuesta:

- 1) El sistema de codificación con bit de paridad tiene como propósito principal la detección de errores en un código binario (cadena de bits). El bit de paridad se calcula como el XOR de los n bits originales. Para verificar su correctitud se vuelve a calcular el bit de paridad y se lo compara con el calculado anteriormente, si no coincide se puede afirmar que hubo cambio en un número impar de bits (o sea hay error). Una forma alternativa de detectar el error es calcular el XOR de los n+1 bits (incluyendo el de paridad), si da 1 entonces hubo error.
- 2) No es apropiada ya que no se cumple la segunda de las hipótesis necesarias para su efectividad:
 1. La probabilidad de que falle un bit es baja.
 2. Las fallas de bits son sucesos independientes (la posibilidad que un bit falle no tiene relación alguna con la falla de otro bit del código).

Pregunta 2

Compare los siguientes sistemas de representación:

- i. Valor absoluto y signo (8 bits)
- ii. Punto flotante (media precisión)
- iii. Desplazamiento (8 bits)
- iv. Complemento a 2 (8 bits)

En relación a las siguientes características:

- Cantidad de representaciones del 0.
- Rango de representación.
- Conservación del orden relativo de los números representados.

Respuesta:

Valor absoluto y signo

- Dos representaciones del 0
- $-(2^7 - 1) \leq N \leq 2^7 - 1$
- No conserva orden relativo

Punto flotante (1 bit signo, 5 exponente, 10 mantisa)

- Dos representaciones del 0.
- $-2^{16} < N < 2^{16}$

- No conserva orden relativo

Desplazamiento (D)

- Una representación del 0
- $-D \leq N \leq 2^8 - D - 1$
- Conserva el orden relativo

Complemento a 2

- Una representación del 0
- $-2^7 \leq N \leq 2^7 - 1$
- No conserva el orden relativo

Pregunta 3

- Describe las diferencias entre un circuito secuencial y un circuito combinatorio.
- ¿Qué es el Retardo de Propagación de una compuerta?

Respuesta:

- En un circuito combinatorio sus salidas se computan únicamente a partir de sus entradas actuales, mientras que en un circuito secuencial sus salidas dependen de las entradas actuales y la evolución histórica de los valores anteriores de las entradas.
- Existe un cierto tiempo que se requiere para que las distintas etapas del circuito se acomoden al nuevo estado de las entradas y generen las magnitudes (voltaje, corriente) necesarias para llevar la salida al nivel lógico acorde a la expresión lógica. Este tiempo recibe distintos nombres, tales como "tiempo de propagación", "retardo de propagación", "retardo de conmutación" o "tiempo de setup".

Pregunta 4

- Describe el funcionamiento de la operación INT de Intel 8086.
- Describe el vector de interrupciones de Intel 8086 indicando: cantidad de entradas, rango de memoria utilizado y como se almacena la referencia a cada manejador de interrupciones en él.

Respuesta:

- La instrucción INT realiza las siguientes acciones:
 1. Almacena el registro de banderas en el stack.
 2. Apaga los bits IF y TF del registro de banderas.
 3. Almacena en el stack CS:IP (primero CS, luego IP)
 4. Apunta CS:IP al manejador indicado por el operando (índice al vector de interrupciones) pasado como parámetro.
- El vector de interrupciones tiene 256 entradas, cada una de ellas es una dirección segmentada (4 bytes) que apunta a la primera instrucción del manejador. El vector comienza en la dirección absoluta 0 y por lo antes explicado ocupa 1024 bytes ($256 * 4$), por lo que el rango utilizado por el mismo va de 0 a 1023 (byte). Cada entrada almacena una dirección segmentada, al ser Intel Little Endian, almacena primero (en el sentido de direcciones bajas de memoria) el desplazamiento y luego segmento.

Pregunta 5

Sea un sistema con una memoria caché asociativa de dos vías con write through. Describa el proceso completo, y los posibles casos, desde que se inicia un acceso de lectura de la memoria hasta que el dato queda disponible para la CPU y se completan todas las actividades asociadas.

Respuesta:

1. Se inicia el proceso de lectura de una determinada dirección de memoria.
2. A partir de la dirección de memoria se extrae la etiqueta, el conjunto y el desplazamiento.
3. Se accede al conjunto de la cache y dentro las dos posibles líneas correspondientes a éste se compara las etiquetas de los bloques de memoria almacenados con la etiqueta de la dirección que está siendo accedida.
4. Si se encuentra la etiqueta se produce un cache hit y se extrae de la línea coincidente el dato buscado usando el desplazamiento.
5. Si no se encuentra la etiqueta se produce un “cache miss”. Se realiza entonces el acceso a memoria para traer el bloque donde se encuentra el dato buscado y se aplica la política de reemplazo para decidir en qué línea dentro del conjunto se almacena el bloque leído. Se almacena el bloque en la línea determinada por la política (no es necesario escribir en memoria la línea reemplazada pues se usa write through como política de escritura). Por último, se utiliza el desplazamiento para obtener el dato buscado y entregarlo a la CPU.