

Departamento de Arquitectura Instituto de Computación
Universidad de la República
Montevideo - Uruguay

Notas de Teórico

Flip-Flops

Arquitectura de Computadoras
(Versión 4.3 - 2016)

7 FLIP-FLOPS

7.1 Introducción

En este capítulo comenzaremos a analizar los **circuitos secuenciales**, circuitos que, a diferencia de los combinatorios, determinan el valor de sus salidas no solo en función del valor actual de sus entradas sino que también en función de los valores anteriores de las mismas.

Comenzaremos por estudiar un caso particular de circuitos secuenciales: los Flip-Flops, para luego introducirnos al diseño de circuitos secuenciales con el caso particular de los circuitos contadores, para finalmente incursionar en el tema de Máquinas de Estado como herramienta de especificación y síntesis de circuitos secuenciales generales.

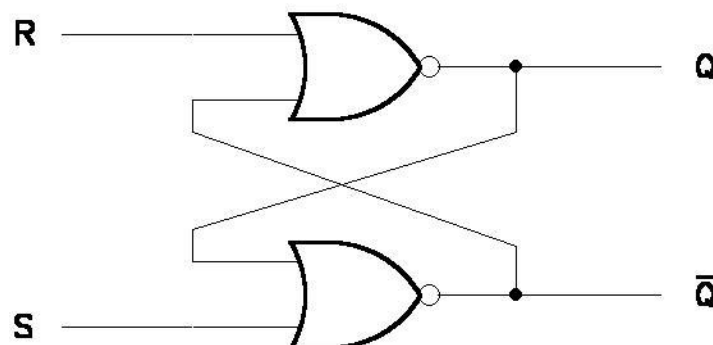
7.2 Flip-Flop

Como ya se adelantó el Flip-Flop es un caso particular de circuito secuencial y se lo puede ver como un "elemento de memoria", un circuito que tiene la capacidad de "recordar" un valor de la entrada previo al actual.

Existen distintos tipos de flip-flops como veremos a continuación.

7.2.1 Flip-Flop R-S Asíncrono (Latch)

El Flip-Flop (FF) R-S Asíncrono (también denominado Latch) es un circuito que tiene la forma:



Tiene dos salidas que se denominan Q y \bar{Q} (que anotaremos en adelante Q'), y dos entradas R y S (nombres determinados por sus características, que veremos al analizar el comportamiento del circuito).

Es sencillo comprobar que si los valores a la entrada son $R=1$ y $S=0$, entonces las salidas serán $Q=0$ y $Q'=1$. Esto es porque $R=1$ fuerza la salida del NOR de arriba a 0 y entonces ambas entradas del NOR de abajo serán 0 y su salida quedará en 1.

Por un razonamiento análogo se puede ver que si $R=0$ y $S=1$, entonces las salidas serán inversas, $Q=1$ y $Q'=0$.

Ahora si las entradas son $R=0$ y $S=0$, resulta que los valores de las salidas no quedan totalmente determinados, ya que tanto $Q=0$ y $Q'=1$ como $Q=1$ y $Q'=0$ son combinaciones válidas (notar que no son válidas $Q=Q'$, ya sea ambos 0 ó ambos 1, porque al ser $R=S=0$ las salidas quedan obligadas a ser complementarias por la topología del circuito). Para saber cual de las combinaciones de salidas se produce debemos analizar cuales eran los valores anteriores de R y S .

Si se llega a $R=S=0$ desde $R=1$ y $S=0$ resulta que las salidas serán $Q=0$ y $Q'=1$, pero si antes las entradas estaban en $R=0$ y $S=1$ al pasar a $R=S=0$ las salidas serán $Q=1$ y $Q'=0$. Esta propiedad permite afirmar que al pasar sus entradas a 0 el circuito "recuerda" cual fue la ultima entrada en 1. Este es el concepto de memoria asociado al hecho que la salida del circuito no depende solamente del valor actual de las entradas sino que también de los valores anteriores.

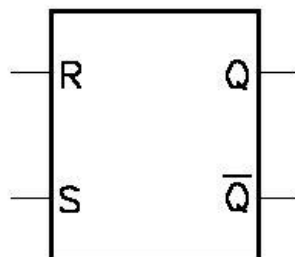
Queda por analizar el caso de las entradas $R=S=1$. En este caso las salidas son ambas 0 ($Q=Q'=0$) ya que ambos NORs tienen al menos una entrada en 1. Esto en principio no es problema. Pero si analizamos que pasa cuando las entradas dejan de ser ambas 1 veremos que aparece un problema con el comportamiento del circuito. Si R pasa de 1 a 0, mientras S permanece en 1, el circuito pasará a tener salidas $Q=0$, $Q'=1$. Si la que pasa a 0 es la entrada S , entonces las salidas pasan a $Q=1$, $Q'=0$. Pero, ¿qué pasa si ambas pasan simultáneamente a 0?. En ese caso el valor de las salidas no quedan determinados, pueden ser indistintamente $Q=1$, $Q'=0$ ó $Q=0$ y $Q'=1$ (notar que otra combinación es inválida para la topología del circuito). ¿Cuál de las dos combinaciones posibles será la que adopte el circuito?. En principio no se sabe, se trata de una indeterminación. En la práctica lo que sucede es que una de las entradas cambiará antes que la otra (aunque sea por un tiempo sumamente pequeño de diferencia), por lo que estaremos en uno de los casos anteriores.

El problema es que a todos los efectos el comportamiento en este caso sigue siendo indeterminístico y por tanto la combinación $R=S=1$ es "prohibida" (se debe evitar su aparición a la entrada de un latch tipo R-S).

La tabla de verdad de este circuito se representa de la siguiente forma:

R	S	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	-

Por su parte el símbolo que se utiliza para representar el bloque de circuito es:



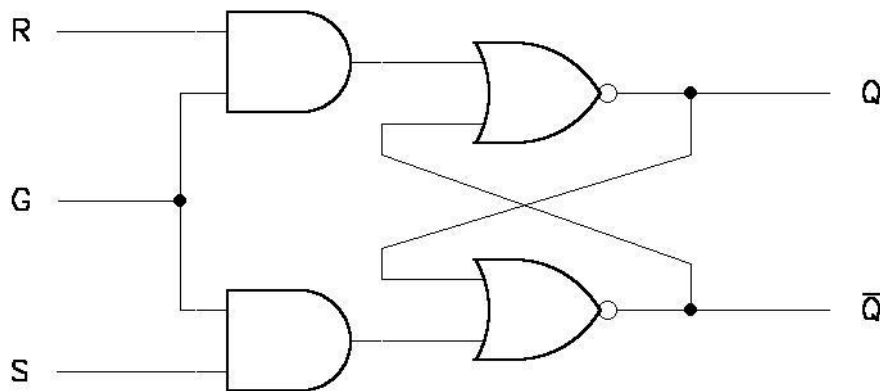
7.2.2 Flip-Flop R-S Sincrónico

Uno de los problemas que se presentan al intentar utilizar este tipo de circuitos como elementos de memoria es el hecho que las funciones que generan los valores de las señales R y S pueden variar en momentos no deseados y el flip-flop responderá a esos cambios según su tabla de verdad.

Para evitar esta situación se introduce una señal de sincronismo para el circuito (la habilitación ó el reloj) que indicará cuando son válidos los valores de R y S y cualquier otra

señal significativa para el circuito completo. Esta entrada de control puede actuar de distintas maneras como veremos más adelante.

El circuito interno de un flip-flop R-S sincrónico es:



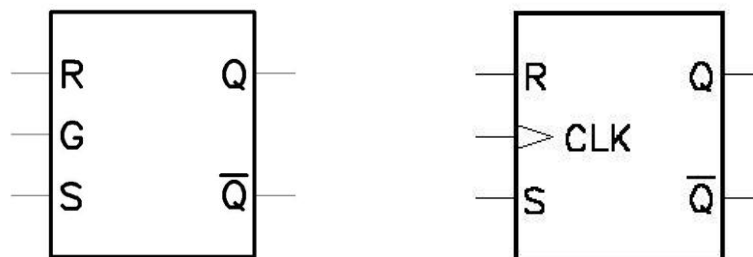
Cuando la entrada de control (G en el esquema) está en 1, las entradas R y S aparecen a la entrada de los NOR, pero si la entrada de control está en 0 entonces las entradas asociadas en los NOR serán 0, lo que asegura que las salidas del flip-flop se mantendrán incambiadas por más que los valores de R y/o S puedan cambiar.

En este caso donde las entradas se consideran mientras la entrada de control esté en 1, se dice que el sistema trabaja "por nivel", ya que lo que interesa es el estado de la señal de control: si vale 1 entonces el resto de las señales serán válidas y si vale 0 no lo serán. Esta modalidad de funcionamiento se denomina "control por compuerta", "control por habilitación" ó "control por nivel".

El otro caso corresponde a un circuito donde lo que interesa es la transición de 0 a 1 de la entrada de control. En este caso se dice que se trabaja con un "reloj (clock) por flanco".

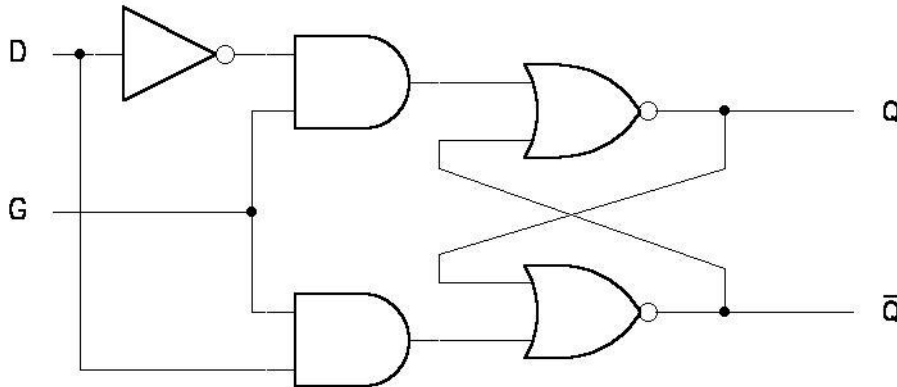
Normalmente en el curso trabajaremos con flip-flops R-S que funcionan en la modalidad "por nivel" (habilitación, señal G), mientras que en los restantes flip-flops lo habitual será trabajar con los dispositivos que funcionan en modalidad "por flanco" (reloj ó clock, señal CLK).

Los símbolos de este flip-flop son:



7.2.3 Flip-Flop D

Este flip-flop puede verse como una variante del flip-flop R-S, que tiene el siguiente circuito interno (en la modalidad de control por nivel):



Este circuito se comporta como el R-S para cuando sistemáticamente R y S toman los mismos valores. Es decir que las únicas combinaciones válidas son $R=S=D=0$ ó $R=S=D=1$.

Esto lleva a que la tabla de verdad de un flip-flop de este tipo es:

D	Q_{n+1}
0	0
1	1

Y su ecuación característica es:

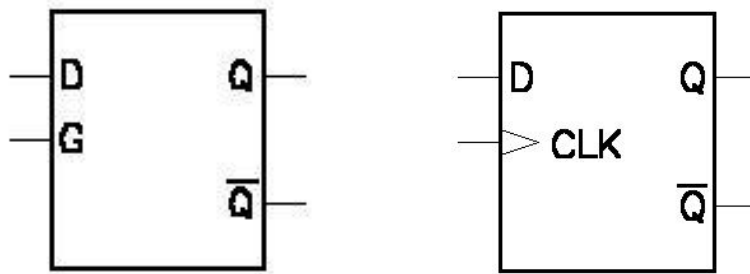
$$Q_{n+1} = D_n$$

En otras palabras lo que indica la ecuación característica o su tabla de verdad equivalente es que el nuevo valor de la salida Q (identificado con el subíndice $n+1$) corresponde al valor actual de la entrada D (identificado con el subíndice n).

Para ser más precisos: en el caso de los flip-flops con entrada de control por nivel, el nuevo valor de la salida corresponde al valor de la entrada D mientras la señal de control (G) está en 1. Mientras la señal de control G está en 0 la salida mantiene el valor de la entrada D inmediatamente antes de la transición de 1 a 0 de la entrada G .

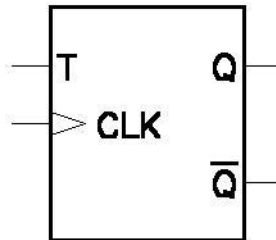
En el caso de los flip-flops con entrada de control por flanco, el nuevo valor de la salida corresponde al valor de la entrada D al momento de la transición de la entrada de reloj (CLK) de 0 a 1 (es decir el "flanco ascendente"). Este nuevo valor de la salida es adoptado inmediatamente después de ocurrido dicho flanco.

Los símbolos de este flip-flop son:



7.2.4 Flip-Flop T

Este flip-flop tiene el siguiente símbolo:



y la siguiente ecuación característica:

$$Q_{n+1} = Q_n T' + Q_n' T$$

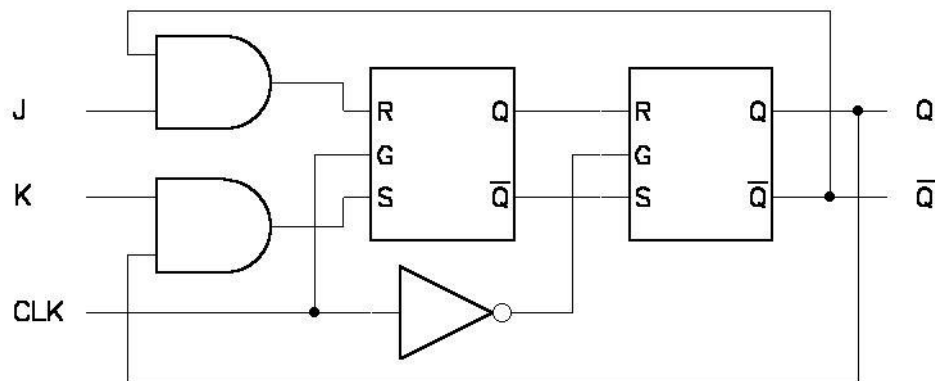
que corresponde a la siguiente tabla de verdad reducida:

T	Q _{n+1}
0	Q _n
1	Q' _n

Notar que tanto la tabla como la ecuación describen un circuito que o bien mantiene su salida incambiada en el tiempo (cuando T = 0) o bien la invierte en cada flanco (ascendente) de su entrada de control (cuando T = 1).

7.2.5 Flip-Flop J-K

Este flip-flop busca resolver definitivamente el problema del flip-flop R-S. Consiste en dos flip-flops R-S sincrónicos por nivel conectados en "cascada" y realimentados de la siguiente manera:



Analicemos el comportamiento de este circuito para deducir tabla de verdad y su ecuación característica.

Lo primero a resaltar del circuito es que la entrada de habilitación del segundo FF es negada respecto al primero. Esto implica que las entradas al segundo FF no cambiarán mientras su entrada de control esté en 1, ya que son las salidas del primer FF cuya entrada de habilitación está, por consiguiente, en 0.

Veamos ahora el comportamiento de las distintas combinaciones de valores de las entradas J y K.

Si las entradas J y K están ambas en 0 el primer FF tendrá sus entradas R y S en 0. Esto significa que dicho FF mantendrá sus salidas incambiadas. Por tanto las entradas al segundo FF se mantendrán o bien en $R = 0, S = 1$ ó bien en $R = 1, S = 0$, forzando en ambos casos la salida a un valor determinado y que, por tanto, también permanece incambiado.

Si la entrada J está en 0 y la entrada K está en 1 resulta que la entrada R del primer FF está en 0 y la entrada S coincide con el valor de la salida Q del segundo FF.

Notar que esto produce el siguiente efecto: si Q (segundo FF) = 0, entonces S (primer FF) = 0 y por tanto se mantiene el valor y nada cambia por lo que Q (segundo FF) queda en 0. Pero si Q (segundo FF) = 1, entonces S (primer FF) = 1, lo que provoca que Q (primer FF) pase a 1 y esto representa un 1 en la entrada R (segundo FF) lo que lleva la salida Q (segundo FF) a 0.

Ahora si suponemos J en 1 y K en 0, resulta que la entrada S del primer FF está en 0 y la entrada R coincide con el valor de la salida Q' (Q negada) del segundo FF.

Esto produce el siguiente efecto: si Q (segundo FF) = 1 entonces Q' (segundo FF) = 0 y por tanto R (primer FF) = 0 y entonces se mantienen todos los valores. Pero si Q (segundo FF) = 0 entonces Q' (segundo FF) = 1 y por tanto la entrada R (primer FF) queda en 1 provocando un "Reset" que lleva Q (primer FF) a 0, Q' (primer FF) a 1 y como consecuencia la salida Q (segundo FF) pasará a 1.

Finalmente si consideramos el caso $J = K = 1$ resulta que las entradas R y S del primer FF serán coincidentes con Q' y Q del segundo FF. Notar que esto implica que R y S del primer FF son opuestas y, por tanto, tampoco en este caso pueden llegar a adoptar la combinación prohibida de ambos valores en 1.

Si Q (segundo FF) = 0, con lo que Q' (segundo FF) = 1, resulta R (primer FF) = 1 y S (primer FF) = 0 por lo que la salida Q (primer FF) pasa a 0, lo que hace que las entradas R y S del segundo FF queden en $R = 0, S = 1$ y esto produce que Q (segundo FF) pase a 1.

Si por el contrario Q (segundo FF) = 1, y por tanto Q' (segundo FF) = 0, resulta R (primer FF) = 0 y S (primer FF) = 1 y esto lleva Q (primer FF) a 1, lo que a su vez implica R (segundo FF) = 1 y S (segundo FF) = 0, que termina generando una salida Q (segundo FF) = 0.

Por tanto el efecto neto cuando $J = K = 1$ es que el flip-flop complementa su salida.

Si escribimos todas estas relaciones en una tabla de verdad resulta:

J	K	Q_{n+1}	
		n	1
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Si minimizamos Q_{n+1} queda:

$Q_n \setminus JK$	00	01	11	10
0			1	1
1	1			1

Por lo que la ecuación característica del flip-flop J-K es:

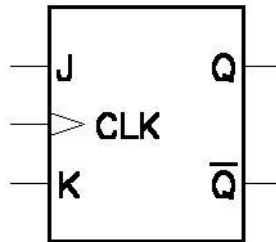
$$Q_{n+1} = JQ'_n + K'Q_n$$

Así mismo se puede escribir su tabla de verdad en forma reducida de la siguiente forma:

J	K	Q_{n+1}
		1
0	0	Q_n
0	1	0
1	0	1
1	1	Q'_n

Notemos que en este caso el funcionamiento del flip-flop respecto a su entrada de control es siempre del tipo "sincrónico por flanco", ya que por más que CLK esté en 1 y las entradas cambien, las salidas no acompañan ese cambio. Las salidas sólo responden al valor de las entradas al momento del flanco descendente de la entrada de control (cuando pasa de 1 a 0, en realidad el valor existente inmediatamente antes de iniciar el cambio). Si quisiéramos tener un flip-flop J-K con control por flanco ascendente (transición de 0 a 1 de la entrada de reloj) bastaría con agregar una compuerta NOT a la entrada CLK).

El símbolo de este flip-flop es:



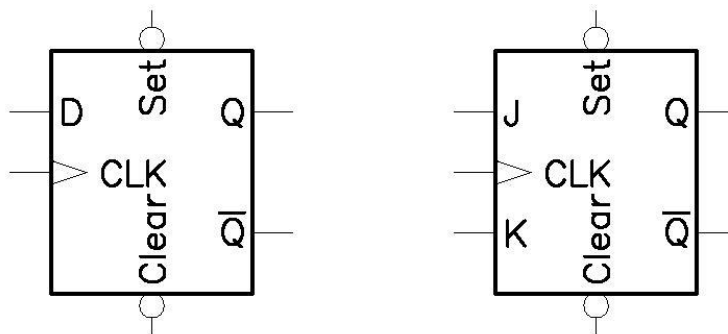
El flip-flop J-K es denominado muchas veces el **flip-flop universal**, ya que con él se pueden "emular" los demás flip-flops:

- **R-S:** si hacemos $J = S$ y $K = R$ resulta un R-S con la ventaja de aceptar la combinación $R=S = 1$.
- **D:** si hacemos $K' = J = D$, se comporta como un D (verificarlo en la tabla de verdad reducida)
- **T:** si hacemos $K = J = T$, se comporta como un T

7.2.6 Entradas de Set y Clear

Las implementaciones prácticas de los flip-flops sincrónicos con activación por flanco usualmente disponen de dos entradas de control adicionales las cuales actúan en forma asíncrona (actúan por nivel) y sirven para poner a 1 (Set ó Preset) ó a 0 (Clear) el circuito.

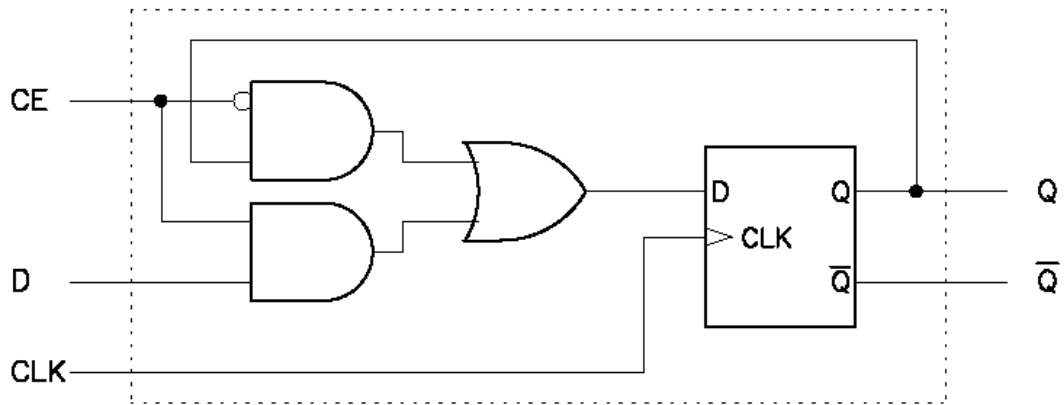
Los símbolos de estos flip-flops con entradas asíncronas son:



7.2.7 Entrada de Clock Enable

Especialmente para el caso de los flip-flops D usados como "bits de memoria" surge el problema de cómo almacenar en el FF solamente cuando interesa y no cada vez que el reloj genera un flanco, ya que normalmente se usa un reloj de onda cuadrada que cambia constantemente.

Una solución posible sería hacer un AND a la entrada de CLK del FF entre el reloj del sistema y una señal de activación que pase a "alto" cuando interesa escribir el valor en el flip-flop. Esto potencialmente genera problemas de falsos pulso de reloj aplicados al flip-flop si esta señal de activación no está perfectamente sincronizada con el reloj general. Para ello algunos flip-flops implementan una entrada adicional llamada **Clock Enable**, que funciona como un habilitador de la señal del clock hacia dentro del flip-flop, aunque en realidad la implementación interna más común está esquematizada por el circuito:



Los símbolos que se utilizan para este tipo de flip-flops son:

