

# CIRCU. INTEG. DIG.

15/6/2020

⊗ Niveles lógicos a la salida  
( $V_{OL}$ ,  $V_{OH}$ )

⊗ "niveles lógicos" a la entrada, máximos  
de ruido:  $V_{IL}$ ,  $V_{IH}$ ,  $NM_L$ ,  $NM_H$ .

⊗ Velocidad / retardo:  $t_{PHL}$ ,  $t_{PLH}$ ,  $t_P$

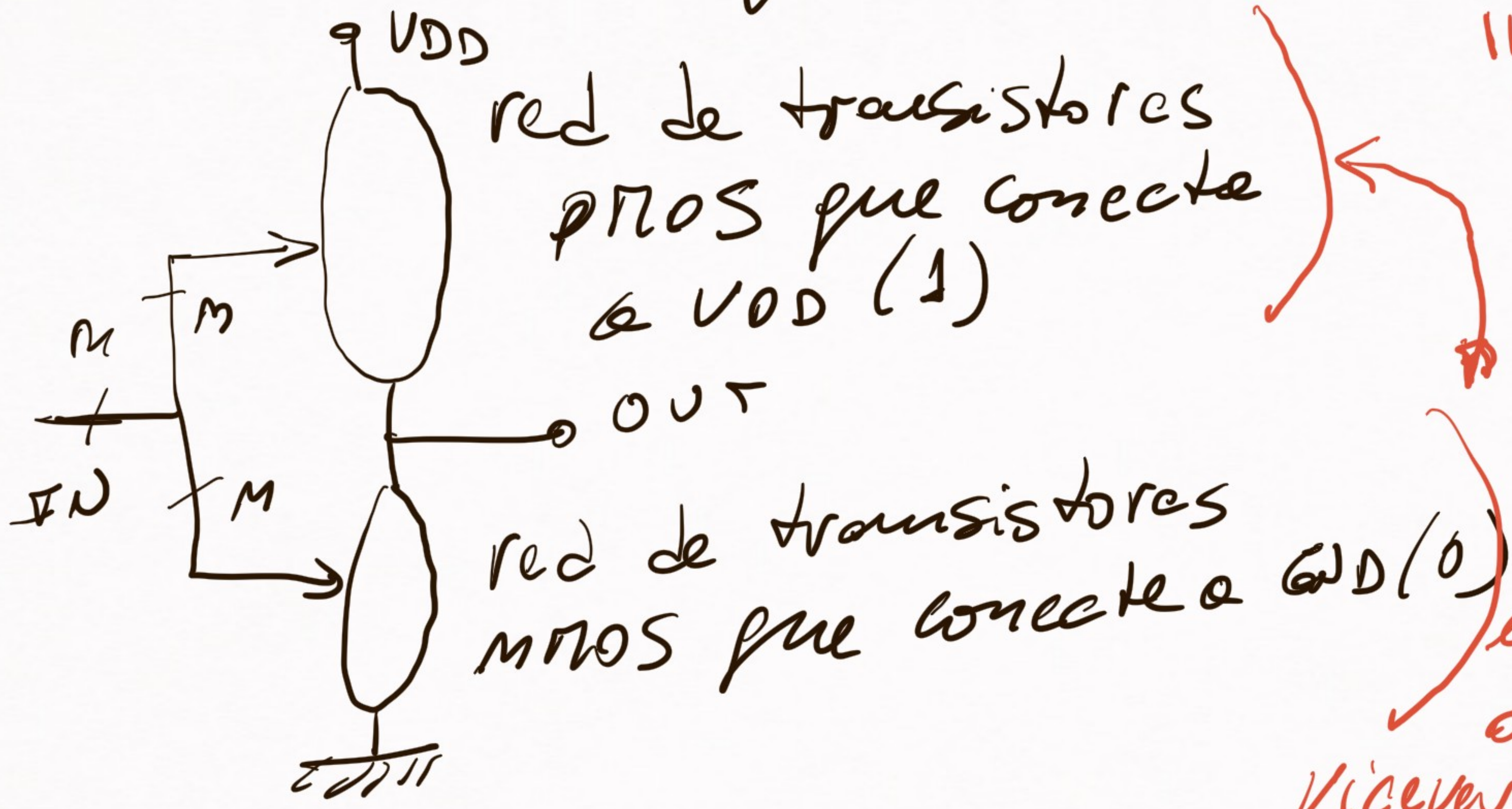
⊗ Consumo:

- consumo estático
- consumo dinámico (debido a  $C_L$ )
- consumo por camino directo  $V_{DD} - V_{SS}$ .

ej. caso  
inv. CMOS

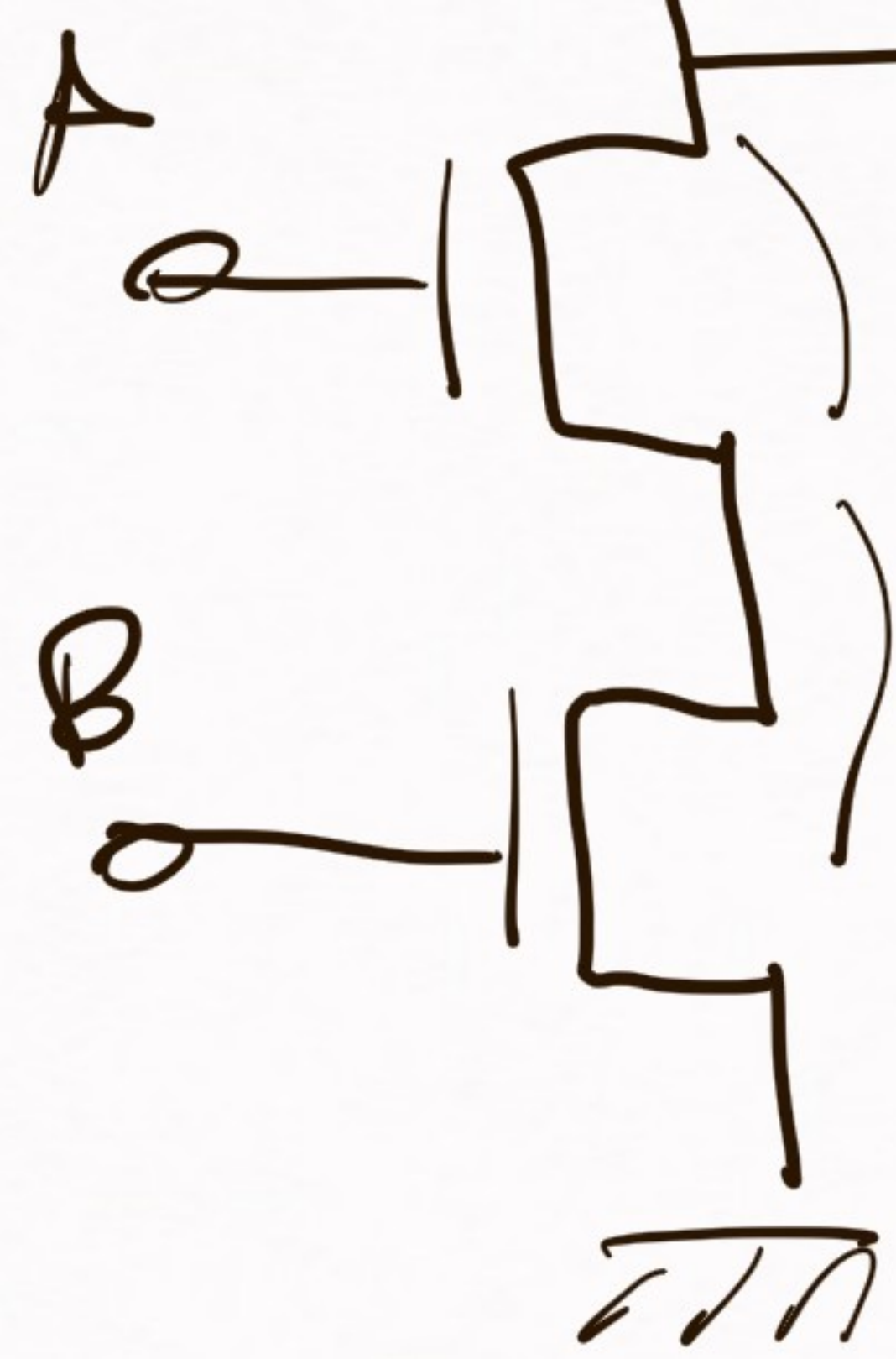
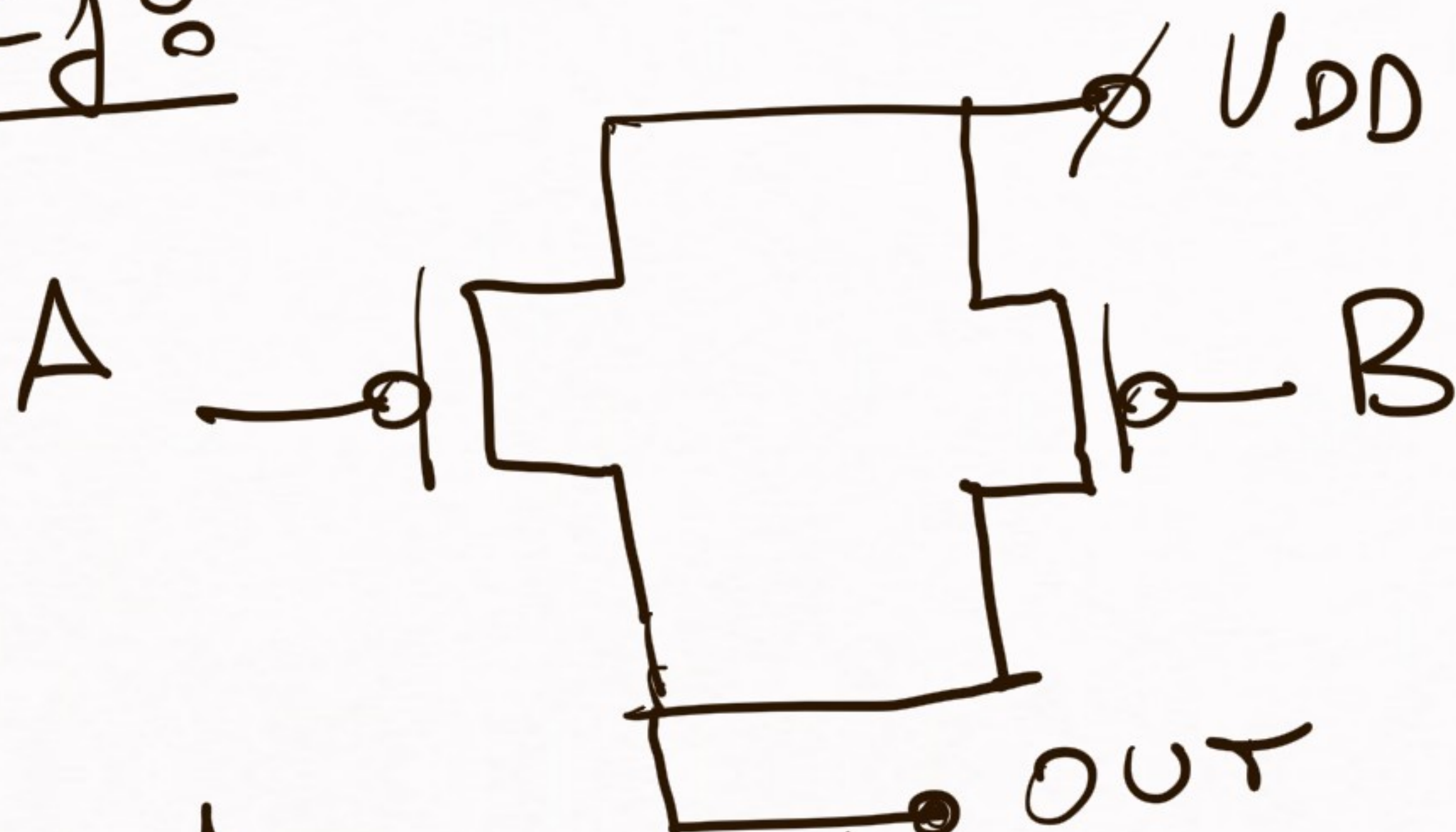
# CONVERTA CMOS

↓ estilo (el más difundido):  
 lógica CMOS "estática"  
 "inversor generalizado"



"dualidad"  
 ↓  
 lo que está en serie en una está en paralelo en la otra y viceversa.

Ex 10



la seule forme

de tener

$$OUT = 0$$

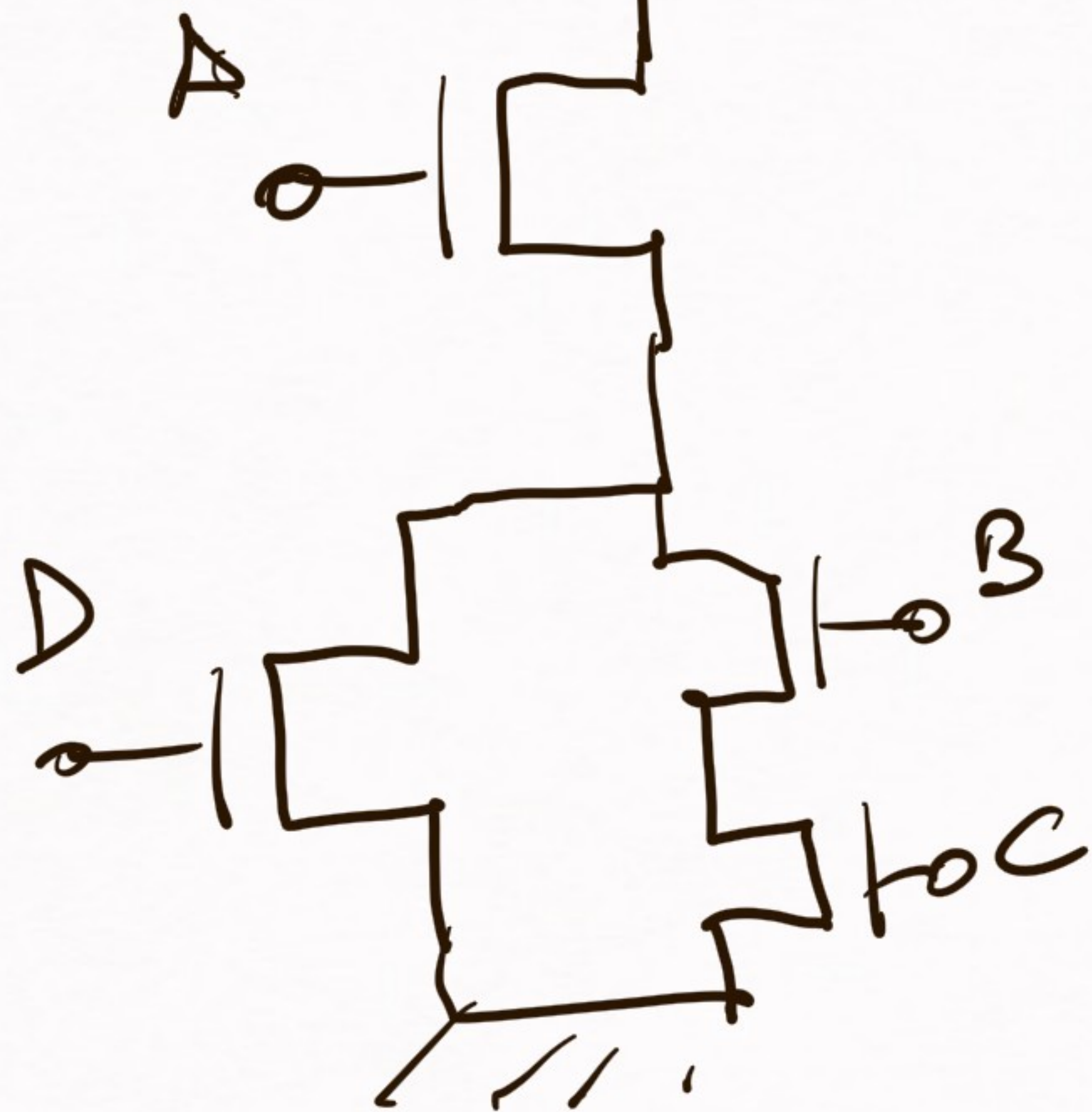
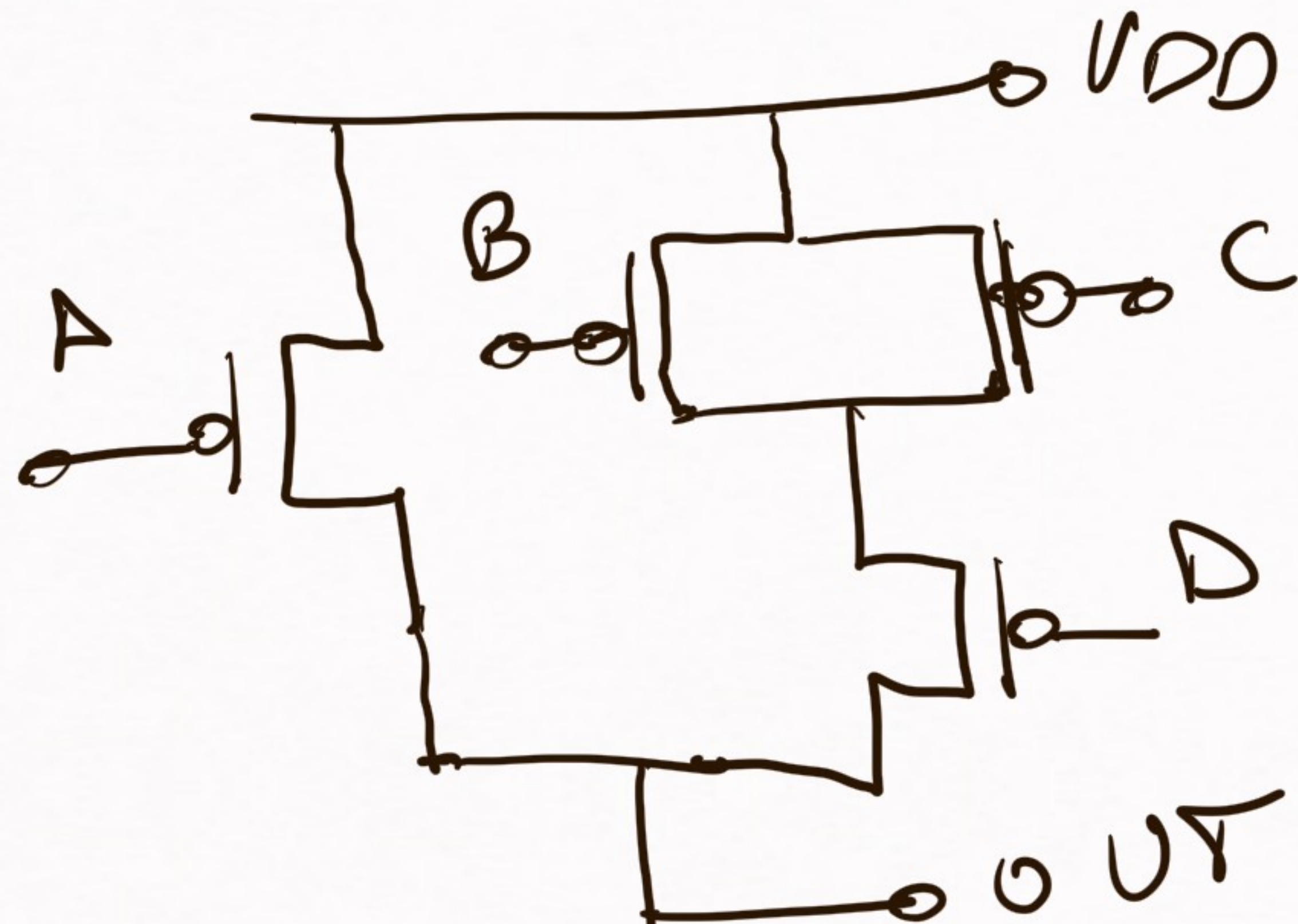
$$\Leftrightarrow A = B = 1$$

$$\Rightarrow OUT = \overline{A \cdot B}$$

NAND

(o alternativamente

$$OUT = 1 \text{ si } A = 0 \text{ o } B = 0$$

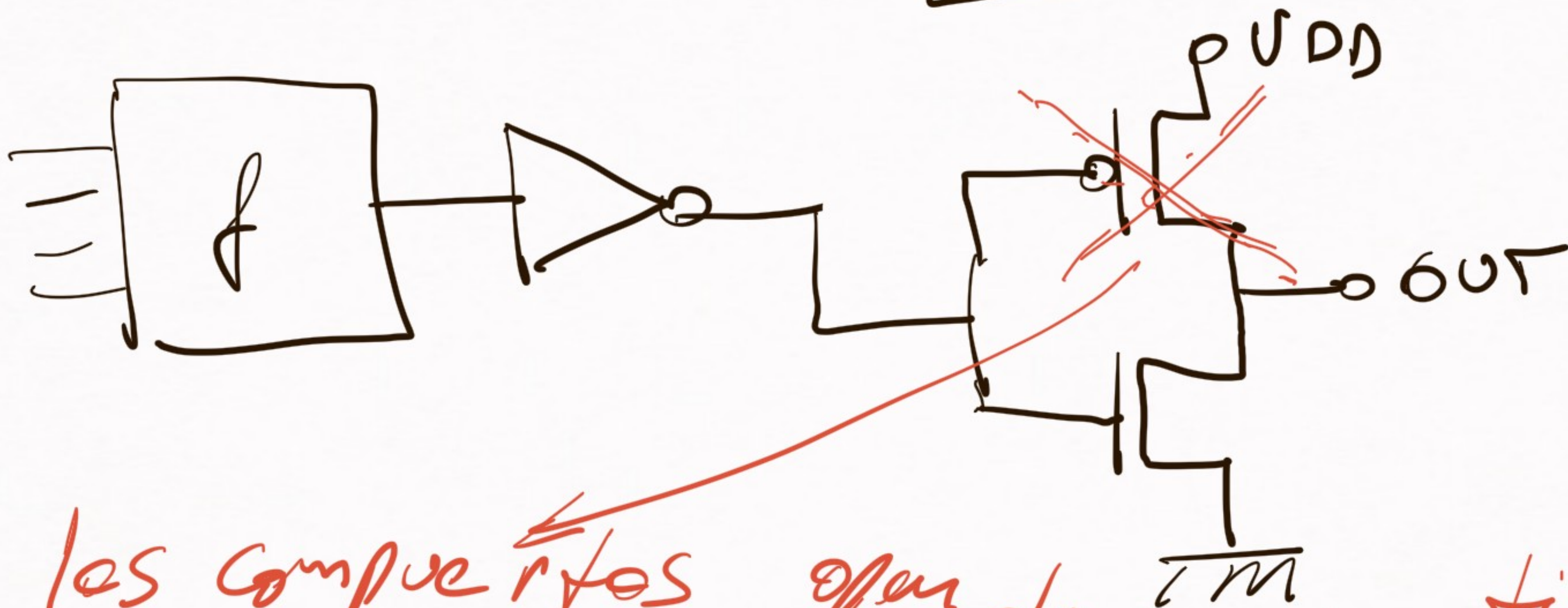
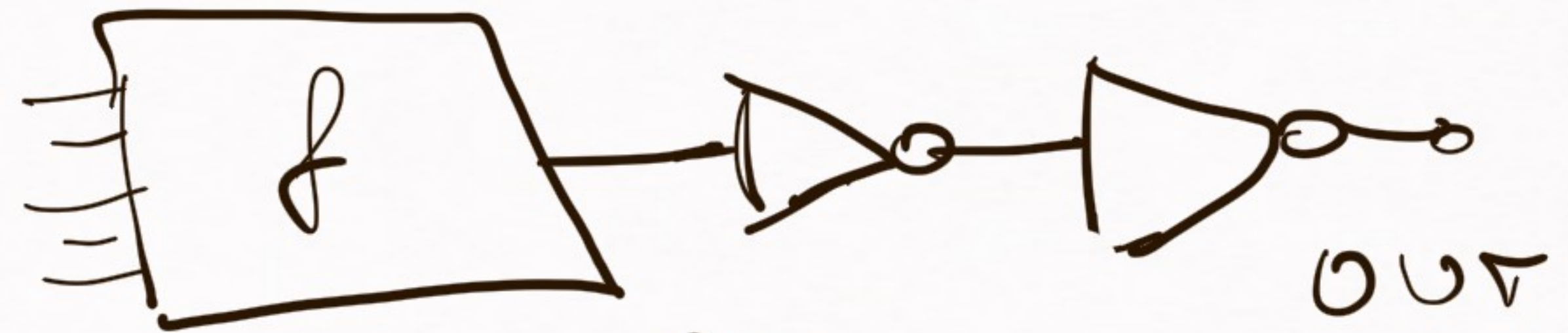


$$OUT = \overline{A} + (\overline{D} \cdot (\overline{B} + \overline{C}))$$

# TIPOS ESPECIALES DE COMPUTERTAS

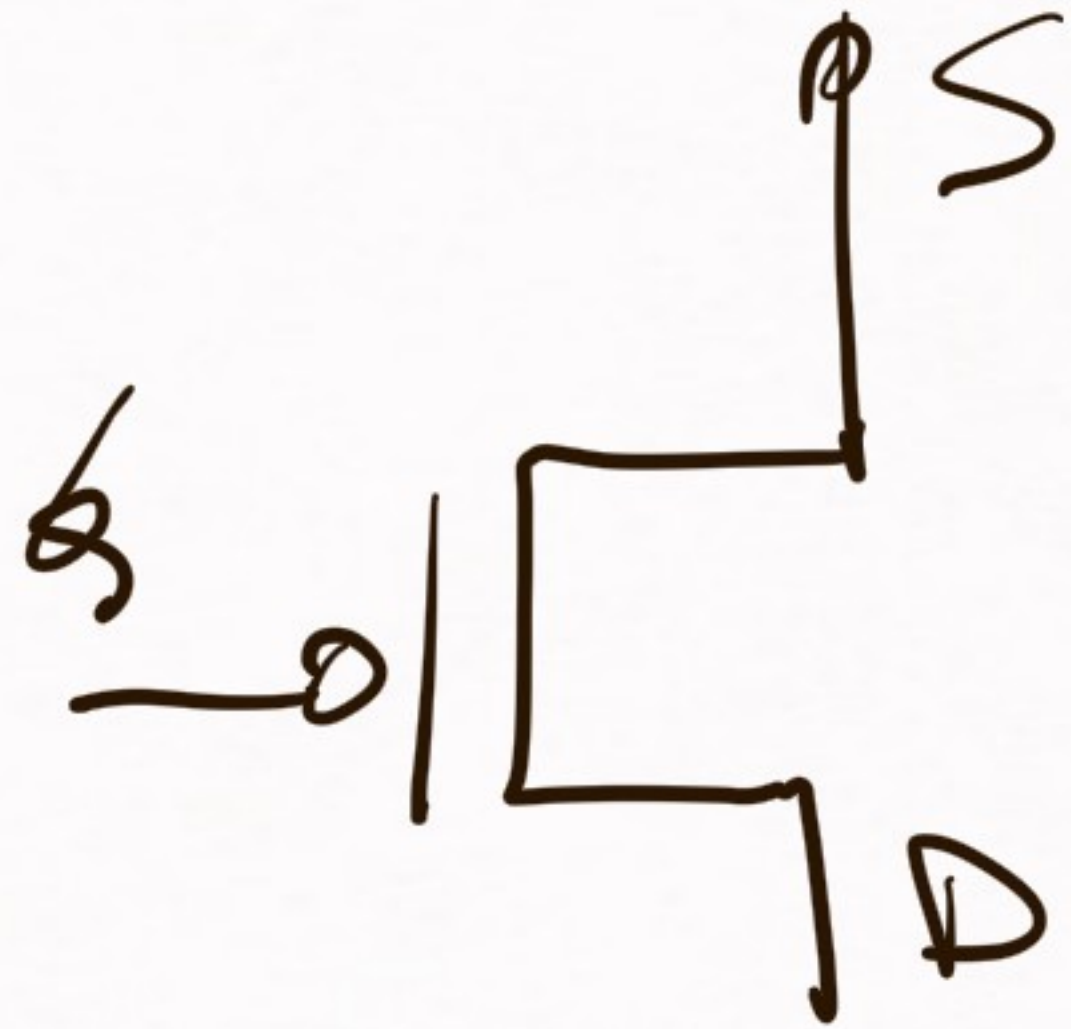
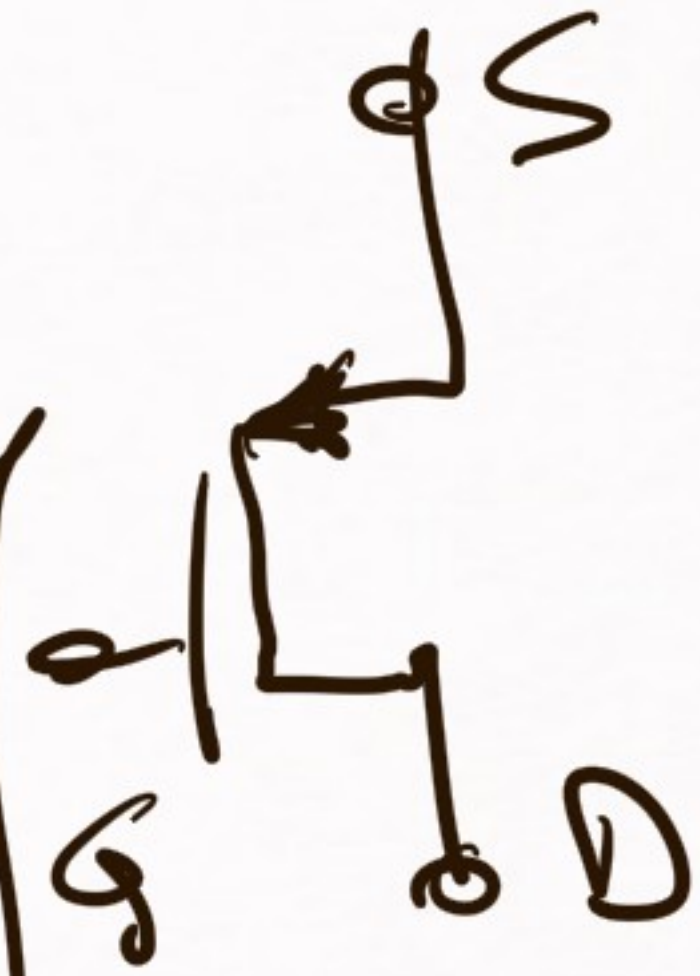
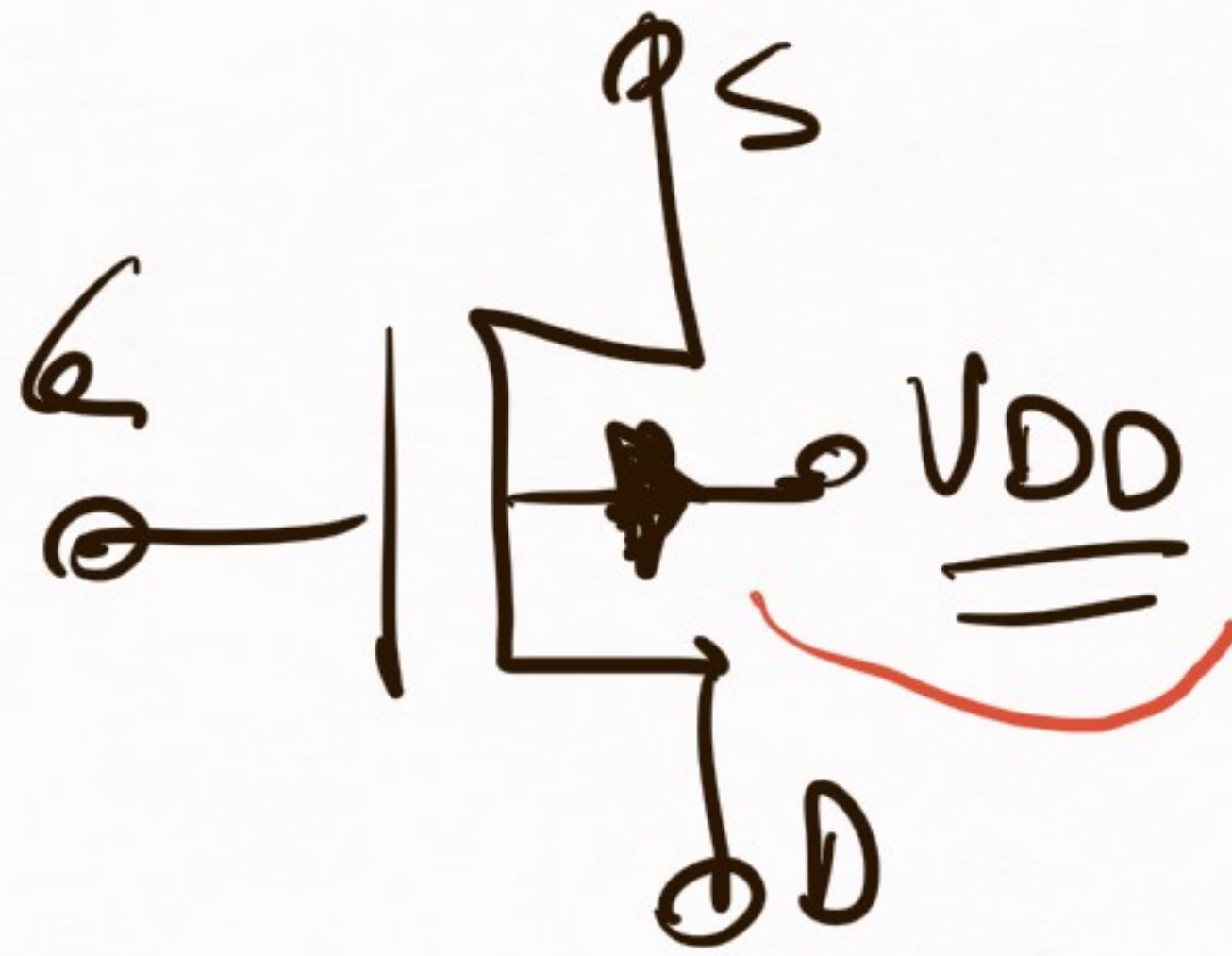
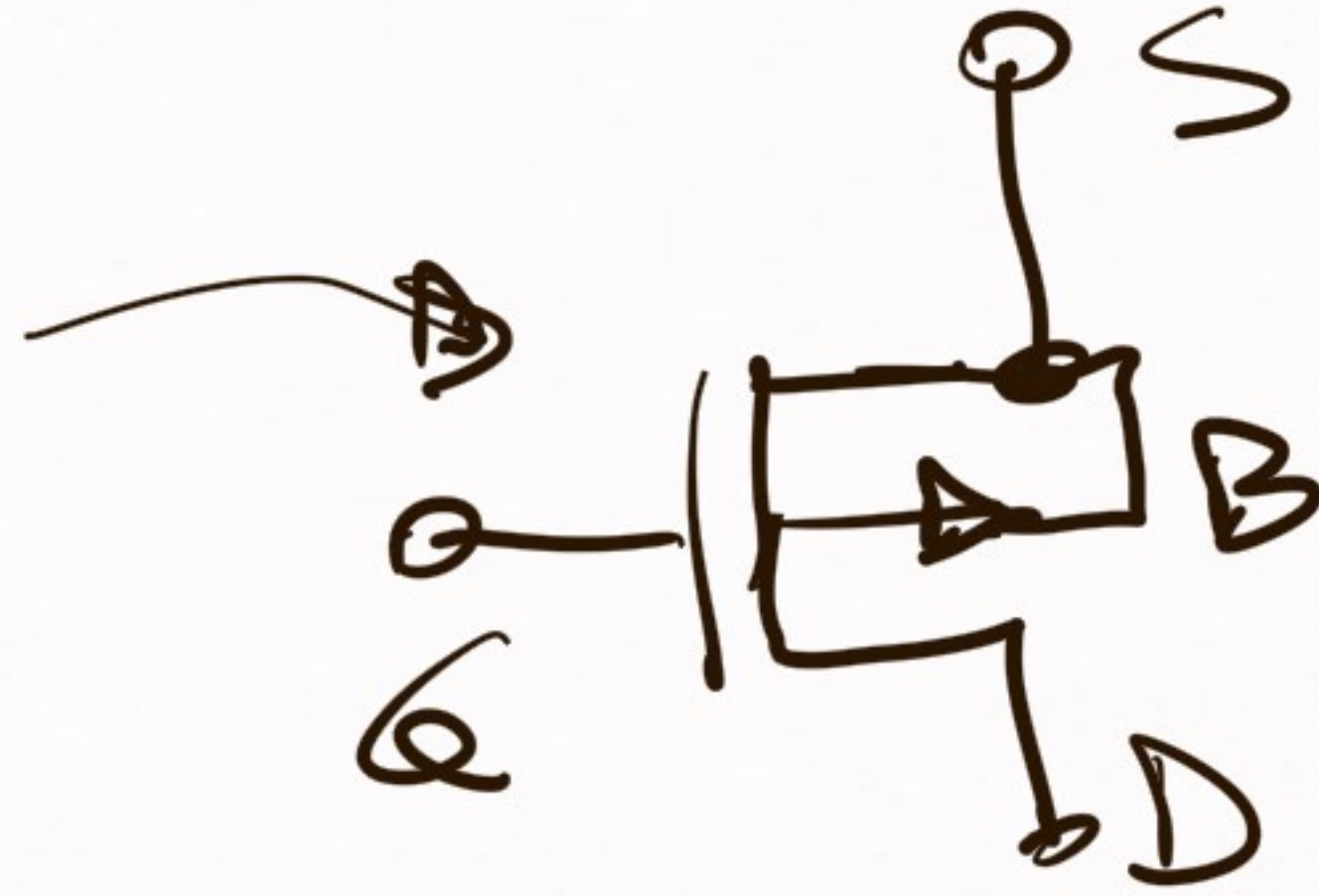
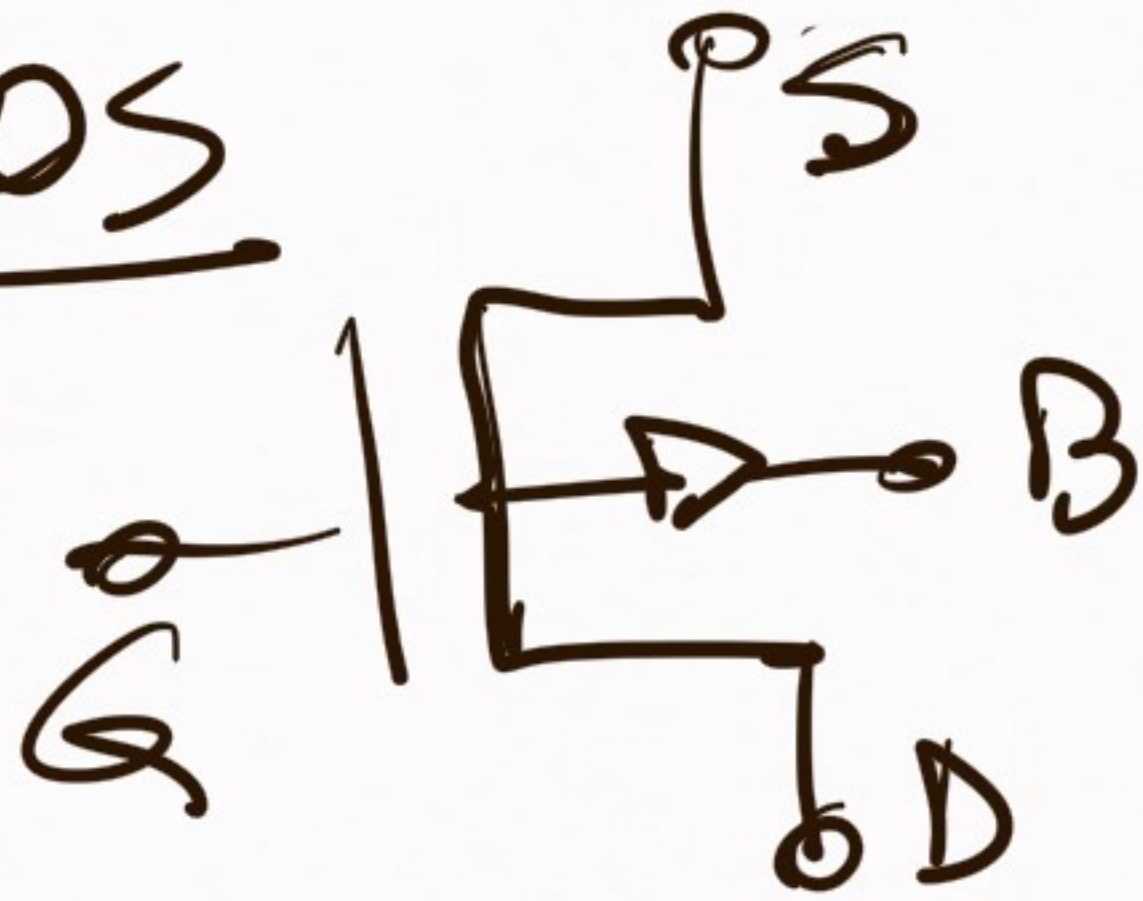
- 1) Open drain (o open collector)
- 2) Tri-state. (so lida de 3er estado)

1) Open drain:

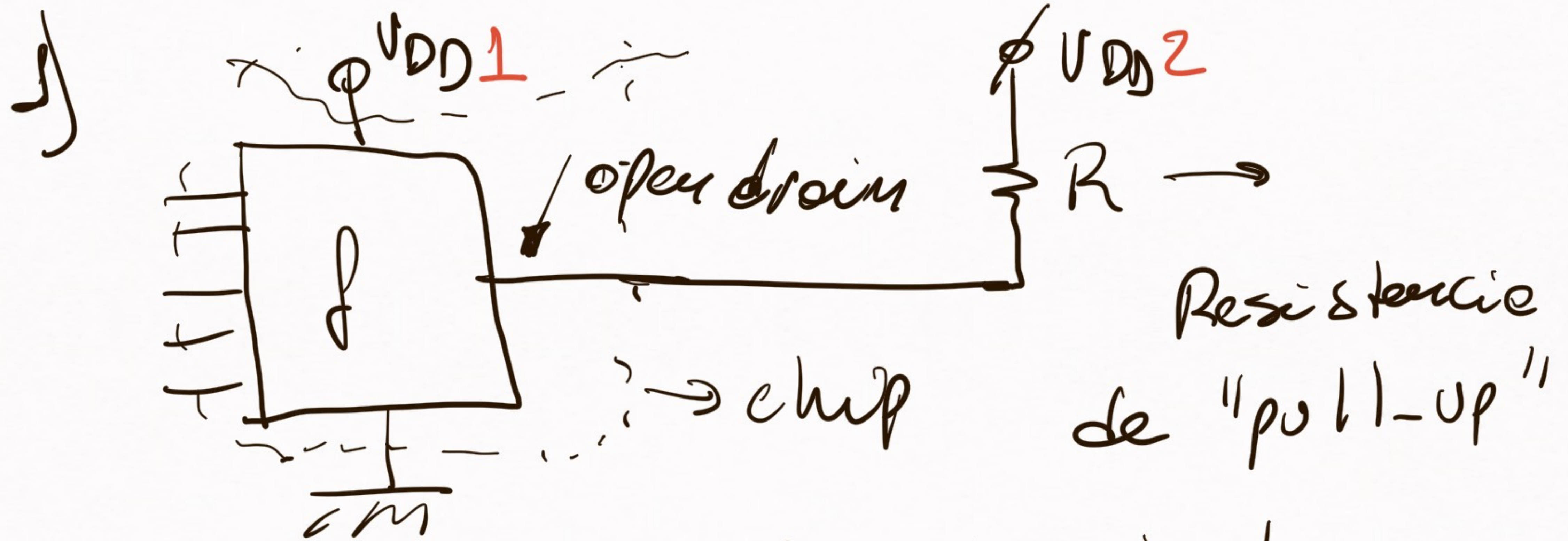


los computadores open drain no tienen este transistor para

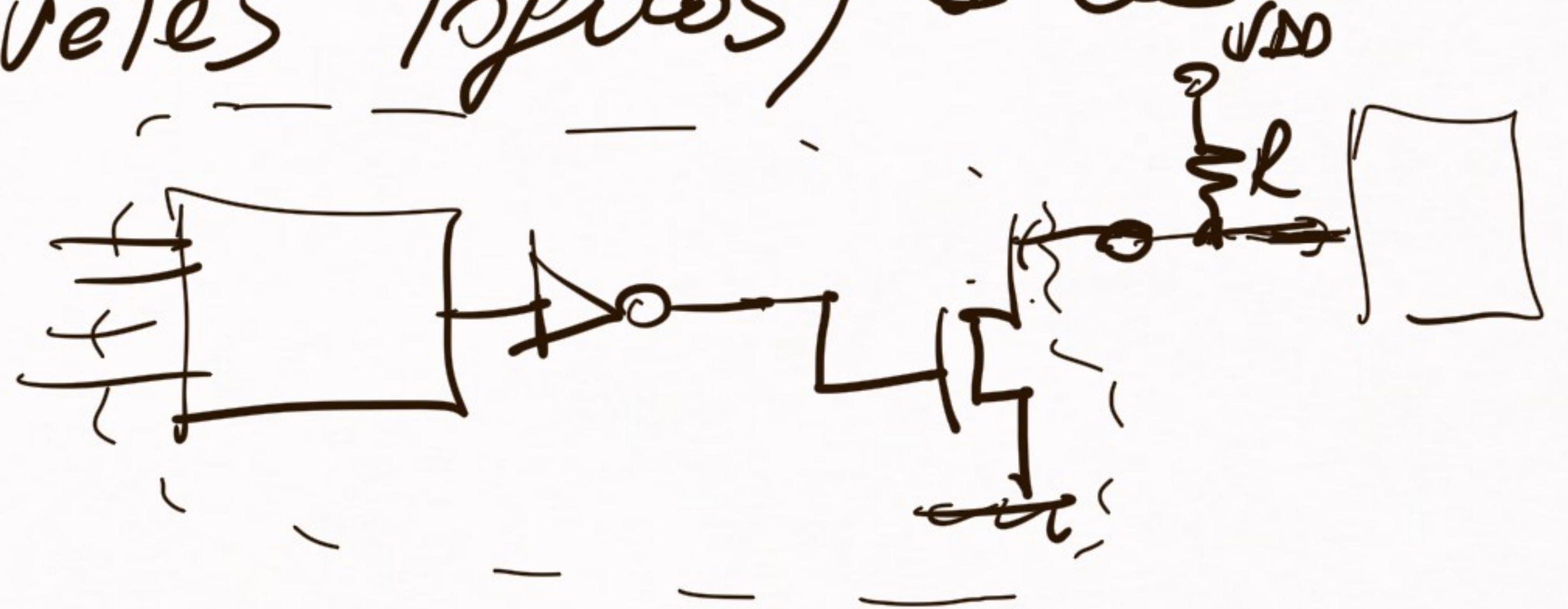
PMOS  
Activación.



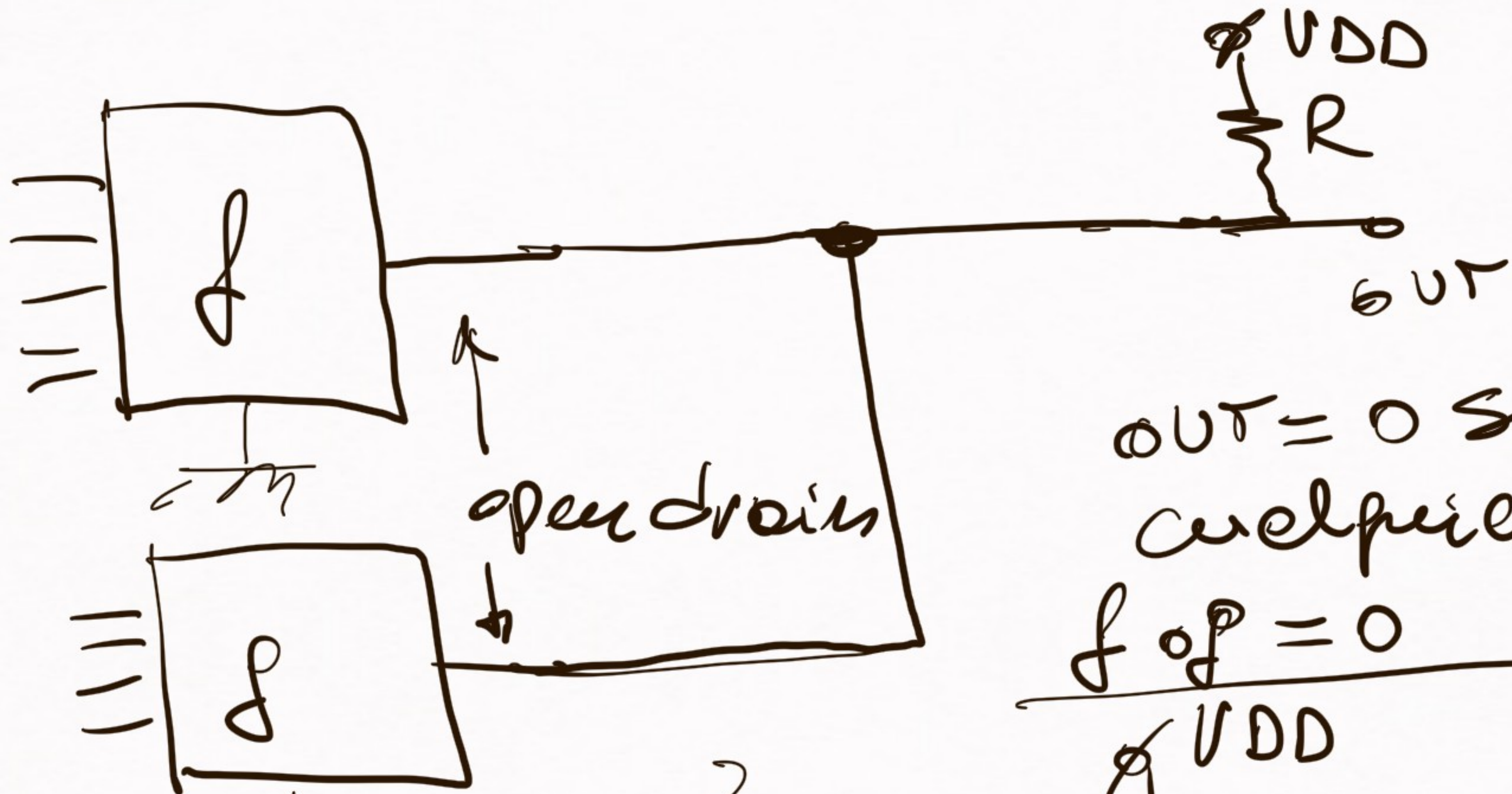
# Aplicaciones de salidas open drain.



→ Conversión de niveles de tensión (niveles lógicos) a la salida.



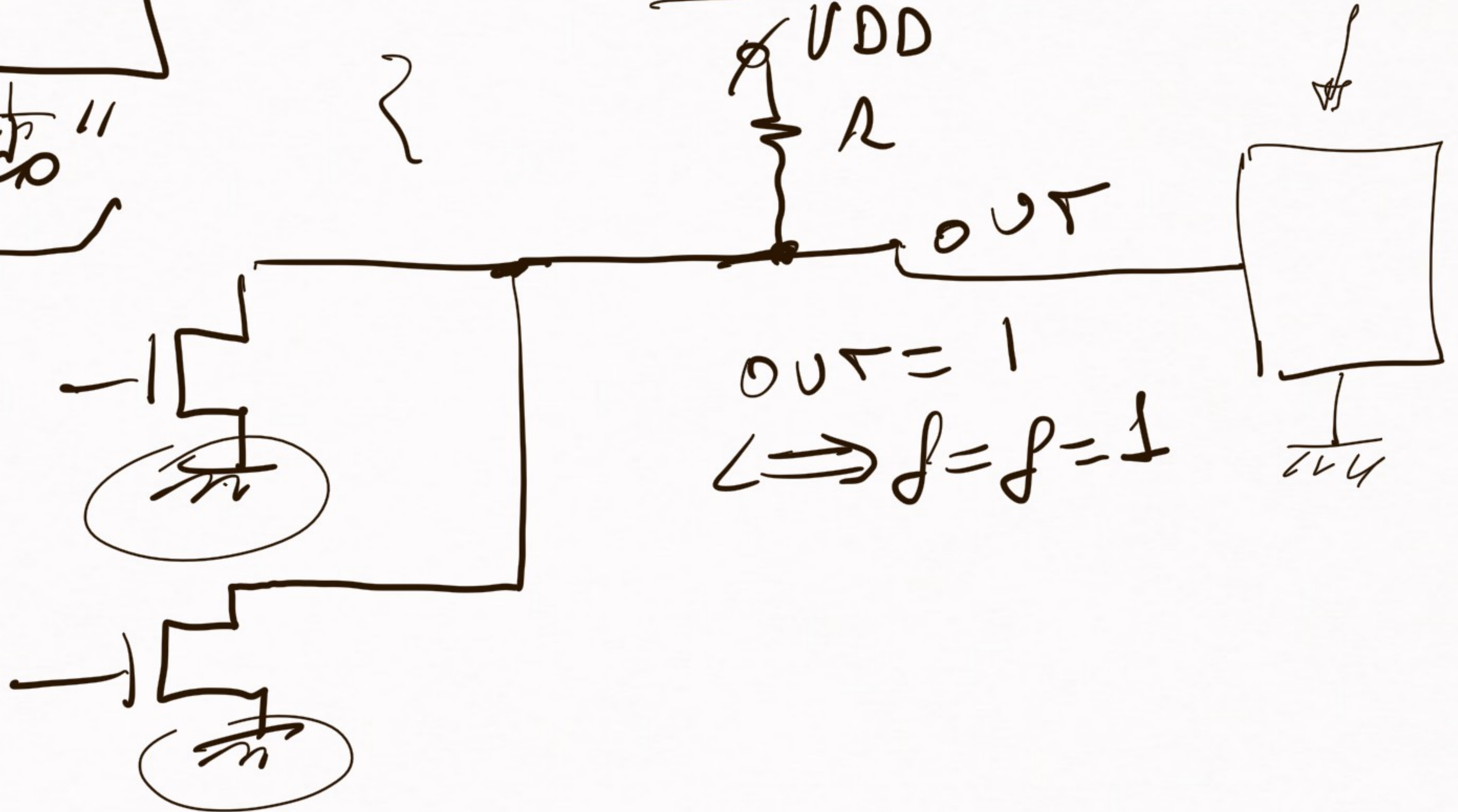
2)



↑ open drain

$OUT = 0$  si  
cualquiera de  
 $f \text{ o } p = 0$

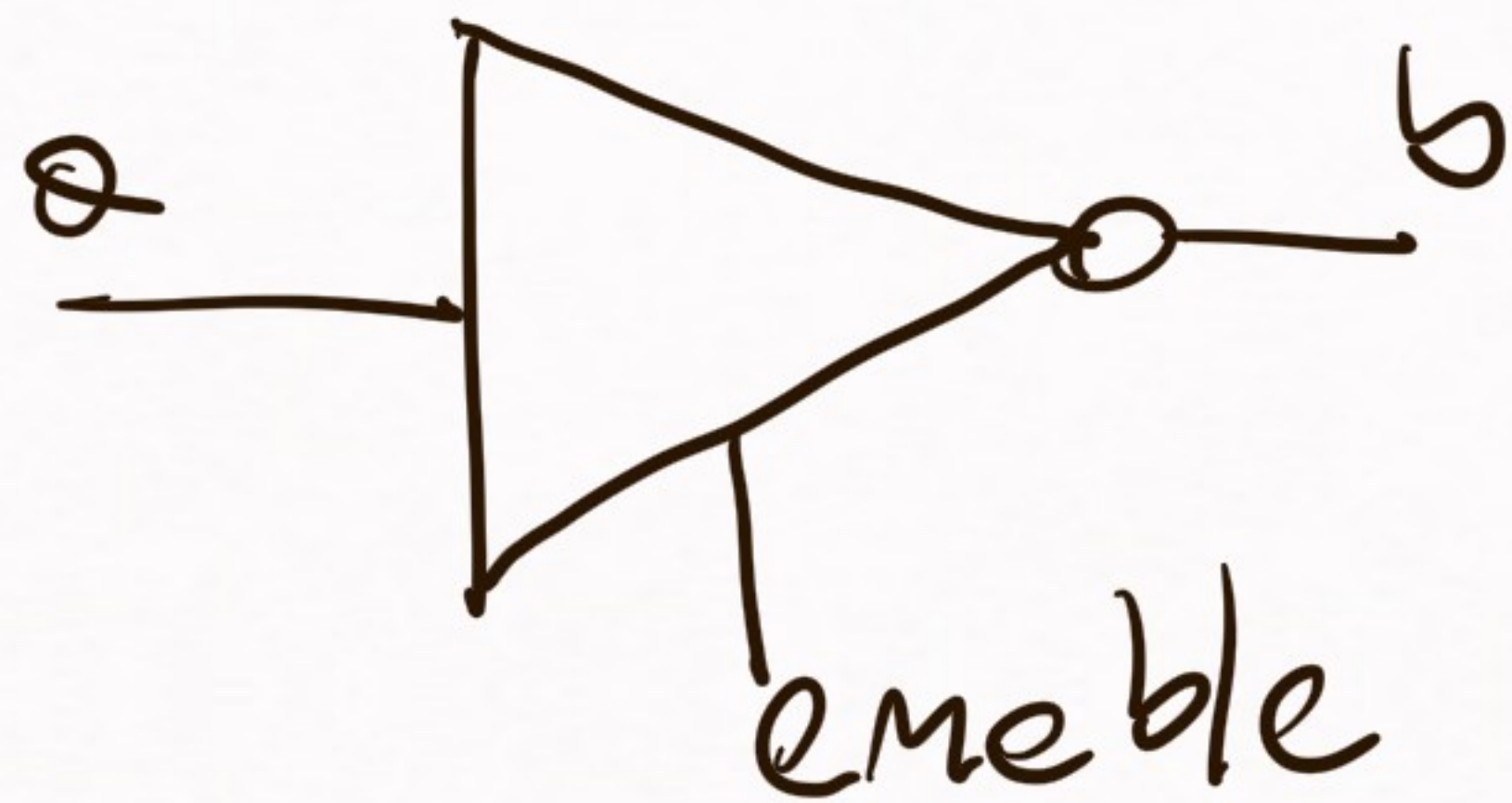
"AND cableado"



$OUT = 1$   
 $\iff f = p = 1$



## 2) Componentes Tri-state (3er estado)



enable

1

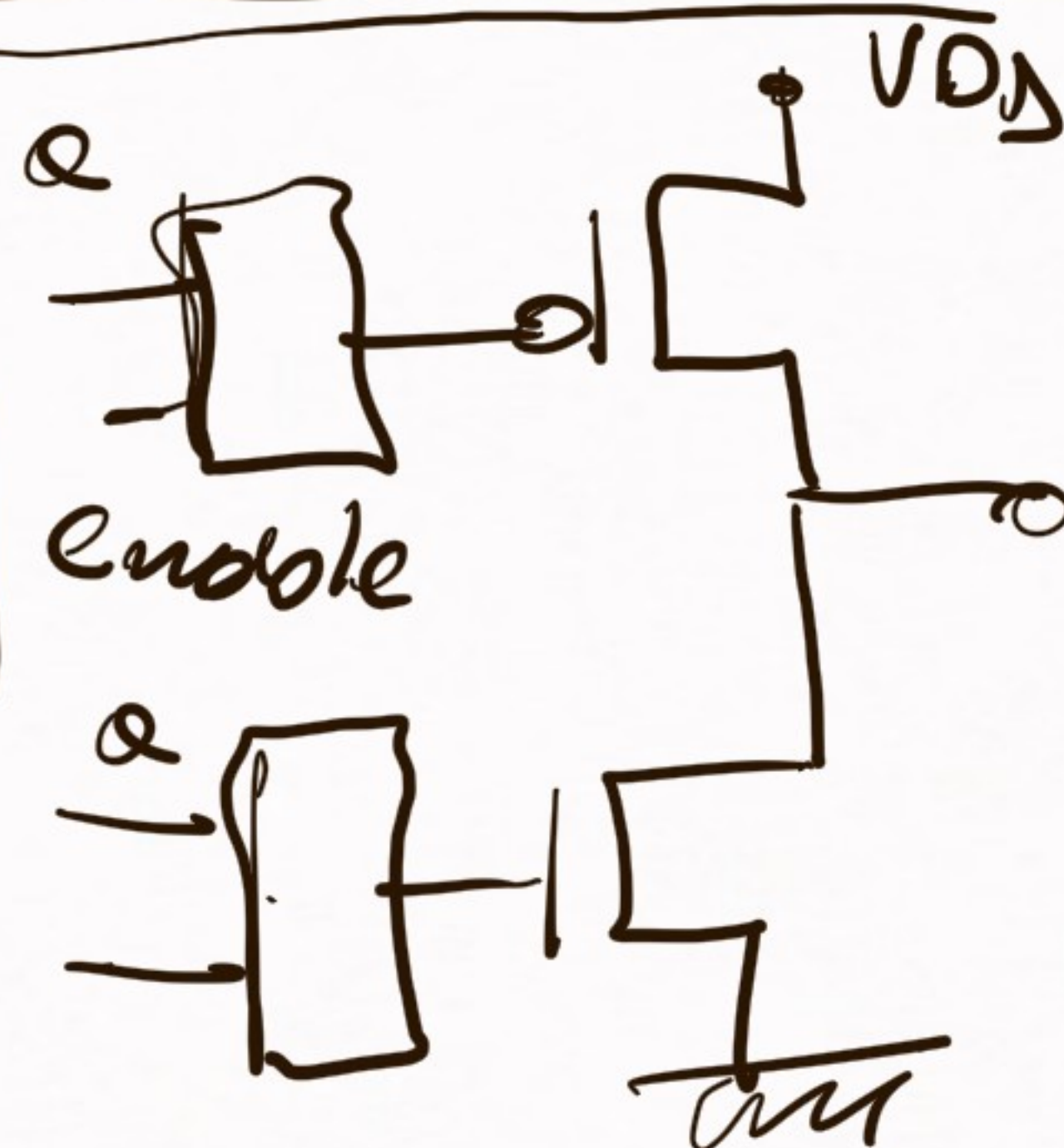
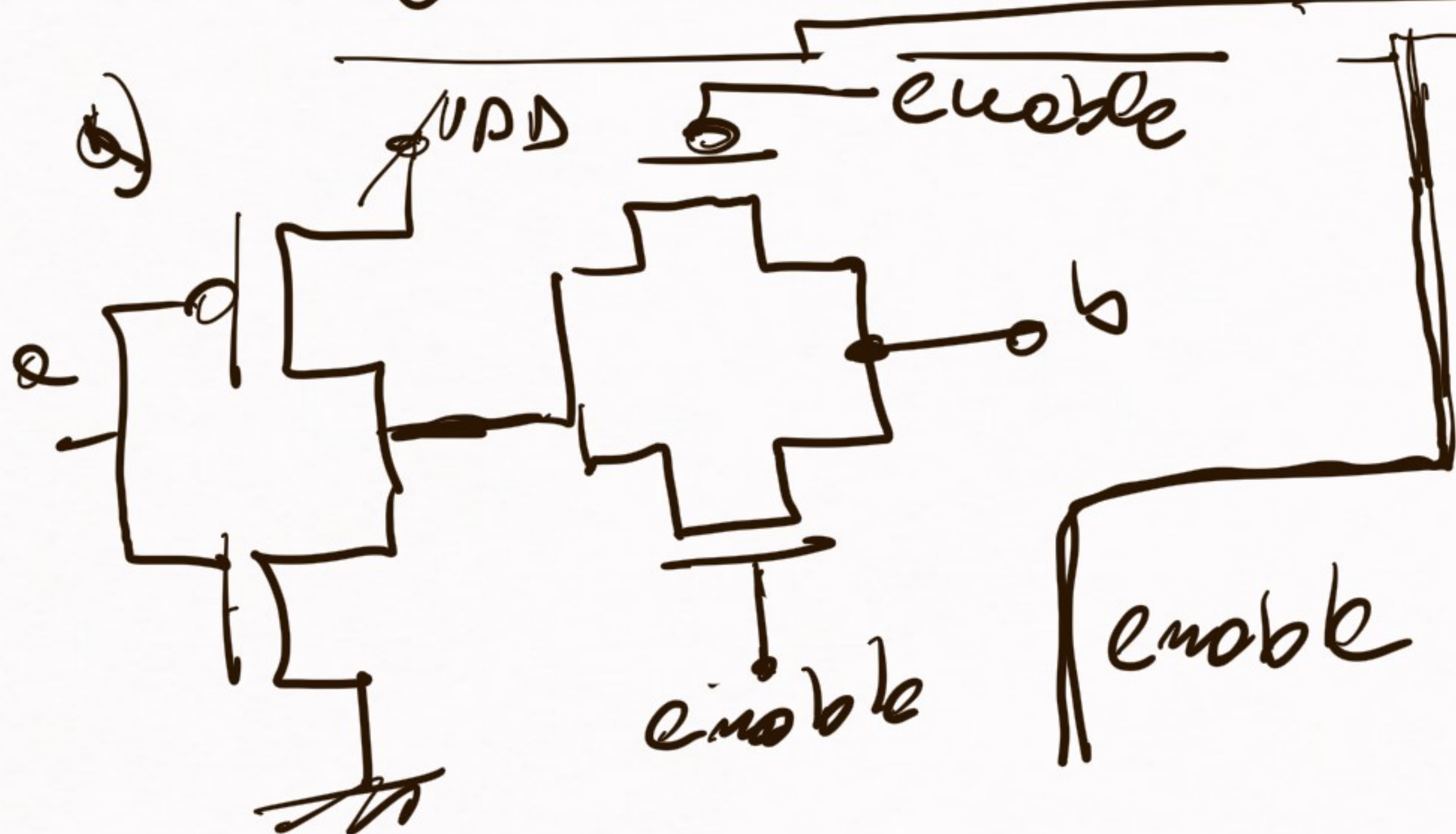
$b = \bar{a}$

0

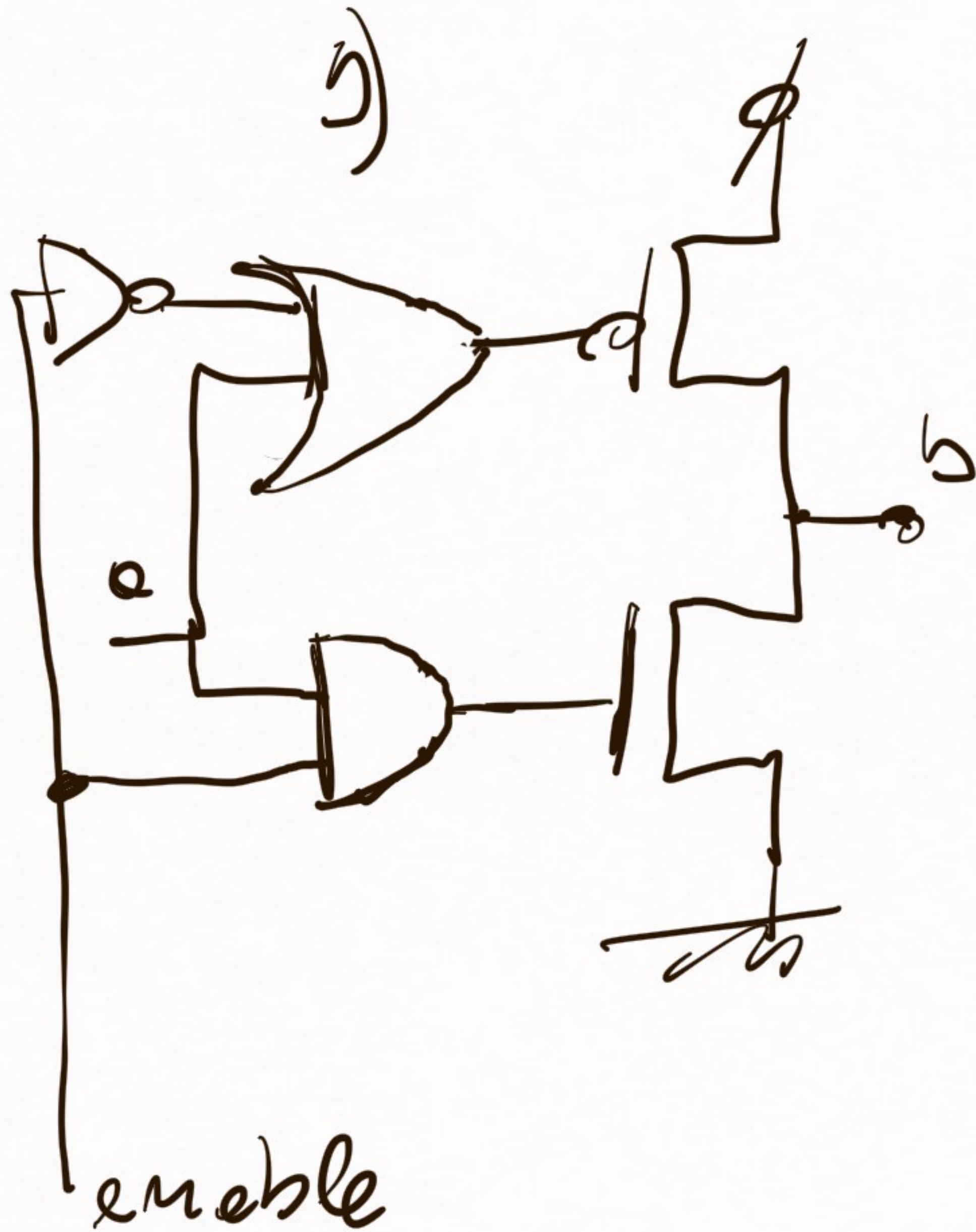
b: "alta"

impedancia'

→ b desconectada → 2 soluciones:



más rápida



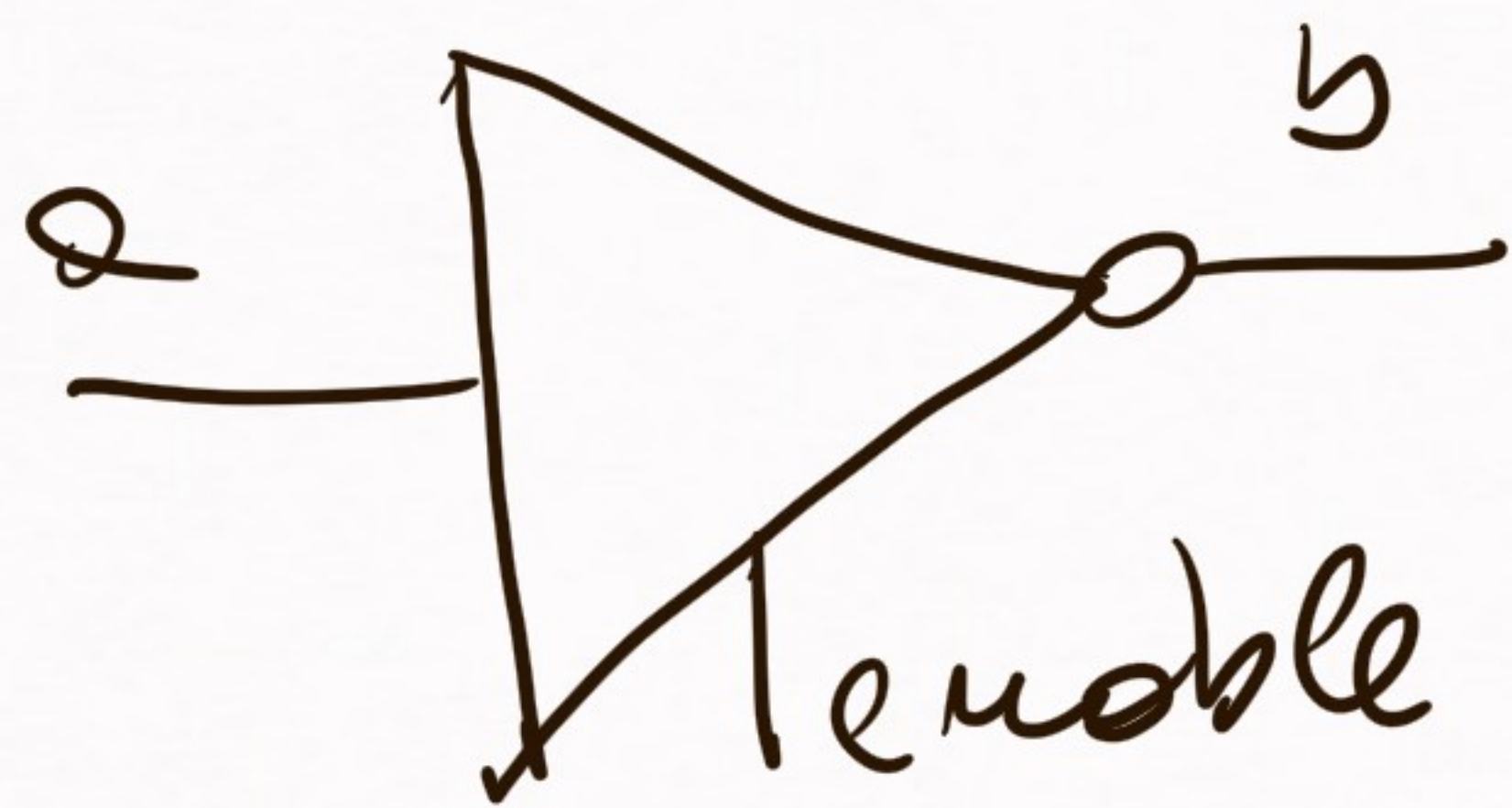
$$\text{Gate } P = \begin{cases} a & \text{enable} = 1 \\ 1 & \text{enable} = 0 \end{cases}$$

$$\Rightarrow \text{Gate } P = a + \overline{\text{enable}}$$

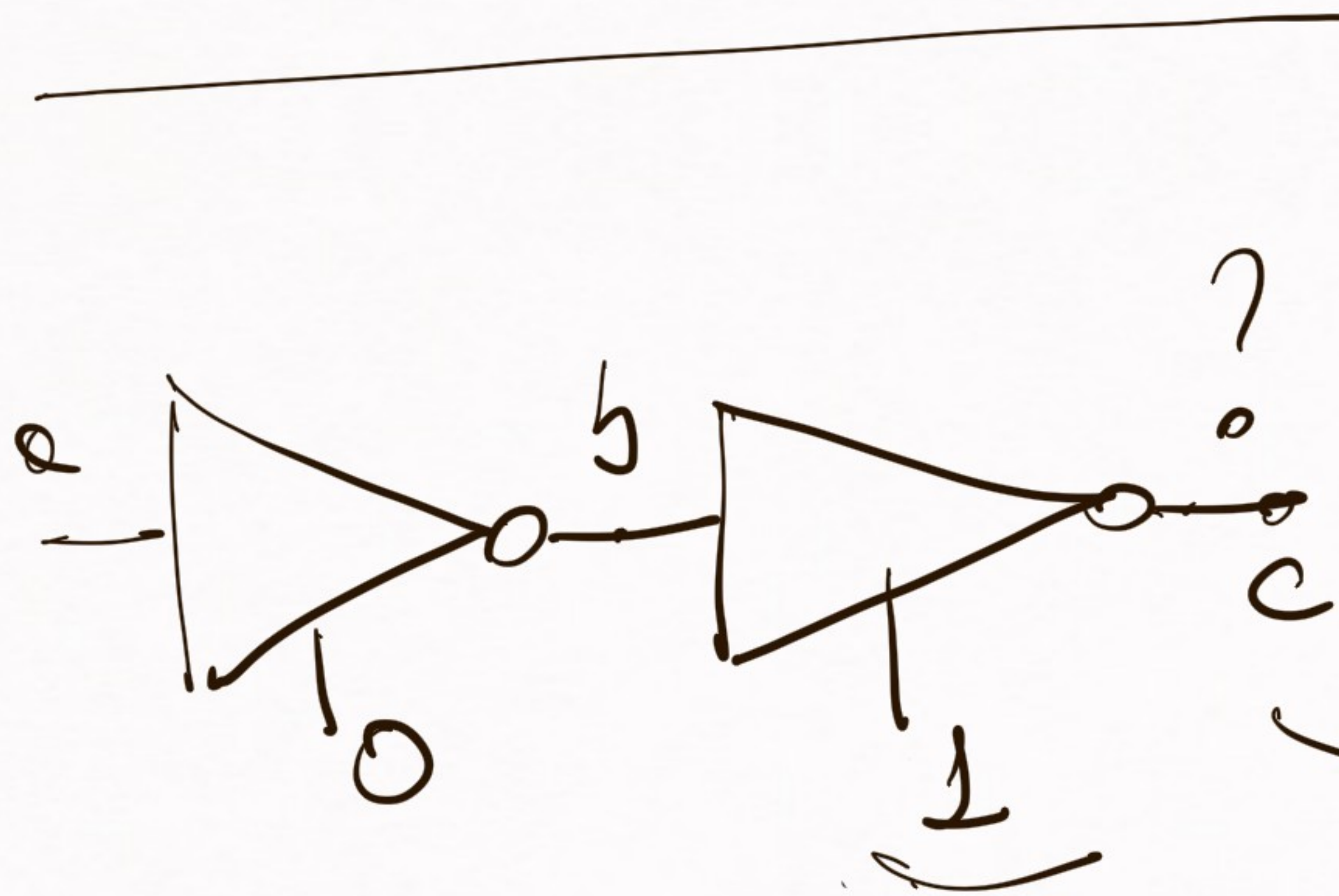
---


$$\text{Gate } M = \begin{cases} a & \text{enable} = 1 \\ 0 & \text{enable} = 0 \end{cases}$$

$$\text{Gate } M = a \cdot \text{enable}$$

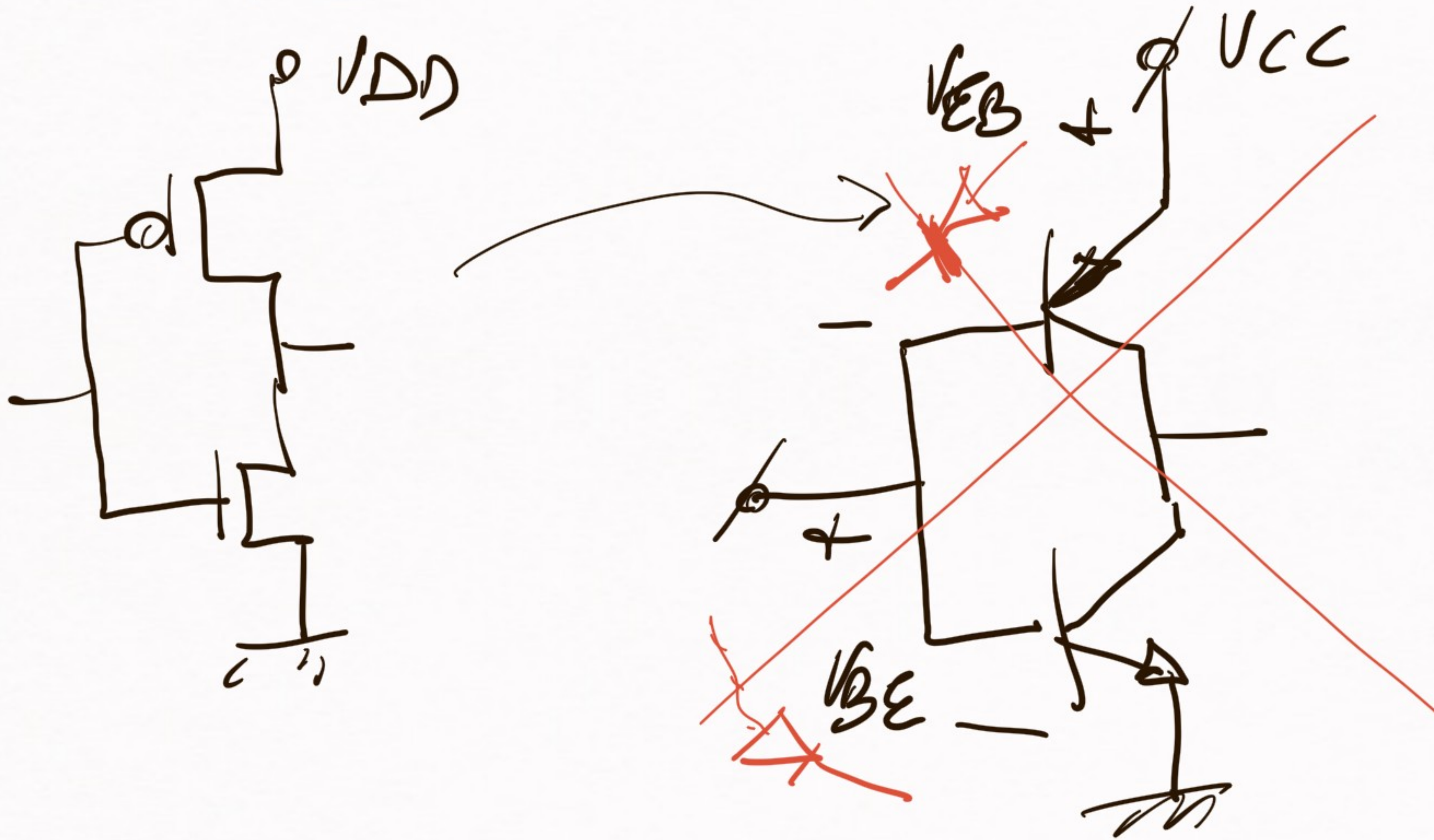


1)  $e = b = 0$   
 $\Rightarrow$   $b$  desconectada  
 de la salida,  
 pero la compensa  
 igualmente sumando  
 capacidad al nodo



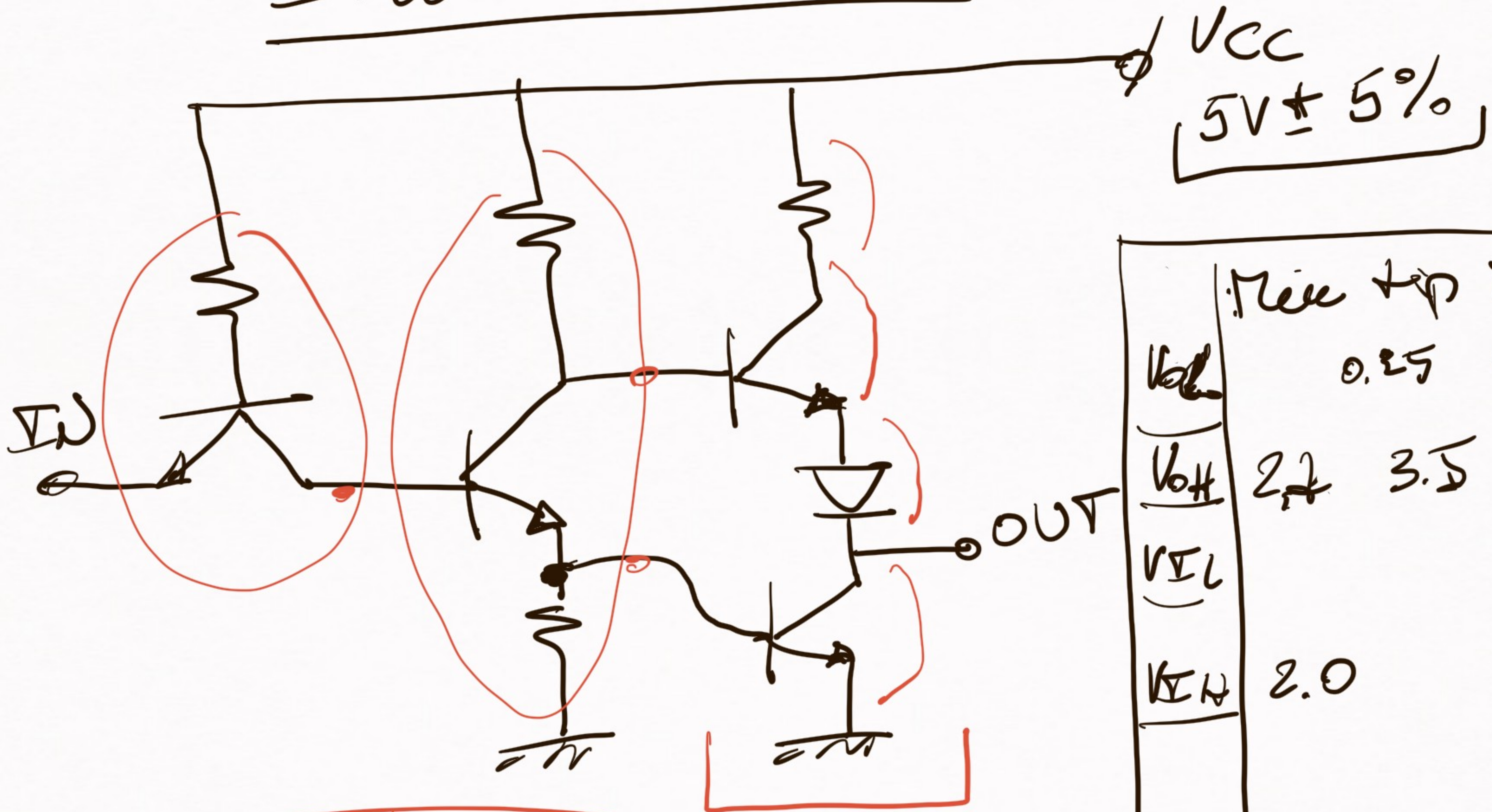
indeterminado  
 ruido, oscilación entre  $e$  y  $b$   
 en función de  $b$  se capta en la  
 entrada invertida.

# Lógica con transistores BJT



↳ lógica TTL: Transistor - Transistor logic

# Inversor TTL



→ saída "totem-pole"

	Min	tp	Max
$V_{OL}$	0.25		0.4 V
$V_{OH}$	2.7	3.5	
$V_{IL}$			0.8
$V_{IH}$	2.0		

1) Encuesta de evaluación del curso.  $\Rightarrow$  Uenorte!!

2) ARBORES CONSULTAS DE LAB.

3) Juego de los defensores de lab:  
IMPORTANTE: Devolución de

leit+s! (~~fundamental~~ 3/7, 6/7)

4) Clases (después de defensas de lab)  
de redacción de eps. de parcial:  
Vie 3/7, 6/7.