

EXAMEN DE ELECTRÓNICA FUNDAMENTAL

Resolver cada **problema en hojas separadas** y **escribiendo de un solo lado de la hoja**.

Duración de la prueba: 3 horas 30 minutos.

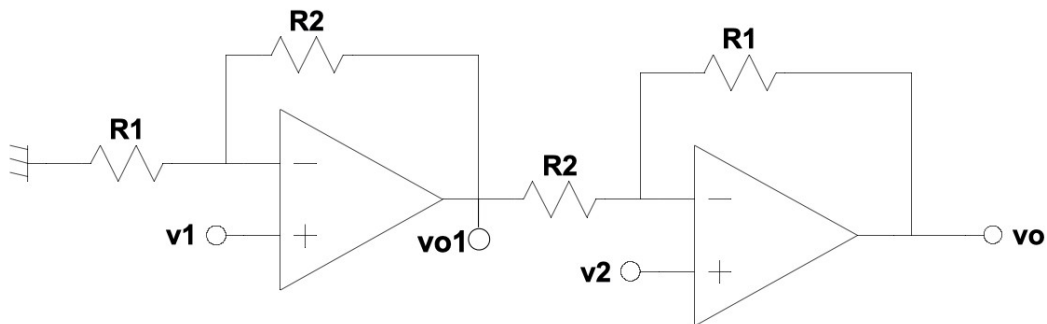
En todas las partes se deberá fundamentar claramente la deducción que conduce al resultado para que el mismo sea considerado.

La prueba es **sin** material.

Los puntajes de los problemas se indican sobre un total de 100 puntos.

PROBLEMA 1 (40 puntos)

El circuito de la Figura 1 busca implementar un amplificador de instrumentación.



a) Determinar su ganancia, asumiendo los amplificadores operacionales ideales, e indicar cuál es la entrada inversora y cuál la no inversora

En el resto del problema se asume $R1 = 200 \cdot R2$.

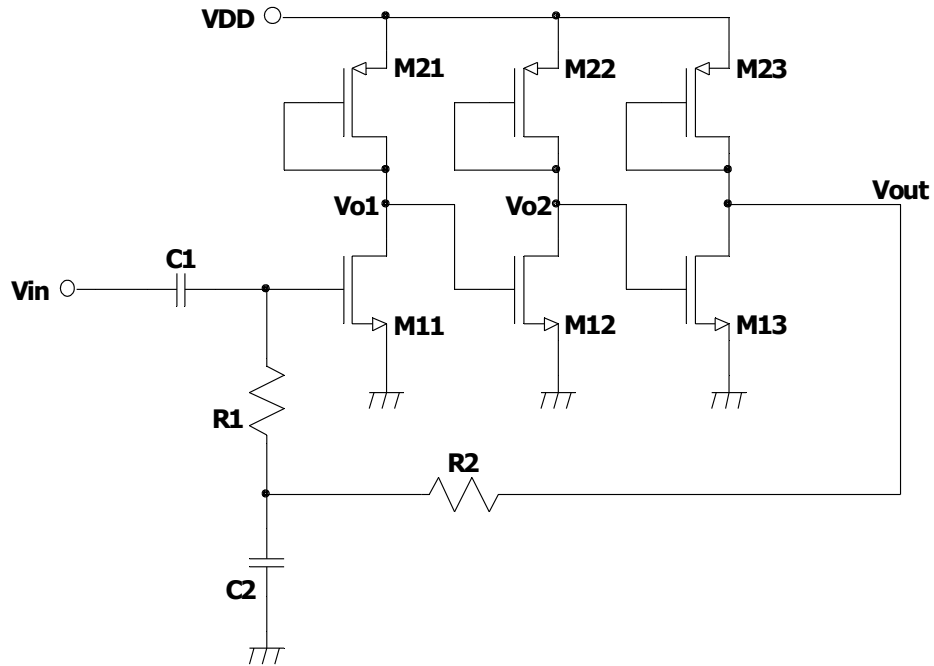
b) Si los operacionales utilizados tienen frecuencia de ganancia unitaria f_T , hallar la frecuencia de -3 dB del amplificador de instrumentación. Indicar qué etapa define la frecuencia -3 dB fundamentando su respuesta.

c) i) Si los operacionales se consideran ideales y se tiene en las entradas $v1$ y $v2$ una señal en modo común v_{cm} , indicar la amplitud a la salida del primer operacional ($vo1$) y a la salida del segundo operacional (vo).

ii) Si los operacionales tienen rango de entrada en modo común entre -3.3 V y +3.3 V y excursión de salida entre -2.5V y +2.5V, determinar el rango de entrada de modo común y la excursión de salida del amplificador de instrumentación.

d) Si el circuito se implementa con resistencias con tolerancia al 5%, calcular en el peor caso la ganancia en modo común y el CMRR del amplificador de instrumentación. Se sugiere tener en cuenta que la ganancia diferencial del amplificador de instrumentación no varía significativamente debido al despareo de las resistencias.

PROBLEMA 2 (40 puntos)



Para el amplificador de la figura, calcule:

- a) La tensión DC en cada punto del circuito.
- b) La ganancia de la primera etapa V_{o1}/V_{in} .
- c) La ganancia total V_{out}/V_{in} .
- d) El output swing.

Datos:

$V_{DD} = 5\text{ V}$

$R_1 = R_2 = 10\text{ M}\Omega$

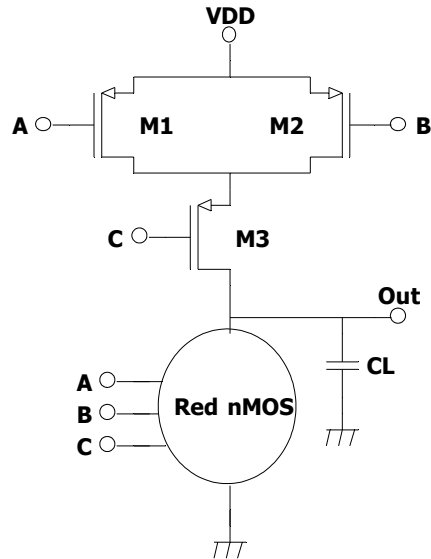
$C_1 = C_2 = \infty$

$\beta_n = 10\ \mu\text{A}/\text{V}^2, V_{t0n} = 1\text{ V}, \delta_n = 0.3, V_{An} = \infty$

$\beta_p = 1\ \mu\text{A}/\text{V}^2, V_{t0p} = -1\text{ V}, \delta_p = 0.3, V_{Ap} = \infty$

PREGUNTA (20 puntos)

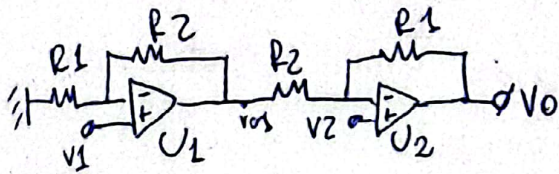
Se tiene una compuerta CMOS implementada en la forma estándar como se muestra en la figura, de la que se conoce la red de transistores pMOS, tal como se muestra en la figura.



- Dibujar la red de transistores nMOS de la compuerta.
- Dar la tabla de verdad de la compuerta.
- Con los datos de los transistores que se indican, determinar el tiempo de propagación t_{PHL} cuando las entradas pasan de $ABC = 100$ a $ABC = 101$ en forma instantánea. Considerar que en el tiempo a calcular el transistor relevante está saturado.
- ¿Se verifica la suposición de transistor saturado de la parte c) ? Fundamente su respuesta.

Datos:

- Transistores: $\beta_n = \beta_p = 0.15 \text{ mA/V}^2$, $V_{t0n} = |V_{t0p}| = 1 \text{ V}$, $\delta_n = \delta_p = 0.5$, $V_{An} = V_{Ap} = \infty$
- $V_{DD} = 3.3 \text{ V}$
- $C_L = 0.2 \text{ pF}$



a)

$$U1 \text{ inv. ideal: } v_{01} = \left(\frac{R_1 + R_2}{R_1} \right) \cdot v_1$$

Superposición en U_2 :

"Apego" $v_2 \Rightarrow$ inductor: $v_0' = -v_{01} \cdot \frac{R_1}{R_2}$ (I)

"Apego" $v_1 \Rightarrow$ no inductor: $v_0'' = v_2 \cdot \left(\frac{R_1 + R_2}{R_2} \right)$

$$\Rightarrow v_0 = v_0' + v_0'' = v_2 \left(\frac{R_1 + R_2}{R_2} \right) - v_{01} \cdot \frac{R_1}{R_2} \quad (\text{II})$$

(II) \Leftarrow (I):

$$v_0 = v_2 \left(\frac{R_1 + R_2}{R_2} \right) - v_1 \cdot \left(\frac{R_1 + R_2}{R_1} \right) \cdot \frac{R_1}{R_2}$$

$$v_0 = \left(\frac{R_1 + R_2}{R_2} \right) \cdot (v_2 - v_1)$$

v_1 : Pata inversa
 v_2 : Pata no inversa

b) La etapa de mayor ganancia es U_2 :

$$G_{etapa 1} = \frac{v_{o1}}{v_1} = \frac{R_1 + R_2}{R_1} = \frac{201}{200} \sim 1 \text{ V/V}$$

$$G_{etapa 2} = \frac{v_o}{v_2} = \frac{R_1 + R_2}{R_2} = 201 \text{ V/V}$$

Como $G_{etapa 2} \gg 1$, se puede aproximar:

$$f_T = f_{-3dB} \cdot G_{etapa 2} \Rightarrow f_{-3dB} = \frac{f_T}{G_{etapa 2}} = \frac{f_T}{201}$$

Definir la segunda etapa por ser la de mayor ganancia.

c) i. $v_{o1} = v_1 \cdot \left(\frac{R_1 + R_2}{R_1} \right)$ (parte a)

$$v_{o1} = \frac{201 \cdot v_{cm}}{200} \sim v_{cm}$$

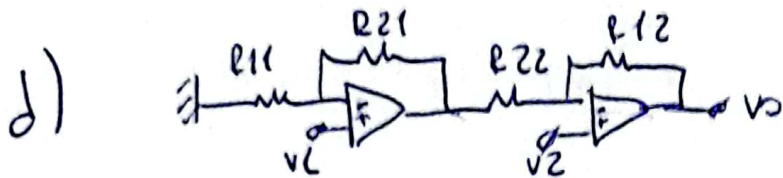
$$v_{o2} = \frac{R_1 + R_2}{R_2} (v_2 - v_1) = 0 \quad \text{si } v_1 = v_2 = v_{cm}$$

ii. Por la parte anterior, el valor de v_{cm} debe estar contenido dentro del OSW de U_1

$$\Rightarrow ICMR_{\text{amp. inst.}} = [-2,5V; 2,5V]$$

La excursión de salida del amplificador de instrumentación es igual a la de los operacionales

v_1 y v_2 , pues el circuito no impone nuevas restricciones: \Rightarrow OSW anal. = OSW $v_{V2} = [-2.5V; 2.5V]$



for parte a): $v_0 = v_2 \left(\frac{R_{12} + R_{22}}{R_{22}} \right) - v_1 \left(\frac{R_{11} + R_{21}}{R_{11}} \right), \frac{R_{12}}{R_{22}} =$

$$\frac{v_2 (R_{12} \cdot R_{11} + R_{22} \cdot R_{11}) - v_1 (R_{11} \cdot R_{12} + R_{21} \cdot R_{12})}{R_{11} \cdot R_{22}}$$

$\Rightarrow v_1 = v_2 = v_{cm};$

$$v_0 = v_{cm} \cdot \frac{(R_{22} \cdot R_{11} - R_{21} \cdot R_{12})}{R_{22} \cdot R_{11}} = \overbrace{\left[1 - \frac{R_{21} \cdot R_{12}}{R_{11} \cdot R_{22}} \right]}^{A_{cm}} \cdot v_{cm}$$

Se evalúan dos casos:

$$\left. \begin{array}{l} 1) \quad R_{21} = R_2 - \Delta R_2 = 0,95 \cdot R_2 \\ R_{12} = R_2 - \Delta R_1 = 190 \cdot R_2 \\ R_{22} = R_2 + \Delta R_2 = 1,05 \cdot R_2 \\ R_{11} = R_1 + \Delta R_1 = 210 \cdot R_2 \end{array} \right\} A_{cm} = 1 - \frac{0,95 \cdot 190}{1,05 \cdot 210} = \underline{\underline{-0,18}}$$

$$\left. \begin{array}{l} 2) \quad R_{21} = R_2 + \Delta R_2 = 1,05 R_2 \\ R_{12} = R_1 + \Delta R_1 = 210 \cdot R_2 \\ R_{22} = R_2 - \Delta R_2 = 0,95 \cdot R_2 \\ R_{11} = R_1 - \Delta R_1 = 190 \cdot R_2 \end{array} \right\} A_{cm} = 1 - \frac{1,05 \cdot 210}{0,95 \cdot 190} = \underline{\underline{-0,22}}$$

El caso 2) presenta mayor penencia en módulo, por lo que representa el peor caso.

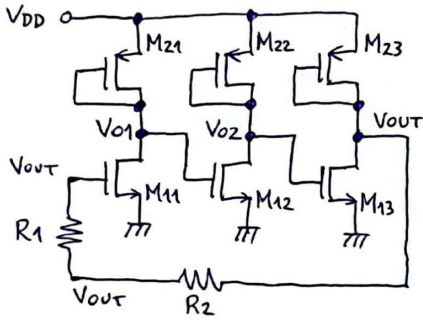
x letra, se considera igual

$$CMRR = \frac{A_d}{A_{cm}} = \frac{201}{0,22} = 907 \text{ V/V}$$

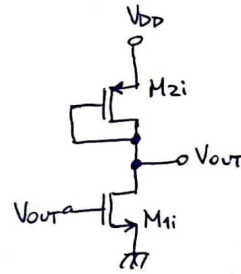
Examen de Electrónica Fundamental - febrero 2024

Problema

a) En DC:



por simetría
 $V_{o1} = V_{o2} = V_{out}$
 y basta con analizar
 una etapa



asumo M_{1i} y M_{2i} saturados: $\frac{\beta_n}{2(1+\delta_n)} (V_{out} - V_{ton})^2 = \frac{\beta_p}{2(1+\delta_p)} (V_{DD} - V_{out} - |V_{top}|)^2$

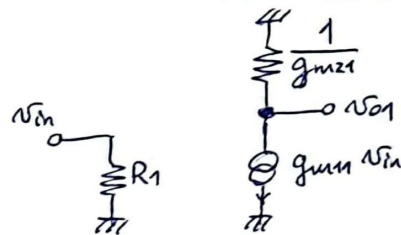
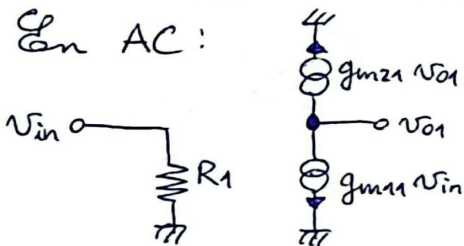
$\Rightarrow (9) V_{out}^2 + (-12) V_{out} + (-6) = 0$

Verifico saturación: $\left\{ \begin{array}{l} \text{no corte de } M_{1i} : V_{out} > V_{ton} = 1V \\ \text{no corte de } M_{2i} : V_{out} < V_{DD} - |V_{top}| = 4V \\ \text{no lineal de } M_{1i} : \\ \text{no lineal de } M_{2i} : \end{array} \right. \left. \begin{array}{l} \text{ambas se cumplen} \\ \text{trivialmente por estar} \\ \text{conectados como diodos} \end{array} \right.$

$\Rightarrow V_{out} = \begin{cases} 1,72 V \\ -3,87 mV \end{cases}$ $I_{D1i} = I_{D2i} = 2,00 \mu A$

$\Rightarrow V_{o1} = V_{o2} = V_{out} = 1,72 V$

b) En AC:



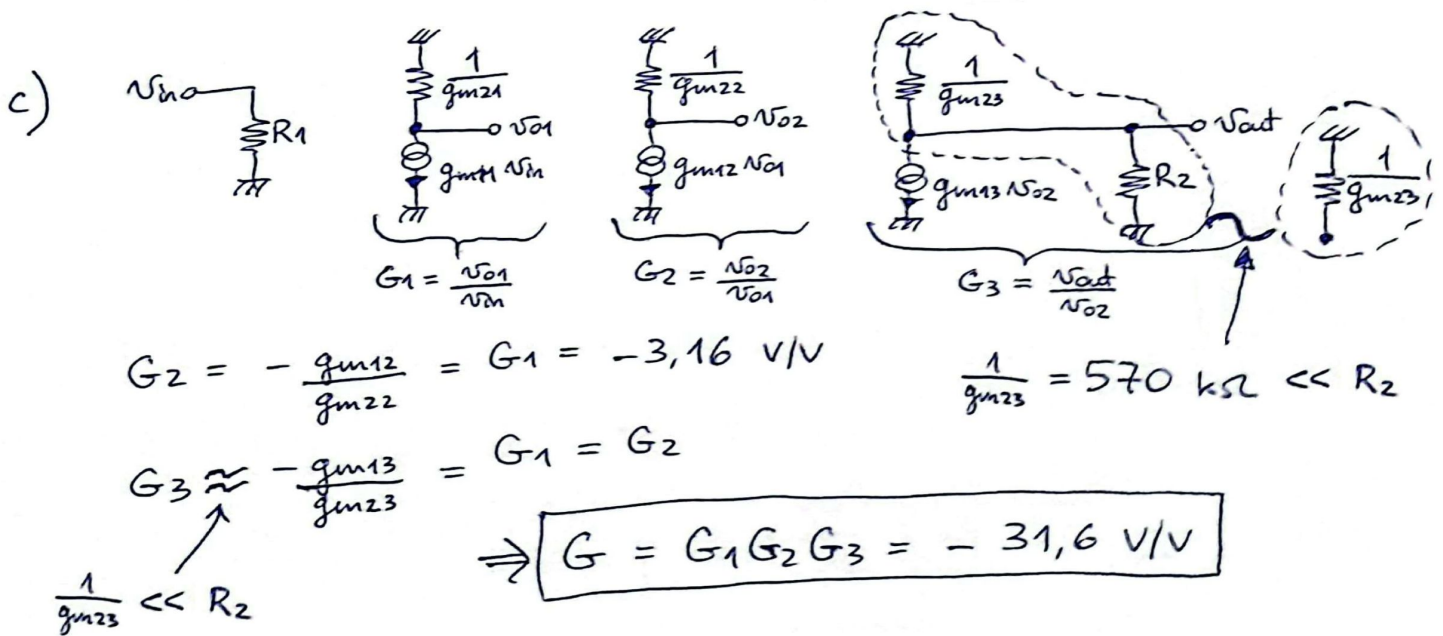
$\left\{ \begin{array}{l} g_{m1i} = \sqrt{\frac{2 I_{D1i} \beta_n}{1 + \delta_n}} = 5,54 \mu S \\ g_{m2i} = \sqrt{\frac{2 I_{D2i} \beta_p}{1 + \delta_p}} = 1,75 \mu S \end{array} \right.$

$G_1 = \frac{V_{o1}}{V_{in}} = -\frac{g_{m11}}{g_{m21}}$

$\Rightarrow G_1 = -3,16 V/V$

Examen de Electrónica Fundamental - febrero 2024

Problema (continuación)



d) No corte de M_{13} : $0 < \frac{V_{o2} - \frac{v_{out}}{|G_3|} - V_{ton}}{1 + \delta_n}$

$\Rightarrow v_{out} < |G_3| (V_{o2} - V_{ton}) \Rightarrow v_{out} < 2,28 \text{ V}$

No corte de M_{23} se da a la vez que el de M_{13} .

No lineal de M_{13} : $v_{out} + v_{out} > \frac{V_{o2} - \frac{v_{out}}{|G_3|} - V_{ton}}{1 + \delta_n}$

$\Rightarrow v_{out} > -\left(\frac{V_{ton} + \delta_n v_{out}}{1 + \delta_n + \frac{1}{|G_3|}}\right) \Rightarrow v_{out} > -0,938 \text{ V}$

\Rightarrow la salida podrá variar entre $v_{out} - 0,938 \text{ V}$ y $v_{out} + 2,28 \text{ V}$

$\Rightarrow OSW = [0,782 \text{ V}; 4,00 \text{ V}]$