

Compendio de preguntas segundo parcial

Arquitectura de Computadoras

2022

Recordar que:

- El parcial consta de 5 preguntas.
- Para aprobar el curso debe contestar correctamente una pregunta en cada parcial.
- Para obtener la exoneración parcial debe contestar correctamente tres preguntas en cada parcial.

Pregunta 1

Indique cuantas veces se ejecuta la instrucción `inc cx` al correr los siguientes dos fragmentos de código 8086. Justifique.

Fragmento 1:

```
...
...
mov ax, bx
etiql:
inc cx
xor cx, cx
jnz etiql
mov bx, ax
...
```

Fragmento 2:

```
...
...
mov ax, bx
xor cx, cx
etiql:
inc cx
jnz etiql
mov bx, ax
...
```

Pregunta 2

- a) Indique al menos dos formas de determinar, a través del hardware, qué controlador de E/S generó un pedido de atención mediante el mecanismo de interrupción en un sistema con múltiples controladores de E/S.
- b) Explique qué solución se utiliza en la arquitectura x86 y cómo se resuelve el problema en este caso.

Pregunta 3

Represente mediante un diagrama por cada elemento cómo se disponen en memoria en 8086 cada una de las estructuras dadas a continuación. (Nota: asuma que todas se ubican a partir de la dirección 0x300 de memoria)

```
short entero;
char letra;
short arregloEntero[2];
struct letrasEnteros{
    char letras[2];
    short entero;
} letrasEnteros;
letrasEnteros arregloRegistros[2];
```

Pregunta 4

Explique qué realizan las siguientes instrucciones en Assembler 8086. Para cada una de ellas, indique los modos de direccionamiento de cada uno de los operandos.

```
cmp byte ptr ES:[BX], 0
pop AX
mov DL, DS:[0x30]
```

Pregunta 5

Defina el problema de coherencia de caché e indique tres situaciones en el que se puede manifestarse. Explique cómo se resuelve el problema en el caso de utilizar un sistema de acceso directo a memoria con política write-back.

Pregunta 6

Suponga una CPU con pipeline. Explique qué es un hazard de control, así como las técnicas de salto demorado y predicción de saltos. Para cada una de ellas, indique si para implementarse requieren asistencia del programador/compilador o no. Justifique.

Pregunta 7

Se tiene un procesador de 32 bits operando con una memoria RAM de 4GB y se direcciona de a bytes. Se cuenta con una memoria caché de 64 KB y un tamaño de bloque de 16 bytes.

Indique y justifique cómo se interpreta una dirección de memoria para indexar la caché para los tres tipos de correspondencia vistos en el curso. Para el caso de asociativa por conjuntos, utilizar 8 vías.

Pregunta 8

Explique cómo se realiza la comunicación de la CPU con los controladores de E/S y describa los dos tipos de arquitecturas de E/S respecto a la forma de acceso desde la CPU.

Pregunta 9

Indique cuál es el contenido de cada dirección de memoria del stack, SP y BP luego de ejecutar las siguientes instrucciones en 8086 para los siguiente valores iniciales: AX = 0x0ACA, BX = 0x00BA, CX = 0x0000, DX = 0xFEDE, SP = 0x3F00, BP = SP.

1. PUSH DX
2. MOV CX, -1
3. PUSH CX
4. PUSH BP
5. MOV BP, SP
6. MOV [BP + 2], AX
7. MOV [BP + 4], BX

Pregunta 10

Indique los valores visibles en los buses de direcciones, datos y control al realizar una operación de entrada salida, distinguiendo entre los casos de E/S aislada y E/S mapeada a memoria.

RECORDATORIO

- SI va interrupciones en 8086 teórico
- NO va práctico interrupciones 8086