

**PARCIAL DE ELECTRONICA FUNDAMENTAL**

27/06/2023

Resolver cada **problema en hojas separadas** y escribiendo de un solo lado de la hoja.

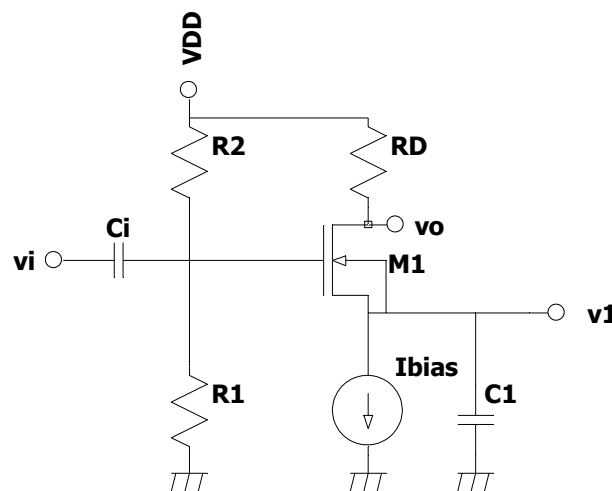
Duración de la prueba: 3 horas 30 minutos.

La prueba es **sin** material.

Los puntajes de los problemas se indican sobre un total de 100 puntos.

**PROBLEMA 1 (29 puntos)**

En el amplificador de la figura, determinar:



- La tensión dc en el nodo v1.
- La ganancia ( $v_o/v_i$ ) a frecuencias medias.
- Determinar la frecuencia de corte inferior del amplificador.
- Si  $C_i$  es polarizado ¿dónde se debe conectar su terminal positivo: en la entrada  $v_i$  o en el gate del transistor? Considerar que en  $v_i$  se tiene una señal ac con amplitud dc nula. Justifique su respuesta.
- A los efectos de variar la ganancia el diseñador se plantea aumentar la resistencia  $R_D$ . A los efectos de analizar cuánto se puede variar  $R_D$  determinar cuál es el máximo valor de  $R_D$  que se puede usar asegurando que M1 esté saturado en dc.

**DATOS:**

$$R_1 = R_2 = 47 \text{ k}\Omega, R_D = 2.2 \text{ k}\Omega$$

$$M1: \beta = 500 \mu\text{A}/\text{V}^2, V_{t0} = 0.5 \text{ V}, \delta = 0.2, V_A = \text{infinito}$$

$$C_i = 1 \mu\text{F}, C_1 = 1 \mu\text{F}$$

$$V_{DD} = 9 \text{ V}, I_{bias} = 1 \text{ mA}$$

**PROBLEMA 2 (27 puntos)**

El circuito de la Fig. 1 rectifica la señal de entrada  $v_i$  utilizando un filtro por condensador. En esta implementación se busca evitar que la caída de voltaje del diodo disminuya el voltaje de salida  $v_o$ , por lo que se agrega el OpAmp realimentado como muestra en la figura. Notar que si el diodo D está cortado, el OpAmp queda en lazo abierto (sin realimentar). En lo que refiere al filtrado de una señal rectificada se podrán considerar las aproximaciones vistas en el curso.

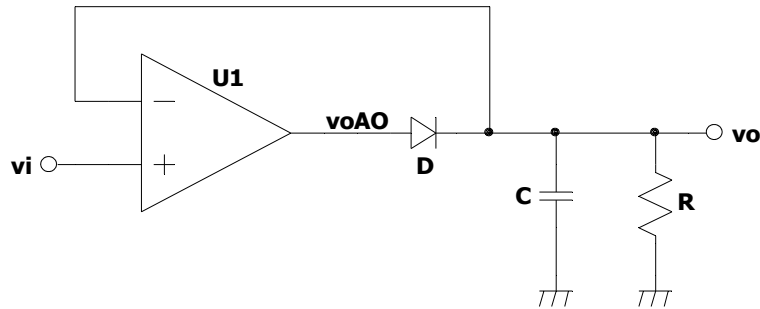


Figura 1

- a) Dibuje las formas de onda en función del tiempo en  $v_i$ ,  $v_{oAO}$  y  $v_o$ . Indicar en cada momento del ciclo el estado del diodo. Fundamente su respuesta.
- b) Halle el valor de C para tener un ripple de  $V_{ripple}$ .

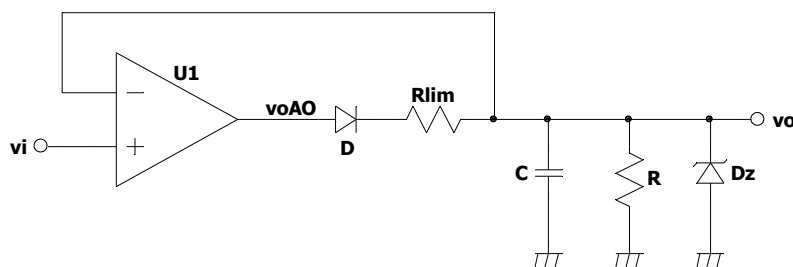


Figura 2

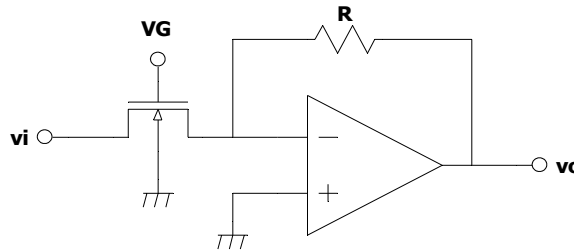
- c) Se agrega al circuito un diodo Zener como se indica en la Fig. 2, a los efectos de limitar la amplitud a la salida  $v_o$ , y la resistencia  $R_{lim}$  como allí se indica. Considerar que  $V_z$  es igual a la mitad de la amplitud de entrada (es decir  $V_z = A/2$ ). Indicar el valor de  $v_o$ ,  $v_{oAO}$  y el estado del diodo D cuando la tensión en la salida  $v_o$  está fijada por el diodo Zener.
- d) ¿Cuánto es la corriente máxima que circula por el diodo Zener en la situación de la parte c)?

**DATOS:**

- $v_i = A \sin(2\pi f t)$ , con  $A=5 \text{ V}$ ,  $f=50 \text{ Hz}$
- D:  $V_\gamma=0.7 \text{ V}$
- U1: OSW= $[-9 \text{ V}, 9 \text{ V}]$
- $R=1 \text{ k}\Omega$ ,  $V_{ripple}=200 \text{ mV}$
- Dz:  $V_z=2.5 \text{ V}$ ,  $r_z=0 \Omega$
- $R_{lim}=470 \Omega$

**PROBLEMA 3 (27 puntos)**

El circuito de la figura busca implementar un amplificador de ganancia variable controlada por el voltaje VG. La señal de entrada vi se supone con nivel dc nulo y amplitud suficientemente pequeña para que el transistor pueda trabajar en la zona en que su característica se puede aproximar por la de una resistencia.



- Calcular R para que con  $V_G = 2.5 \text{ V}$  la ganancia sea  $-100 \text{ V/V}$ .
- Calcular entre qué valores puede variar la componente dc de la salida vo debido al voltaje de offset del amplificador operacional.
- Calcular entre qué valores puede variar la componente dc de la salida vo debido a las corrientes de polarización del amplificador operacional considerando que las corrientes de polarización son entrantes al amplificador operacional.
- Dar la expresión y el valor de la frecuencia de caída de 3 dB de la transferencia vo/vi.

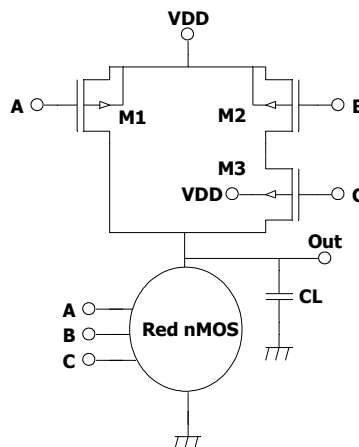
DATOS:

MOS:  $\beta = 500 \mu\text{A/V}^2$ ,  $V_{t0} = 1.5 \text{ V}$ ,  $\delta = 0$ ,  $V_A = \text{infinito}$

OPAMP:  $V_{\text{offset}} = 1 \text{ mV}$ ,  $I_{\text{bias}} = 10 \text{ nA}$ ,  $I_{\text{offset}} = 1 \text{ nA}$ ,  $f_T = 1 \text{ MHz}$

**PREGUNTA (17 puntos)**

Se tiene una compuerta CMOS implementada en la forma estándar de la que se conoce la red de transistores pMOS, tal como se muestra en la figura.



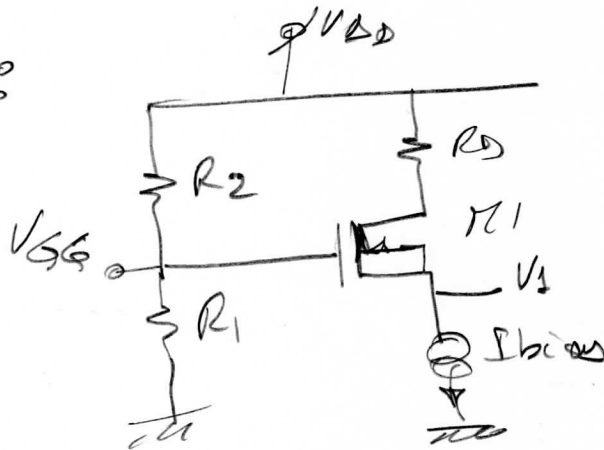
- Dibujar la red de transistores nMOS de la compuerta.
- Dar la tabla de verdad de la compuerta.
- Con los datos de los transistores que se indican, determinar el tiempo de propagación  $t_{PLH}$  cuando las entradas pasan de  $ABC = 101$  a  $ABC = 001$  en forma instantánea. Considerar que en el tiempo a calcular el transistor relevante está saturado.
- ¿Se verifica la suposición de transistor saturado de la parte c) ? Fundamente su respuesta.

DATOS:

- Transistores:  $\beta_n = \beta_p = 0.1 \text{ mA/V}^2$ ,  $V_{t0n} = |V_{t0p}| = 0.8 \text{ V}$ ,  $\delta_n = \delta_p = 0.6$ ,  $V_{An} = V_{Ap} = \text{infinita}$ .
- $V_{DD} = 3.3 \text{ V}$ ,  $C_L = 0.1 \text{ pF}$

Problema 1

a) em dc:



$$R2 = R1 \Rightarrow V_{GG} = \frac{V_{DD}}{2}$$

$$I_{D_{M1}} = I_{bias}$$

Suponha  $M1$  saturado,  $V_{SB1} = 0$

$$\Rightarrow I_{bias} = \frac{\beta}{2(1+\delta)} (V_{GB} - V_{to})^2$$

$$\Rightarrow V_{GB} = \sqrt{\frac{2(1+\delta)I_{bias}}{\beta}} + V_{to} = 2.7V$$

$$\Rightarrow V_1 = \frac{V_{DD}}{2} - V_{GB} = 1.8V$$

b) Verifico  $M1$  saturado:

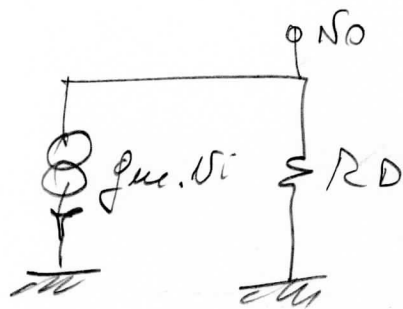
$$V_{DS} > V_P? \Leftrightarrow \underbrace{(V_{DD} - R_D \cdot I_{bias}) - V_1}_{5V} > \underbrace{\frac{V_{GB} - V_{to}}{(1+\delta)}}_{1.82V}$$

$$V_{SB} < V_P?$$

(se porque  $I_{D_{M1}} = I_{bias} > 0$ )

$$\rightarrow 0 < \frac{V_{GB} - V_{to}}{(1+\delta)} \Leftrightarrow \underbrace{V_{GB}}_{2.7V} > \underbrace{V_{to}}_{0.5V}$$

b) Análisis en pequeña señal en la onda pasante:

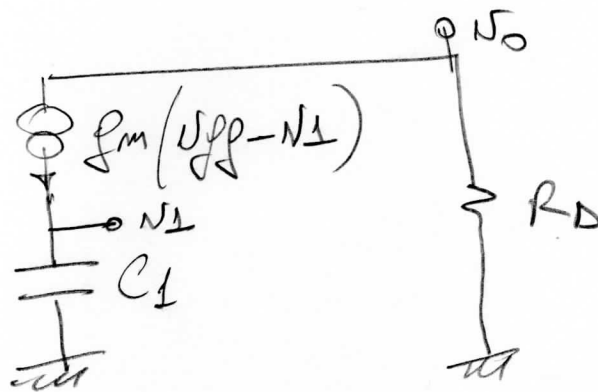
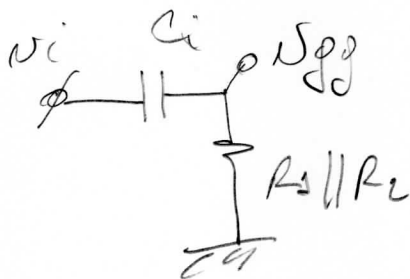


$$\Rightarrow \frac{v_o}{v_i} = -g_m R_D$$

$$g_m = \sqrt{\frac{2\mu S D}{(1+S)}} = 0.81 \text{ mS}$$

$$\Rightarrow \frac{v_o}{v_i} = -2 \text{ V/V}$$

c) Análisis de considerando  $C_i$ ,  $C_s$ :



$$v_o = -g_m R_D (v_{sp} - v_{s1})$$

$$v_{s1} = g_m (v_{sp} - v_{s1}) \frac{1}{C_s}$$

$$\Rightarrow \frac{v_o}{v_{sp}} = \frac{-g_m R_D \cdot C_s}{g_m + C_s}$$

$\Rightarrow$  polo en

$$\frac{v_{sp}}{v_i} = \frac{R_1 \parallel R_2 \cdot C_s}{R_1 \parallel R_2 \cdot C_s + 1}$$

6.8 kHz

$$\Rightarrow \frac{v_o}{v_i} = \underbrace{\frac{v_o}{v_{sp}}}_{\text{polo}} \cdot \underbrace{\frac{v_{sp}}{v_i}}_{\text{polo}} \rightarrow \text{polo en } \frac{1}{2\pi R_1 \parallel R_2 C_i} =$$

$$\hookrightarrow \text{polo en } \frac{g_m}{2\pi C_i} = 145 \text{ kHz}$$

$$\left[ f_{\text{corte inferior}} = 145 \text{ kHz} = \frac{g_m}{2\pi C_i} \right]$$

d) En el gate del transistor la tensión de  
es  $V_{GS} = 4.5V$  por tanto allí se debe  
conectar el terminal + del capacitor. (3)

e) Max  $R_D$  /  $V_{DS} > V_{P1} = 5.82V$   
" "

$$V_{DD} - R_D \cdot I_{bias} - V_i$$

$$\Leftrightarrow R_D < \frac{V_{DD} - V_i - V_{P1}}{I_{bias}} = \underline{\underline{5.4 \text{ k}\Omega}}$$

# Electrónica Fundamental - Parcial 2023

## Problema

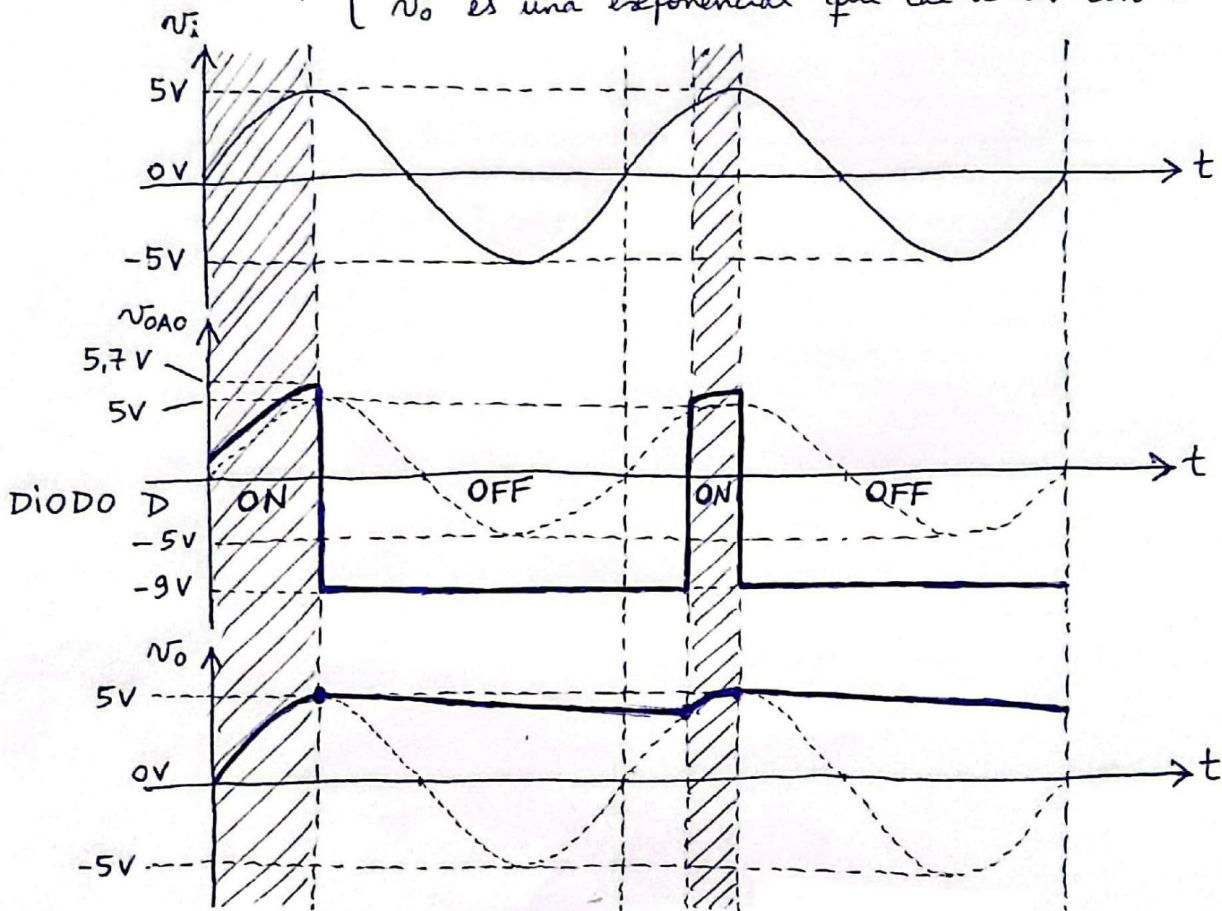
a) \* Mientras el diodo D conduce:  $V_{OAO} = V_o + V_\gamma$

El OpAmp está realimentado  $\Rightarrow V_o = V_i$

$$\Rightarrow \begin{cases} V_{OAO} = V_i + V_\gamma \\ V_o = V_i \end{cases}$$

\* El capacitor C intentará mantener el voltaje A en  $V_o$ .  
Cuando  $V_i < V_o$ , el OpAmp satura negativamente y el diodo D queda en inversa

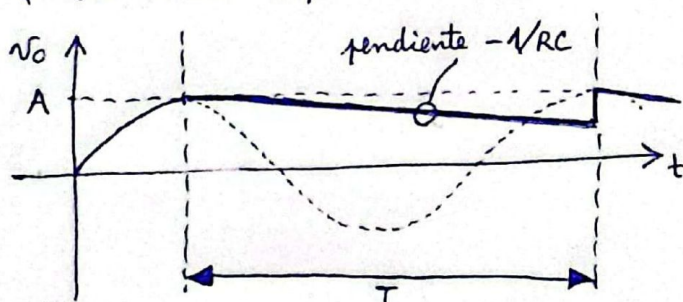
$$\Rightarrow \begin{cases} V_{OAO} = -9V \\ V_o \text{ es una exponencial que cae a } 0V \text{ con } \tau = RC \end{cases}$$



b) Aproximaciones vistas en el curso:

\* la exponencial con  $\tau = RC$  puede aproximarse por una recta de pendiente  $-1/RC$

\* la caída exponencial dura un período T



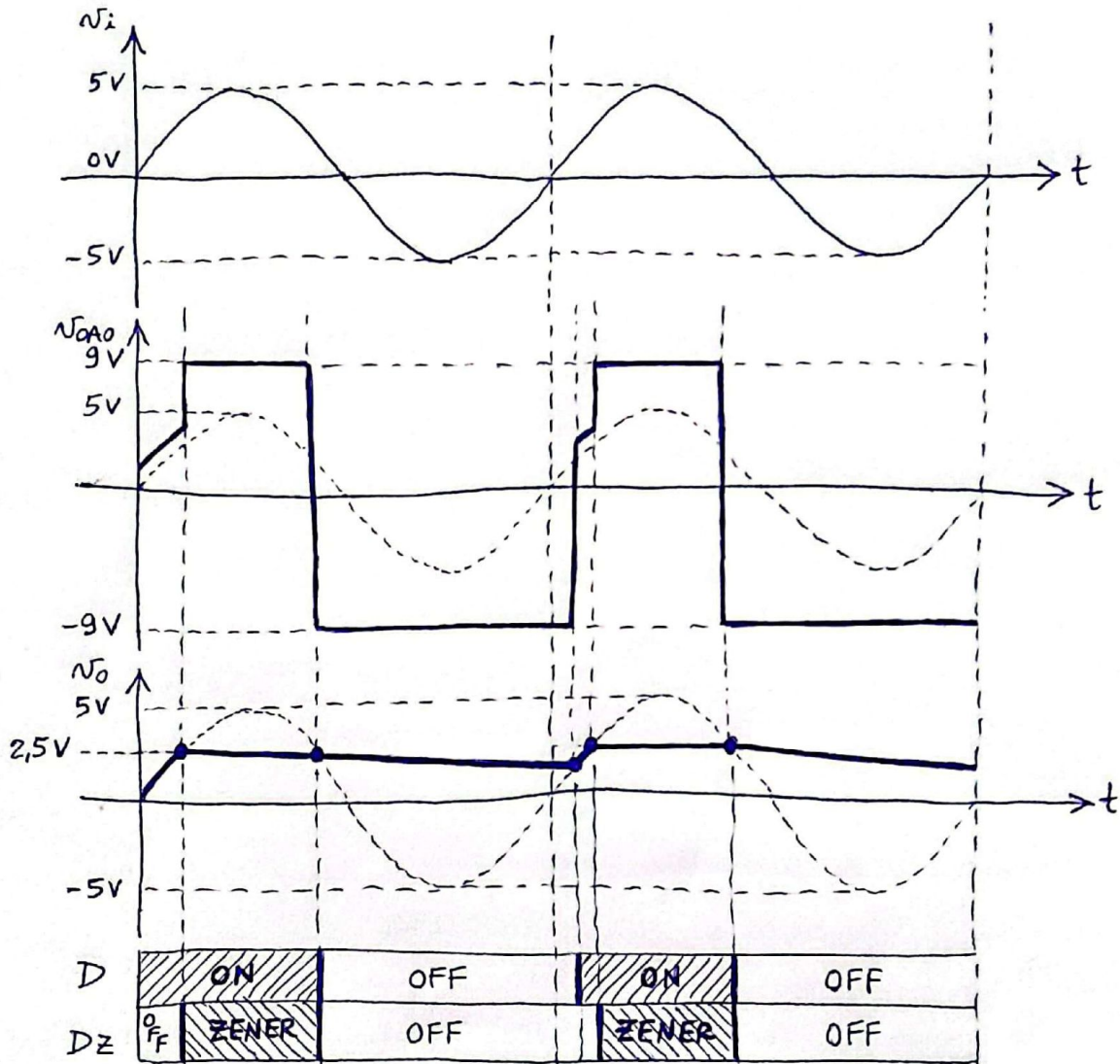
$$\Rightarrow V_{\text{ripple}} = \frac{AT}{RC} = \frac{A}{RCf}$$

$$C = \frac{A}{R V_{\text{ripple}} f} = \boxed{500 \mu F}$$

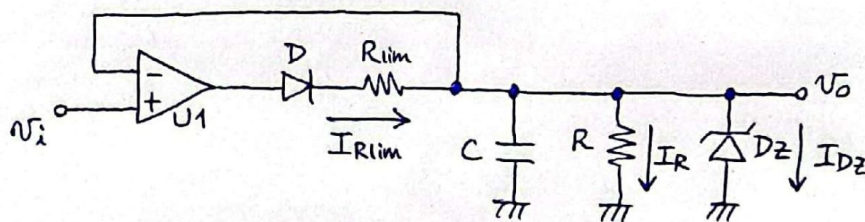
# Electrónica Fundamental - Parcial 2023

## Problema

- c) \* Mientras  $v_o < V_Z$ , el diodo Zener no conduce y el circuito se comporta como en a).  
 \* Mientras DZ está en zona Zener  $\Rightarrow v_o = V_Z$   
 $\Rightarrow v_i > v_o \Rightarrow$  el OpAmp satura positivamente y el diodo D queda en directo  $\Rightarrow$
- $$\begin{cases} v_{oAO} = 9V \\ v_o = V_Z \end{cases}$$



d)



Mientras conduce

DZ :

$$v_o = V_Z = 2,5V$$

$$\Rightarrow I_c = 0$$

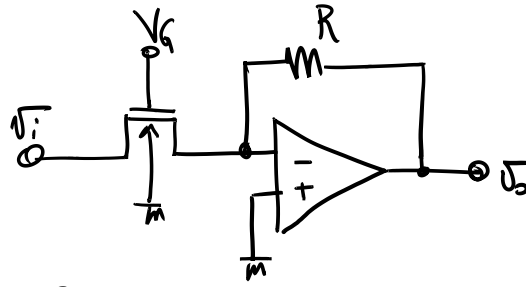
$$I_{DZ} = I_{Rlim} - I_R = \left( \frac{9V - 0,7V - 2,5V}{R_{lim}} \right) - \left( \frac{2,5V}{R} \right)$$

$$I_{DZ} = \boxed{9,84 \text{ mA}}$$

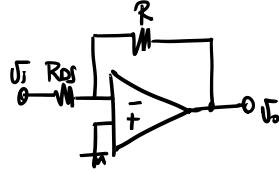


# Problema 3

$\beta = 500 \text{ mA/V}^2$   
 $V_{th} = 1.5 \text{ V}$   
 $\xi = 0$



② Circuito equivalente

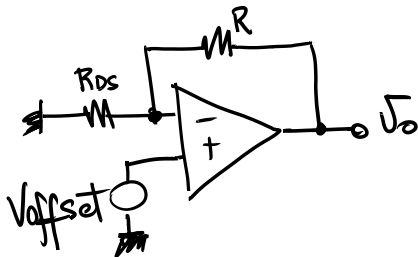


$$R = \frac{|v_o/v_i|}{\beta(V_{GS} - V_{th})} \Rightarrow \boxed{R = 200 \text{ k}\Omega} \quad (R_{DS} = 2 \text{ k}\Omega)$$

M zone lineal

$$\frac{v_o}{v_i} = \frac{-R}{R_{DS}} = -R\beta(V_{GS} - V_{th})$$

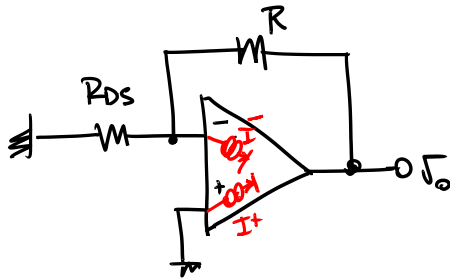
③



$$v_o = \pm (1 + R/R_{DS}) V_{offset}$$

$$v_o = [-101 \text{ mV}, 101 \text{ mV}]$$

④

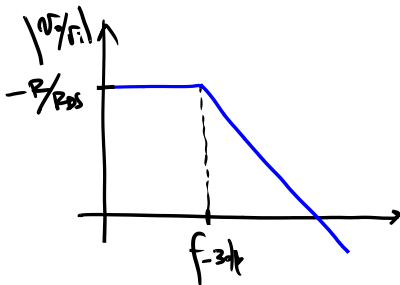


$$v_o = R(I_{BIAS} + \frac{I_{offset}}{2})$$

$$v_o = [1.9 \text{ mV}, 2.1 \text{ mV}]$$

$$(v_o|_{I^+} = 0, v_o|_{I^-} = RI^-)$$

⑤



$$f_{-3dB} = \frac{f_T}{1 + R/R_{DS}}$$

$$\boxed{f_{-3dB} = 9.9 \text{ kHz}}$$