



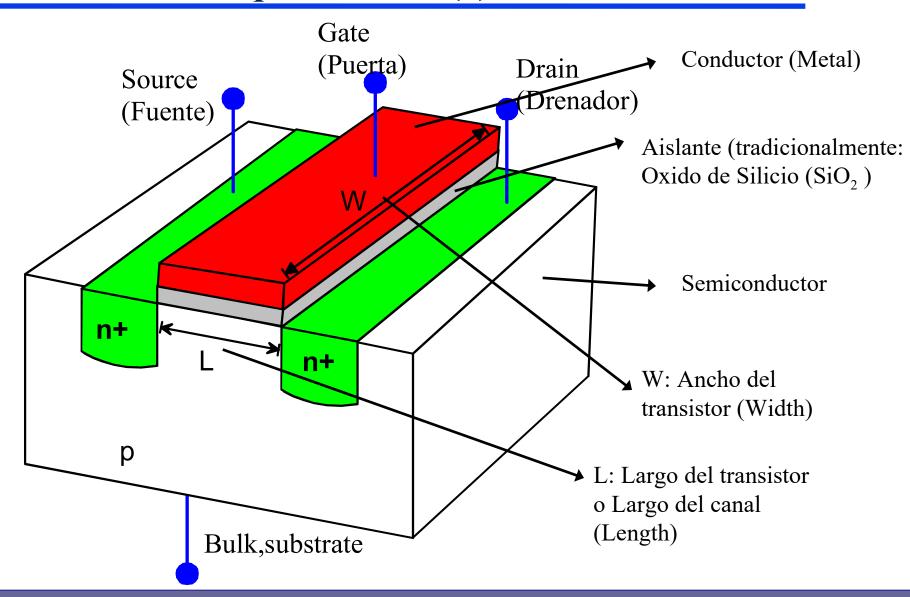
Transistores de Efecto de Campo

Rev. 1.1
Curso Electrónica Fundamental
Fernando Silveira
Instituto de Ingeniería Eléctrica

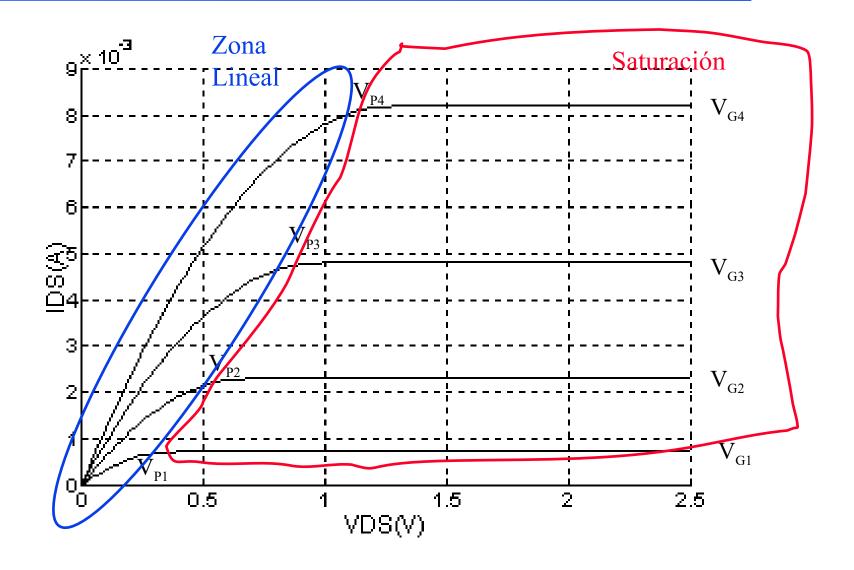
Field Effect Transistors (FETs)

- MOSFET: Metal-Oxide-Semiconductor FET
 - Enriquecimiento
 - Empobrecimiento
- JFET: Junction FET
- MOSFET:
 - Idea, principio: 1928
 - Implementación práctica: 1959
 - Circuitos Integrados MOS (CMOS) actualmente más del 90% del total de circuitos integrados.
 - Permitieron circuitos con "Very Large Scale of Integration" (VLSI)
 - Scaling
 - Más de mil millones de transistores en un chip

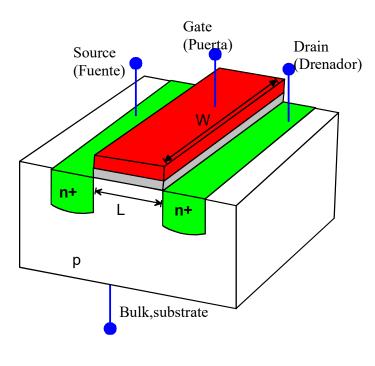
nMOS de Enriquecimiento (1)



El fin de la historia:



Tecnología MOS actual

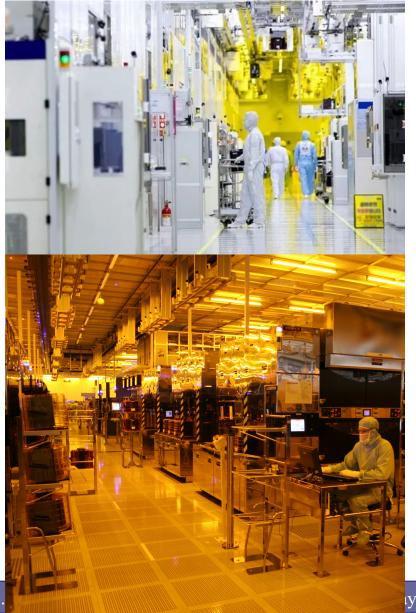


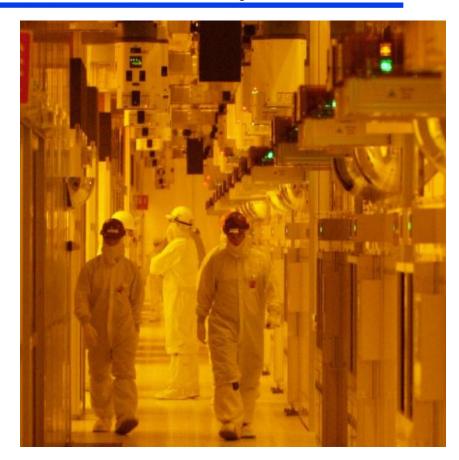
- La partir de 28 nm (22 nm 16nm, ...), W a partir de valores levemente mayores.
- t_{ox}: Espesor del óxido algunos nm
 - $-1nm = 10 \text{ Å} = unas pocas capas atómicas}$
- => Límite por corriente de túnel en el óxido.
- Más de mil millones de transistores en un chip
- Número de transistores por chip se duplica cada aprox. 2 años (Ley de Moore)
- Capacidades , f , Tensión de alimentación (ultimas tecnos: 0.9V a 1V)

¿Cuánto es 1 nm?



Para poder fabricar dispositivos de um y nm



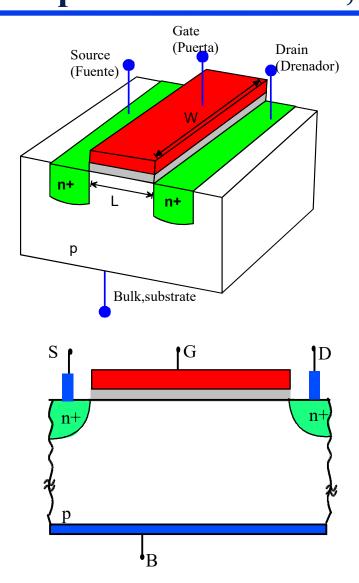


Fuentes: Intel, ESA / ST, IEEE Spectrum

Drain Source (Drenador) (Fuente) Transistor MOS: la realidad Bulk, substrate Conexiones Gate Fuente: IBM Oxido Sustrato

Gate

Transistor MOS: Dispositivo Simétrico, 4 terminales



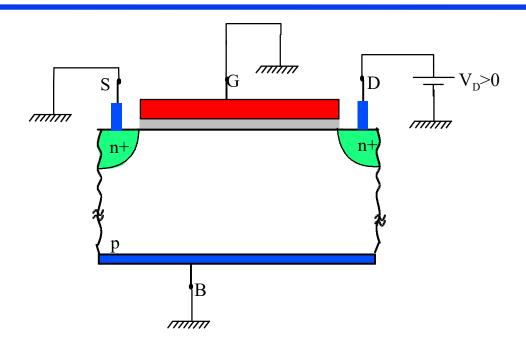


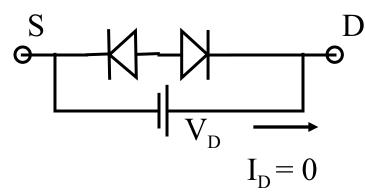
Source: Terminal del que parten lo portadores.

Drain: Terminal al que llegan lo portadores

nMOS => portadores: e⁻=> portadores de S a D y corriente de D a S

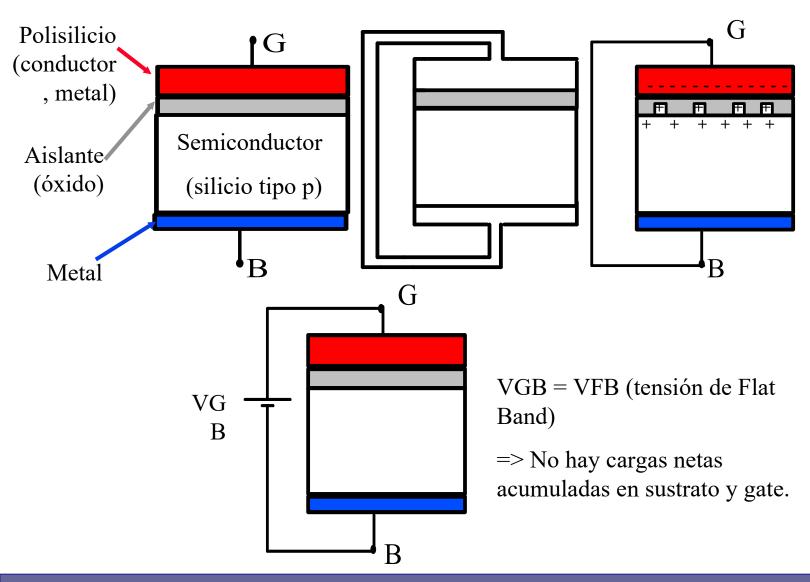
Transistor nMOS: Zona de Corte



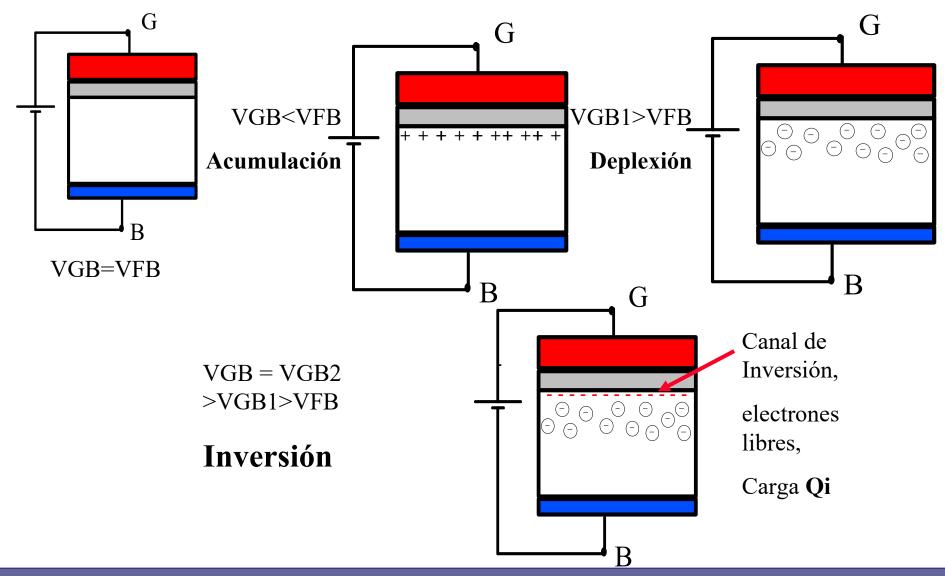


Transistor cortado

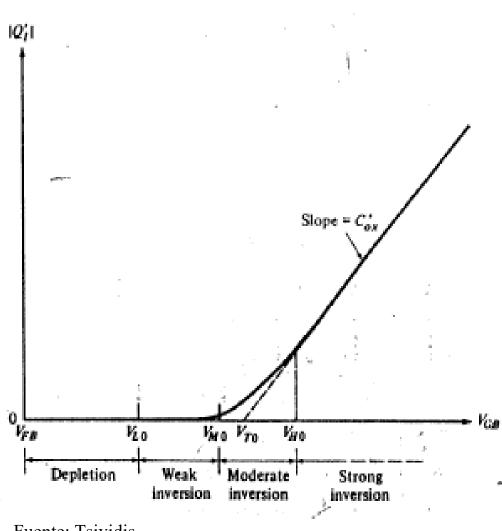
Estructura MOS de Dos Terminales: Tensión de Banda Plana ("Flat Band")



Estructura MOS de Dos Terminales: Acumulación, Deplexión, Inversión



Estructura MOS de Dos Terminales: Carga de Inversión Qi



Aproximación usual (inversión fuerte):

$$Q'_{i} = C'_{ox} \cdot (VGB-VT0)$$

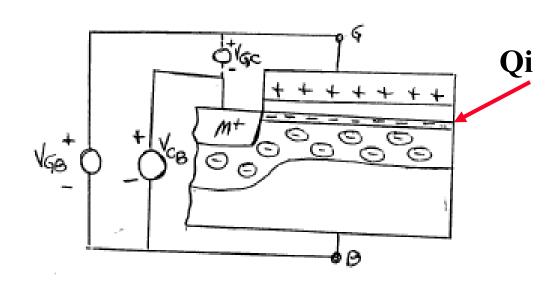
Q'_i = Q_i/(W.L) carga de inversión por unidad de área

 $C'_{ox} = \varepsilon_{ox}/t_{ox}$ capacidad de gate por unidad de área

VT0: Tensión umbral

Fuente: Tsividis

Estructura MOS de Tres Terminales: Efecto de sustrato (efecto "body").

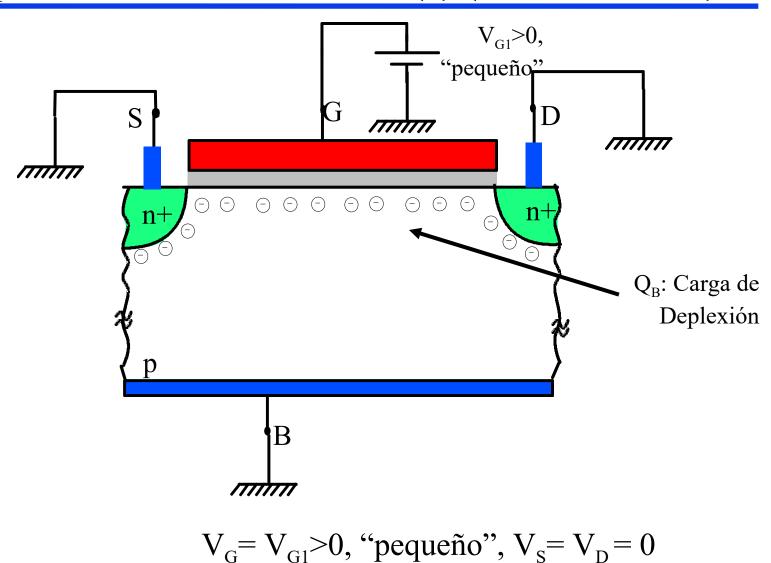


$$Q'_{i} \cong C'_{ox}.(VGB - VT0-(1+\delta).VCB),$$

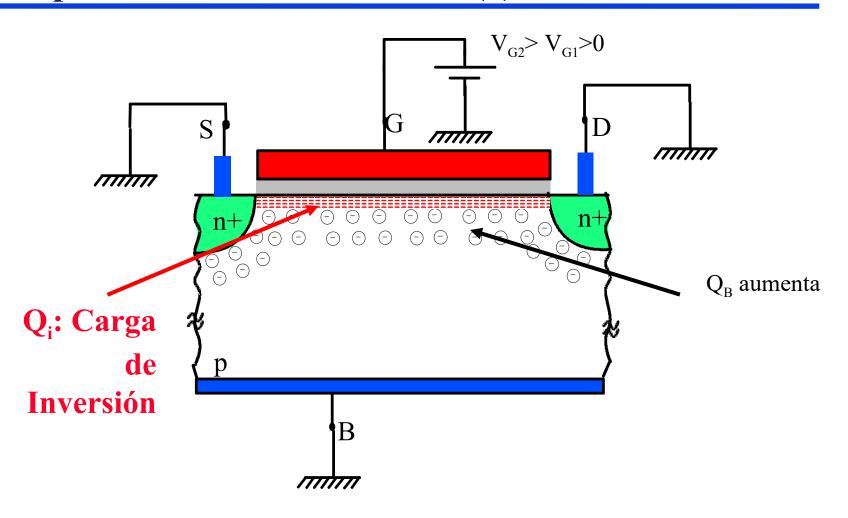
$$\delta = 0.2 \dots 0.6$$

- Si se aumenta VCB manteniendo VGC constante => Qi disminuye.
- Para tener el mismo Qi, VGB y VGC tienen que aumentar en mayor proporción que VCB

Operación Transistor MOS (1) (Zona de Corte)

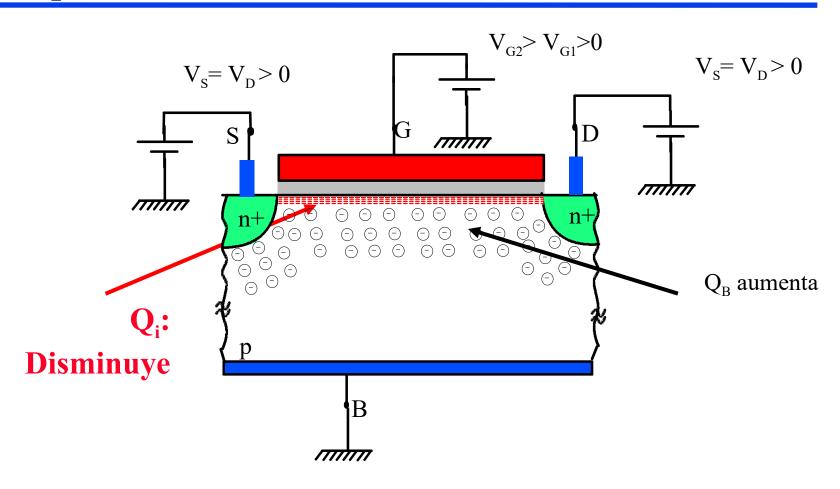


Operación Transistor MOS (2)



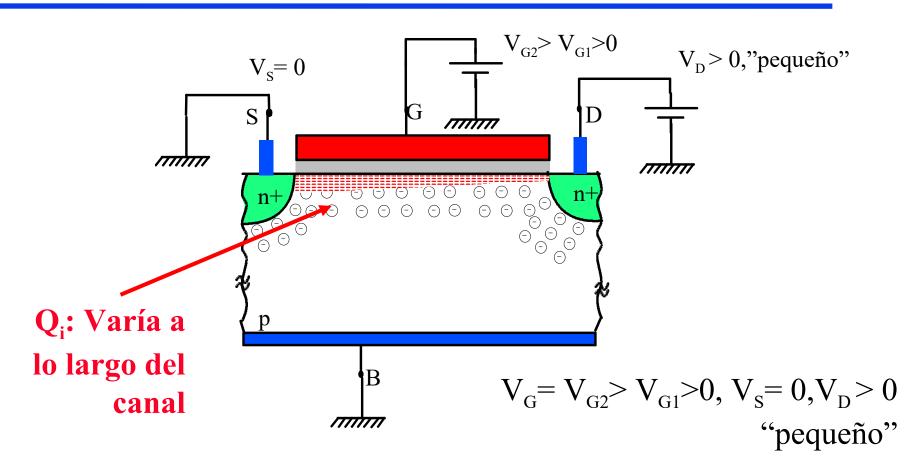
$$V_G = V_{G2} > V_{G1} > 0, V_S = V_D = 0$$

Operación Transistor MOS (3)



$$V_G = V_{G2} > V_{G1} > 0, V_S = V_D > 0$$

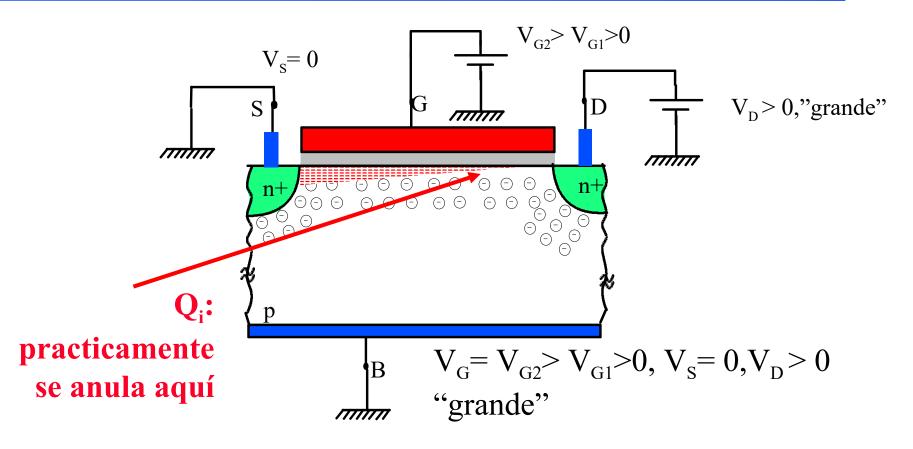
(Zona Lineal o "triodo")



 I_{DS} distinto de 0, aprox. lineal con V_{DS} , comportamiento de resistencia,

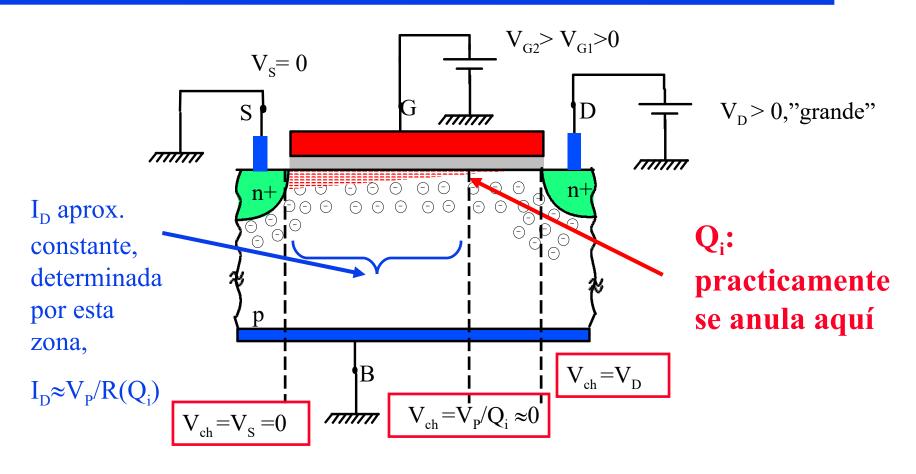
pequeña, controlada por V_G

Operación Transistor MOS (5) (Saturación)



 I_{DS} distinto de 0, no depende en primera aproximación de V_{D} , comportamiento de fuente de corriente

Operación Transistor MOS (6) (Saturación 2)



 V_p : tensión de "pinch-off" = V_{DSAT} : tensión de saturación $Q_i \cong C_{ox}^* \cdot (V_G - V_{T0} - (1+\delta) \cdot V_{ch}) => V_p = (V_G - V_{T0})/(1+\delta) = V_{DSAT}$

Operación Transistor MOS (7) (Saturación 3)

