

Electrónica Fundamental

Práctico 5

Transistores - Primera parte

Los ejercicios marcados con ★ son opcionales. Además cada ejercicio puede tener un número, que indica el número de ejercicio del libro del curso (*Microelectronic Circuits, 7th. edition. Sedra/Smith.*) o una fecha, que indica en que prueba se planteó el ejercicio.

Objetivo: El objetivo general del presente práctico es familiarizar al estudiante con los aspectos básicos del funcionamiento de los transistores de efecto de campo MOS. En particular se repasarán los principios físicos en que se basa el funcionamiento de estos dispositivos y su funcionamiento en dc (polarización), incluyendo las condiciones de saturación, zona lineal y corte.

Ejercicio 1 (5.15)

Este ejercicio ilustra el punto central de la revolución tecnológica que viene ocurriendo desde las últimas décadas: al reducir continuamente el tamaño de los transistores MOS, podemos integrar más dispositivos en un chip. Gordon Moore, co-fundador de Intel, predijo este crecimiento y que sería exponencial, muy temprano en la historia del desarrollo de los circuitos integrados (1965), en lo que hoy se conoce como la *ley de Moore*.

La tabla muestra cuatro generaciones de tecnologías de circuitos integrados MOS, cada una caracterizada por la mínima longitud L de canal que puede tener un transistor (fila 1). Al pasar de una generación a otra, tanto L como t_{ox} son escalados por el mismo factor. La fuente de alimentación utilizada V_{DD} también se escala por el mismo factor, para mantener las magnitudes de todos los campos eléctricos dentro del dispositivo sin cambios. Por otra parte, V_T no escala de manera similar (ver fila 8 de la tabla). Complete la tabla, observando que:

- La fila 5 solicita el parámetro de transconductancia de un transistor NMOS (β) con $(W/L) = 10$ (donde W es el ancho del transistor).
- La fila 9 solicita el valor de I_D obtenido con $V_{GS} = V_{DS} = V_{DD}$.
- La fila 10 pide la potencia $P = V_{DD} \cdot I_D$ disipada en el circuito.
- La fila 11 solicita a densidad de potencia, potencia sobre área: P/A .
- Finalmente, la fila 12 pide que encuentre el número de transistores que se pueden colocar en un chip fabricado en cada una de las tecnologías en términos del número obtenido con la tecnología más vieja $0.5\mu m$ (n).

1	L (μm)	0.5	0.25	0.18	0.13
2	t_{OX} (nm)	10			
3	C_{OX} (mF/m ²)				
4	$\mu \cdot C_{OX}$ ($\mu A/V^2$) con $\mu = 500cm^2/Vs$				
5	β (mA/V ²) con $W/L = 10$				
6	Area A (μm^2) con $W/L = 10$				
7	V_{DD} (V)	5			
8	V_{t0} (V)	0.7	0.5	0.4	0.4
9	I_D (mA) con $V_{GS} = V_{DS} = V_{DD}$				
10	P (mW)				
11	P/A (mW/ μm^2)				
12	Transistores por chip	n			

Ejercicio 2 (5.56)

El objetivo de este ejercicio es estudiar y ejercitar las ecuaciones del transistor MOS en circuitos sencillos. Los circuitos mostrados en las Figuras 2.1, 2.2 y 2.3 se caracterizan por $V_{t0} = 0.8V$, $\beta = 0.5mA/V^2$ y $\delta = 0$.

- Calcule cuánto valen V_1 y V_5
- Muestre que el transistor de la Figura 2.3 siempre está saturado y calcule el valor de V_6 .

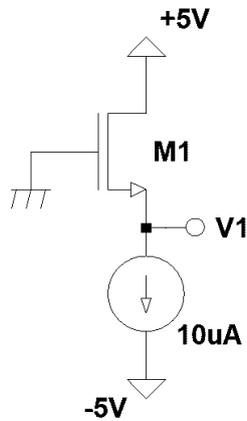


Figura 2.1

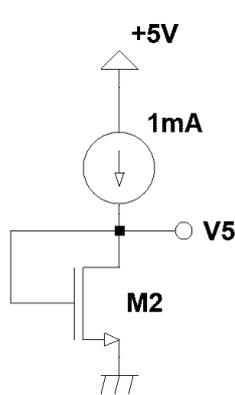


Figura 2.2

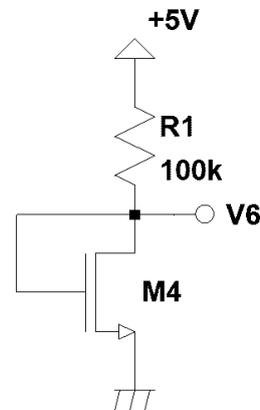


Figura 2.3

Ejercicio 3

Este ejercicio tiene como objetivo mostrar la potencialidad de diagrama gráfico para obtener las ecuaciones del transistor MOS, mostrar la simetría respecto a source y drain del dispositivo, y familiarizarse con los diferentes formatos de las ecuaciones.

- Utilizando la representación gráfica de la corriente por el transistor MOS (Diagrama de Memelink-Jespers), deducir la ecuación de la corriente de

drain de un transistor NMOS en función de las tensiones referidas al sustrato (V_{GB} , V_{DB} y V_{SB}) para las zonas de saturación y lineal.

- (b) Verificar que si se intercambian source y drain solo cambia el signo de la corriente.
- (c) A partir de las ecuaciones halladas deducir las ecuaciones en función de las tensiones referidas a la source (V_{GS} , V_{DS} y V_{BS}).
- (d) El circuito de la figura se conoce como divisor MOS. Si los transistores M1 y M2 son idénticos y $V_G > V_{t0}$, mostrar usando el diagrama gráfico que el transistor M1 opera en zona lineal y M2 saturado.³
- (e) Determinar V_{D1} en función de V_G , V_{t0} y δ

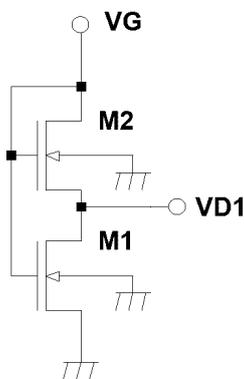


Figura 3

Ejercicio 4

Las Figuras 4.1 y 4.2 muestran dos variantes de un circuito que a veces se usa para modificar el nivel DC de una señal entre el nivel que se tiene en V_G y el que se tiene en V_O (“level shifter”).

Calcular para cada uno de los circuitos la tensión en V_O si los transistores tienen $V_{t0} = 0.7V$, $\beta = 200\mu A/V^2$, $\delta = 0.3$, $V_{DD} = 5V$, $V_G = 3V$ e $I_{BIAS} = 20\mu A$

Ejercicio 5 (5.58)

El objetivo de este ejercicio es estudiar y ejercitar las ecuaciones del transistor MOS en diferentes zonas de funcionamiento, tomando de referencia un circuito con un transistor PMOS. Considere el circuito mostrado en la Figura 5 donde $I = 100\mu A$, $V_{i0} = 1V$, $\beta = 0.2mA/V^2$ y $\delta = 0$.

- (a) Encuentre el valor de V_{SD} y V_{SG} para $R = 0\Omega$, $10k\Omega$, $30k\Omega$ y $100k\Omega$.
- (b) ¿Para qué valor de R se cumple $V_{SD} = V_{SG}$, $V_{SD} = V_{SG}/2$ y $V_{SD} = V_{SG}/10$?

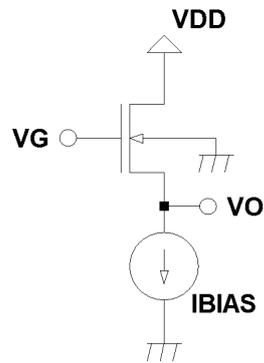


Figura 4.1

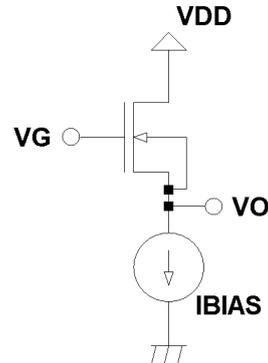


Figura 4.2

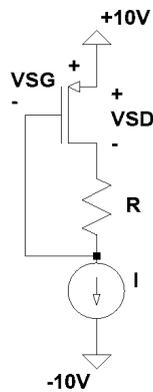


Figura 5

Ejercicio 6

El objetivo de este ejercicio es familiarizar al estudiante con la hoja de datos de una llave MOS discreta.

Se desea utilizar el transistor PMOS BSS84P, cuya hoja de datos está en los materiales del curso, para interrumpir la alimentación de 10V a un circuito que consume 100mA.

- Indicar como conectaría el transistor y cómo se debe manejar su tensión de puerta.
- Determinar la caída de tensión a temperatura ambiente, típica y en el peor caso, en la llave cuando está conduciendo.

Ejercicio 7

Este problema muestra una configuración simple para polarización de un transistor MOS.

Para el circuito de la Figura 7 se tiene que $V_{DD} = 10V$.

- Mostrar que el transistor siempre se encuentra en saturación.

- (b) Hallar I_D y V_D si se cumple que $V_{t0} = 1V$, $\beta = 1mA/V^2$ y $\delta = 0.3$.

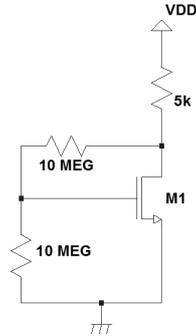


Figura 7

Ejercicio 8

El circuito de la Figura 8.1 es un espejo de corriente ya que “refleja” la corriente I_{in} en la corriente I_{out} , con un factor de escala dado por la relación entre las relaciones de aspecto (W/L) de los transistores M1 y M2. Para el problema, considerar que los transistores son idénticos (mismo V_{t0} , μC_{ox} , δ , L y tensión de Early infinita), excepto en el ancho donde M1 tiene ancho $W1$ y M2 tiene ancho $W2$.

- (a) Mostrar que si VDD y RL son tales que M2 está en saturación el circuito funciona como se indicó anteriormente. ¿Qué condición deben cumplir VDD y RL para esto?
- (b) I_{in} se sustituye por la resistencia $R1$ y VDD como se muestra en la Figura 8.2 ¿Cuánto vale I_{out} si VDD y RL cumplen la condición hallada en (a)? ¿Qué está implementando el circuito formado por VDD , $R1$, M1 y M2? Considere $V_{t0} = 0.8V$, $\beta_{M1} = 0.5mA/V^2$, $\delta = 0$, $VDD = 5V$, $W2 = 5W1$ y $R1 = 100k$.

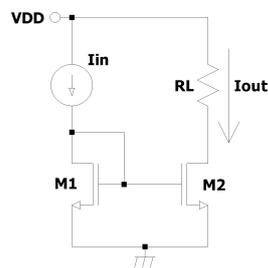


Figura 8.1

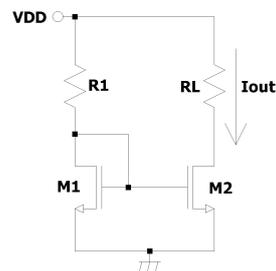


Figura 8.2

Ejercicio 9

El objetivo de este ejercicio es estudiar como se comporta una llave analógica CMOS frente a diversos valores de sus entradas. Para ello se tiene una llave analógica CMOS cuyas características son: $V_{t0n} = |V_{t0p}| = 1.1V$, $\beta_n = 1.7mA/V^2$, $\beta_p = 0.9mA/V^2$ y $\delta_n = \delta_p = 0.2$. Se utilizan señales de control de $\pm V_{DD}$ y señales de entrada en el rango de $[V_{DD}, -V_{DD}]$, donde $V_{DD} = 5V$. La llave se conecta a tierra a través de resistencia R .

- Calcular la resistencia de la llave para los casos en que la tensión de entrada es:
 - 5V
 - 0
 - 5V
- ¿Cuán grande debe ser la resistencia R para que la caída en la llave no supere el 1% de la señal de entrada en ningún caso?
- Esta llave CMOS es usada para conectar una fuente sinusoidal de pequeña amplitud entorno a 0V a una capacidad de 1nF. Con los datos de las partes anteriores, calcular cual es la frecuencia de corte introducida por la llave.

Ejercicio 10

El circuito de la Figura 10.1 implementa una fuente de corriente, fijando la corriente IL en función de la tensión V_{ref} , la cual es positiva. El amplificador operacional se supondrá ideal.

- Si V_{DD} y RL son tales que M1 opera en saturación, determinar la corriente IL . ¿Qué corriente debe entregar OA1 a la salida? ¿Qué función cumple M1?
- El circuito de la figura se modifica como se muestra en la Figura 10.2 de modo de poder simular la resistencia R_{ref} con el transistor MOS en zona lineal y tener otro mecanismo para controlar la corriente. ¿Qué condición debe cumplir V_{Gref} para que el transistor MOS se pueda suponer opera como una resistencia controlada por la tensión V_{Gref} ?

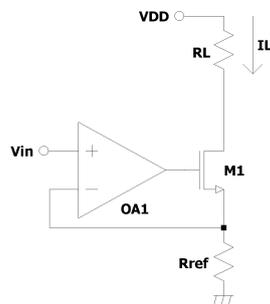


Figura 10.1

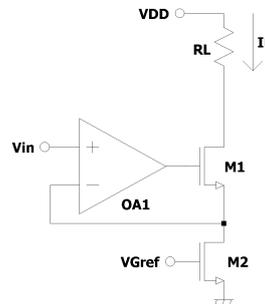


Figura 10.2

Ejercicio 11

Este ejercicio muestra, usando las herramientas vistas hasta el momento, el uso del transistor MOS como amplificador. En el siguiente práctico se desarrollan herramientas específicas para resolver circuitos amplificadores basados en estos transistores.

Considere el circuito de la Figura 11 donde $\mu_n C_{ox} = 100 \mu A/V^2$, $V_{t0} = 0.4V$ y $\delta = 0$.

- Calcule la corriente de polarización de M1.
- Determine el valor de W/L que coloca a M1 al borde de la saturación.
- Calcular el cambio que produce sobre el voltaje de drain (Δv_{DS}), un cambio de 1 mV en el voltaje de gate ($\Delta v_{GS} = 1mV$). ¿Qué ocurre con Δv_{DS} si se divide a la mitad R_D ?

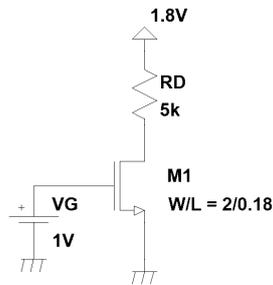


Figura 11

Lista de ejercicios de parciales y exámenes de años anteriores recomendados para preparar parciales y/o exámenes. Los mismos pueden abarcar los temas de prácticos anteriores:★

- Electrónica 1: Segundo parcial Julio de 2012. Problema 3.

Solución

Ejercicio 1

1	L (μm)	0.5	0.25	0.18	0.13
2	t_{OX} (nm)	10	5	3.6	2.6
3	C_{OX} (mF/m ²)	3.45	6.9	9.6	13.2
4	$\mu \cdot C_{OX}$ ($\mu\text{A}/\text{V}^2$) con $\mu = 500\text{cm}^2/\text{Vs}$	173	345	480	664
5	β (mA/V ²) con $W/L = 10$	1.73	3.45	4.80	6.64
6	Area A (μm^2) con $W/L = 10$	2.50	0.63	0.32	0.17
7	V_{DD} (V)	5	2.5	1.8	1.3
8	V_{t0} (V)	0.7	0.5	0.4	0.4
9	I_D (mA) con $V_{GS} = V_{DS} = V_{DD}$	15.9	6.9	4.7	2.7
10	P (mW)	79.7	17.3	8.5	3.5
11	P/A (mW/ μm^2)	31.9	27.6	26.1	20.7
12	Transistores por chip	n	4n	8n	15n

Ejercicio 2

(a) $V_1 = -1\text{V}$ y $V_5 = 2.8\text{V}$

(b) $V_6 = 1.2\text{V}$

Ejercicio 3

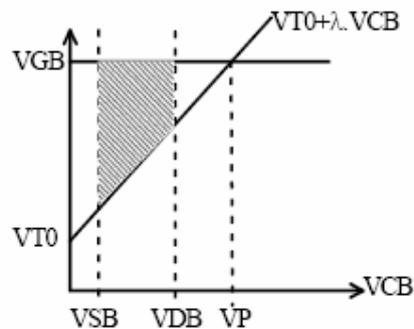


Figura 11

(a) Como se ve en la Figura 11, la corriente I_D se calcula como el área sombreada. Para saturación se considera el área comprendida hasta el punto V_P . Verificar soluciones en la hoja de Ecuaciones de Transistor MOS del curso.

Ejercicio 4

Figura 4.1: $V_O = 1.37\text{V}$.

Figura 4.2: $V_O = 1.79\text{V}$.

Ejercicio 5

	$R(\Omega)$	$V_{SD}(V)$	$V_{SG}(V)$	Zona Transistor
	0	2	2	Saturación
(a)	10	1	2	Saturación
	30	0,22	3,22	Lineal
	100	0,055	10,055	Lineal

- (b)
- | | |
|-----------------|----------------------|
| $R = 0\Omega$ | $V_{SD} = V_{SG}$ |
| $R = 10k\Omega$ | $V_{SD} = V_{SG}/2$ |
| $R = 25k\Omega$ | $V_{SD} = V_{SG}/10$ |

Ejercicio 6

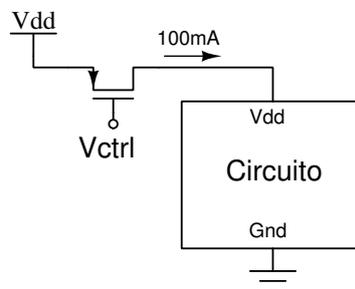


Figura 11

- (a) Circuito on: $V_{ctrl} = 0V$
 Circuito off: $V_{ctrl} = V_{dd}$

- (b) De tabla y figura 6 en la hoja de datos del BSS84P:
 $r_{ds_{typ}} \approx 5.8\Omega \rightarrow V_{SD} = 580mV$
 $r_{ds_{max}} \approx 8\Omega \rightarrow V_{SD} = 800mV$

Ejercicio 7

- (a) $V_{GS} = V_{DS}/2$ entonces vale siempre que $V_{DS} \geq V_{GS} - V_{t0}$
- (b) $V_{GS} = 2.58V$; $I_D = 957\mu A$ (La otra solución de la ecuación de segundo orden para V_{GS} es negativa y allí el transistor está cortado).

Ejercicio 8

- (a) $V_{DD} - R_L I_{in} W_2/W_1 > \sqrt{\frac{2I_{in}}{\mu C_{ox}(1+\delta)W_1/L}}$

- (b) $I_{out} = 190 \mu A$

Ejercicio 9

(a)

- $V_{in}=5V$: Transistor NMOS OFF y transistor PMOS en zona lineal; entonces $r_{on_5V} = r_{on_p} = \frac{1}{\beta_p(2V_{DD}-|V_{t0p}|)} = 125\Omega$.
- $V_{in}=0V$: Ambos transistores en zona lineal; la resistencia $r_{on_0V} = r_{on_n} // r_{on_p}$. Como $r_{on_p} = \frac{1}{\beta_p((1-\delta_p)V_{DD}-|V_{t0p}|)} = 380\Omega$ y $r_{on_n} = \frac{1}{\beta_n((1-\delta_n)V_{DD}-V_{t0n})} = 203\Omega$ entonces $r_{on} = 132\Omega$.
- $V_{in}=-5V$: Transistor PMOS OFF y transistor NMOS en zona lineal; entonces $r_{on_5V} = r_{on_n} = \frac{1}{\beta_n(2V_{DD}-V_{t0n})} = 66\Omega$.

(b) El peor caso para r_{on} se da en el umbral entre Zona Lineal y Zona OFF del transistor NMOS:

$$r_{on_peor_caso} = r_{on_p}|_{V_{in}=V_{in_MAX_nMOS}} = 191\Omega$$

$$R \geq 100 r_{on_peor_caso} = 19k\Omega$$

(c)

$$f = \frac{1}{2\pi r_{on_0V} C_L} = 1.2MHz$$

Ejercicio 10

(a) $I_L = V_{in}/R_{ref}$

(b) $V_{G_{ref}} : \sqrt{\frac{2V_{in}(V_{G_{ref}}-V_{t0})}{1+\delta}} + \beta V_{in}(V_{G_{ref}} - V_{t0})R_L < V_{DD} - V_{in}$

Ejercicio 11

(a)

$$I_D = 200\mu A$$

(b)

$$W/L = 2.4/0.18$$

(c) $\Delta v_{DS} = -3.3mV$. Este resultado da indicios que el circuito es capaz de amplificar la señal del gate. Si se divide a la mitad R_D , Δv_{DS} también cae a la mitad, mostrando que la ganancia de este amplificador es directamente proporcional a R_D .