

Multiplicador de frecuencia basado en diodos SRD

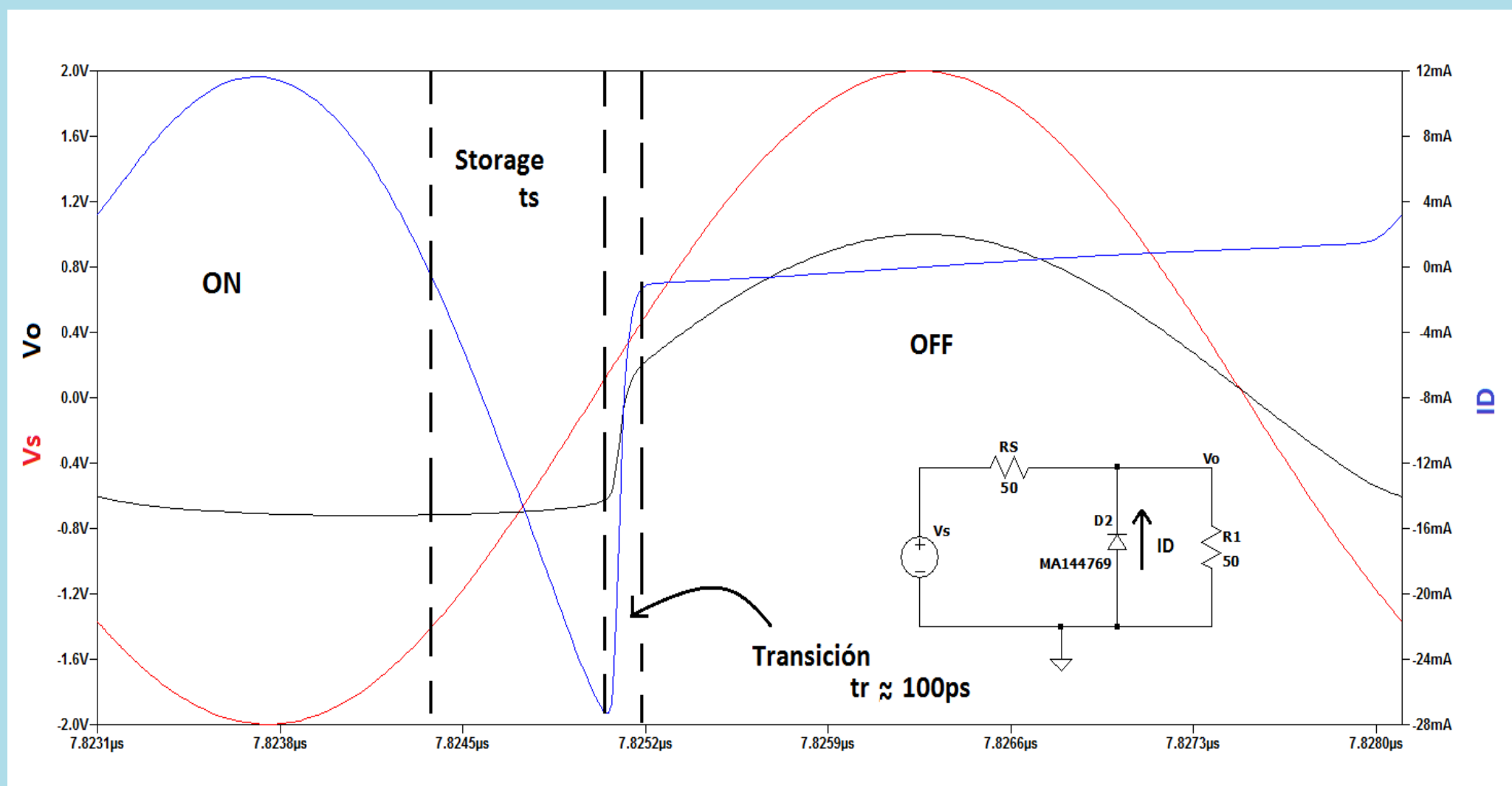


Autores: Andrés Bologna
Juan Pons

Tutores: Fernando Silveira
Leonardo Barboni



Se estudió el uso de diodos SRD (Step Recovery Diode) discretos y en un circuito integrado mediante el diseño y prueba de un multiplicador de frecuencia.

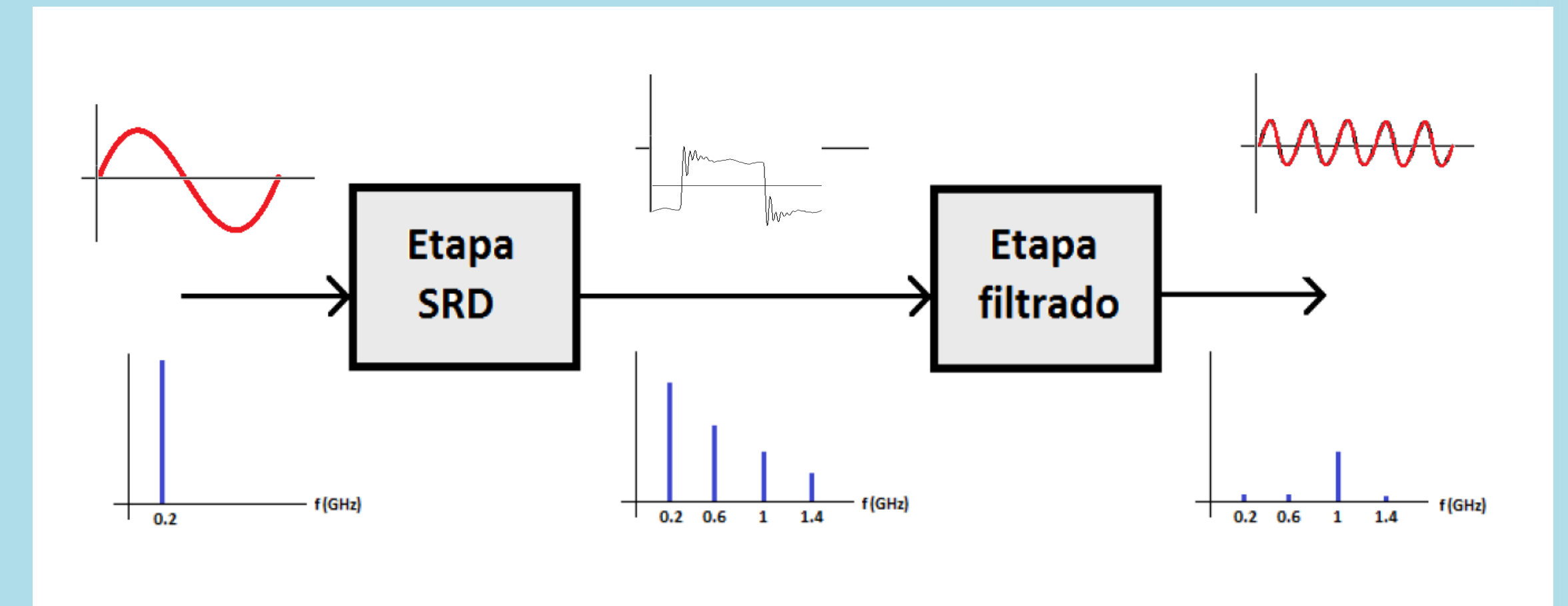


Conmutación de un diodo. En el caso de los SRD utilizados, se generan flancos con risetime del orden de 100ps en la etapa de Transición

Para una sinusoide de entrada de 200 MHz, se obtiene a la salida una de 1GHz, lo que se traduce en un multiplicador de factor x5.

El sistema consta de dos etapas:

- * Etapa SRD: Genera armónicos de la entrada.
- * Etapa de filtrado: Se filtran los armónicos no deseados.

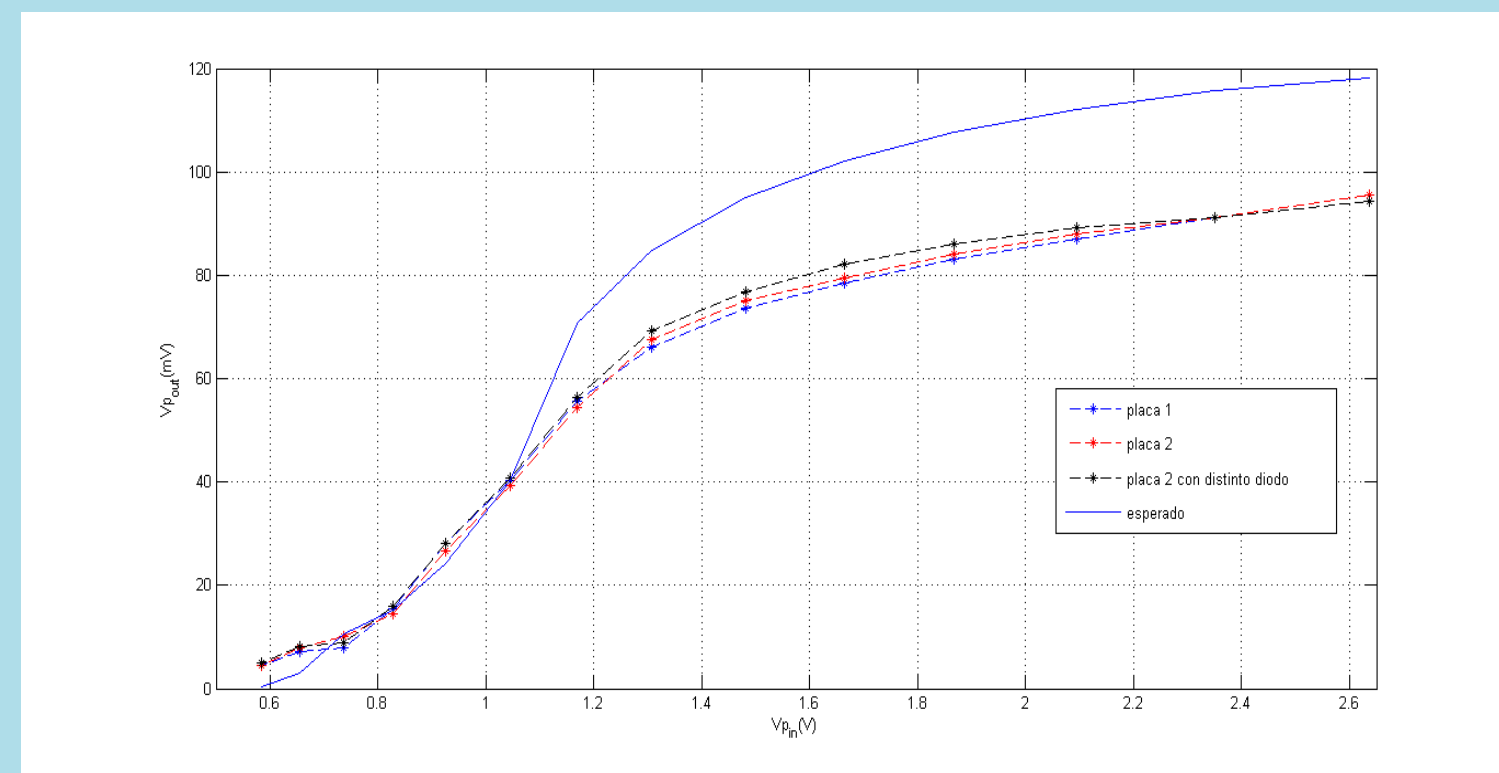


- Tres implementaciones del mismo circuito:
- * Diodos y filtros discretos.
 - * Diodos discretos y filtro distribuido.
 - * Circuito Integrado.

Circuito discreto

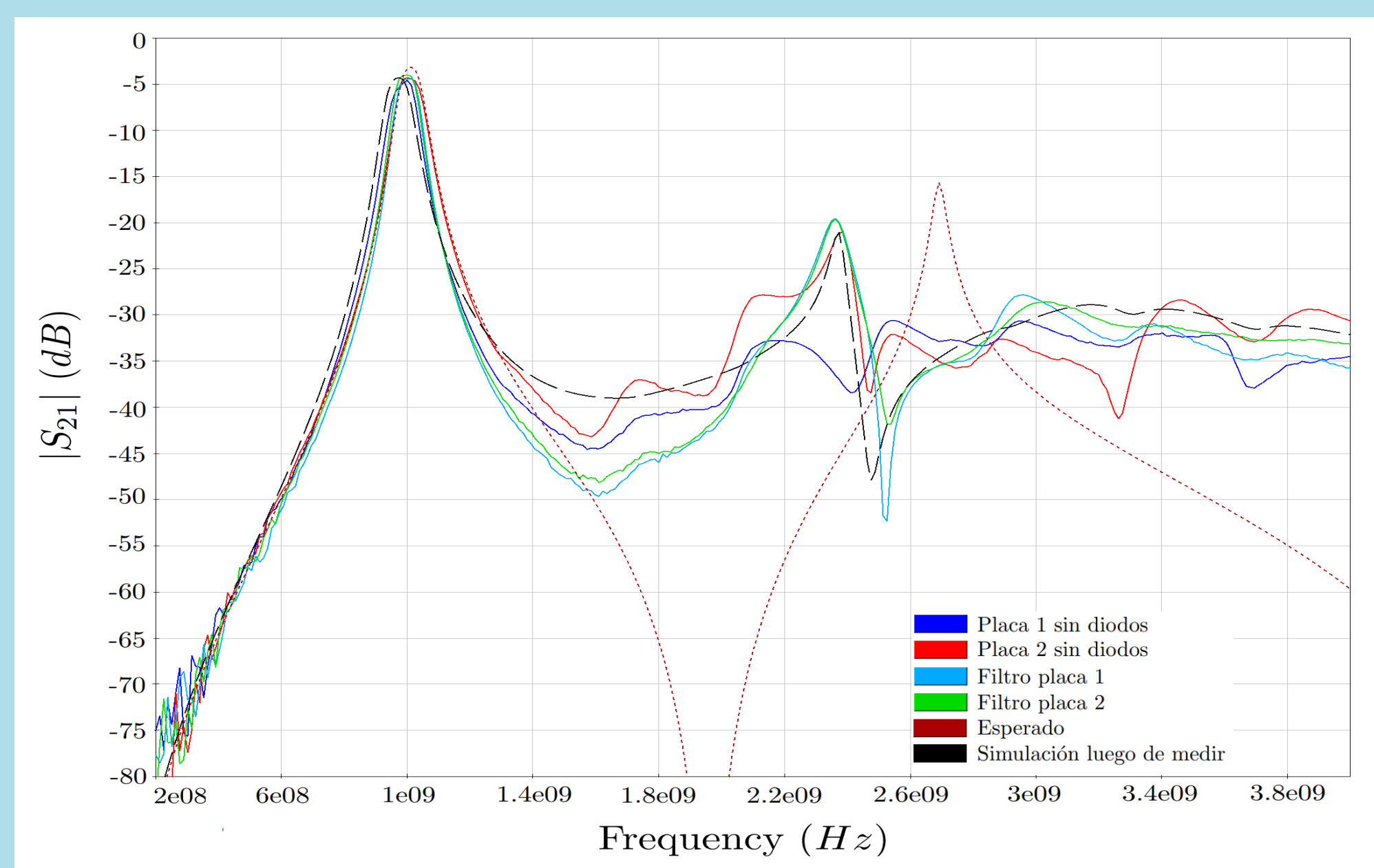


Placa del circuito discreto implementado



Amplitud de la salida en función de la amplitud de entrada

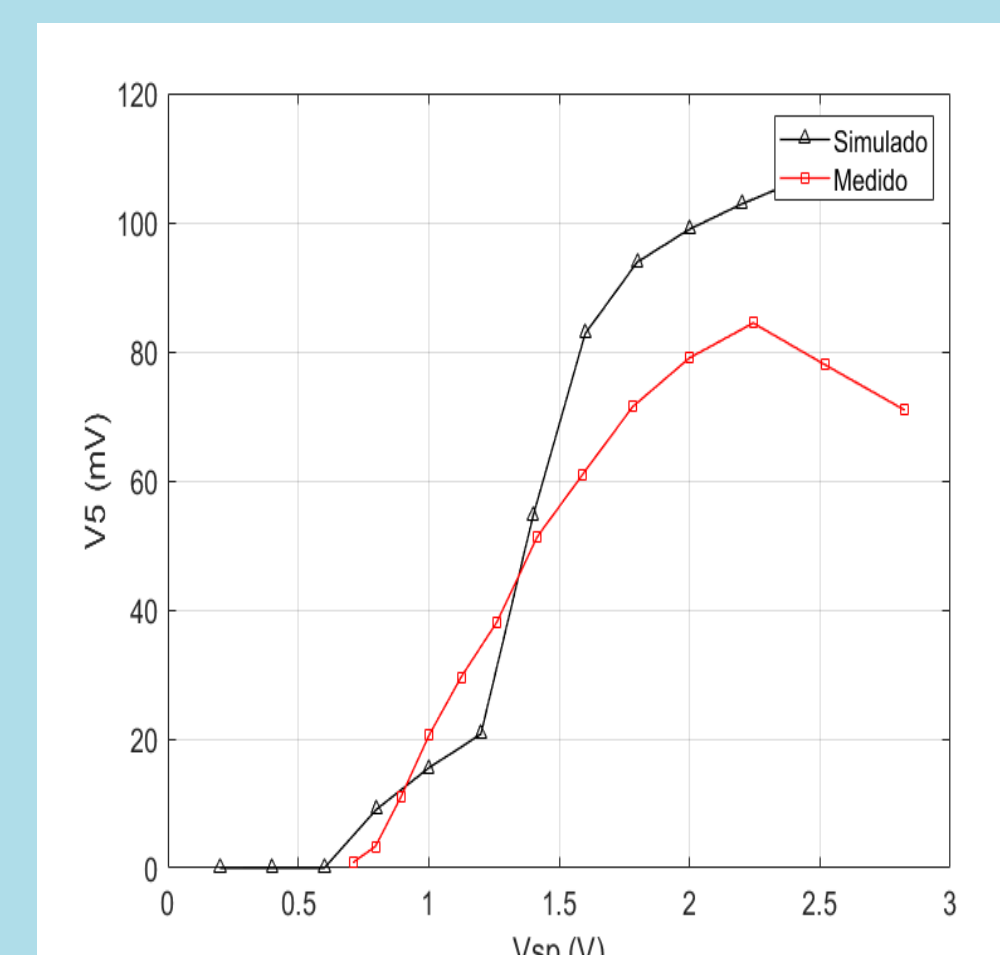
- * Las pistas que interconectan los componentes son líneas Microstrip. En nuestro caso se ajustan muy bien a parámetros concentrados ya que $L \approx 1mm \ll \lambda = 15cm$, para $f = 1GHz$ y $\epsilon_r = 4$.
- * Se tuvieron en cuenta las discontinuidades de los Microstrips, las vias utilizadas y los parásitos de los componentes.
- * Los filtros fueron ajustados al momento de medir para mejorar la respuesta en la banda de paso.
- * La simulación del filtro se ajustó (mayor detalle en la inspección del layout) luego de medir para explicar diferencias con lo esperado para $1GHz < f < 4GHz$.



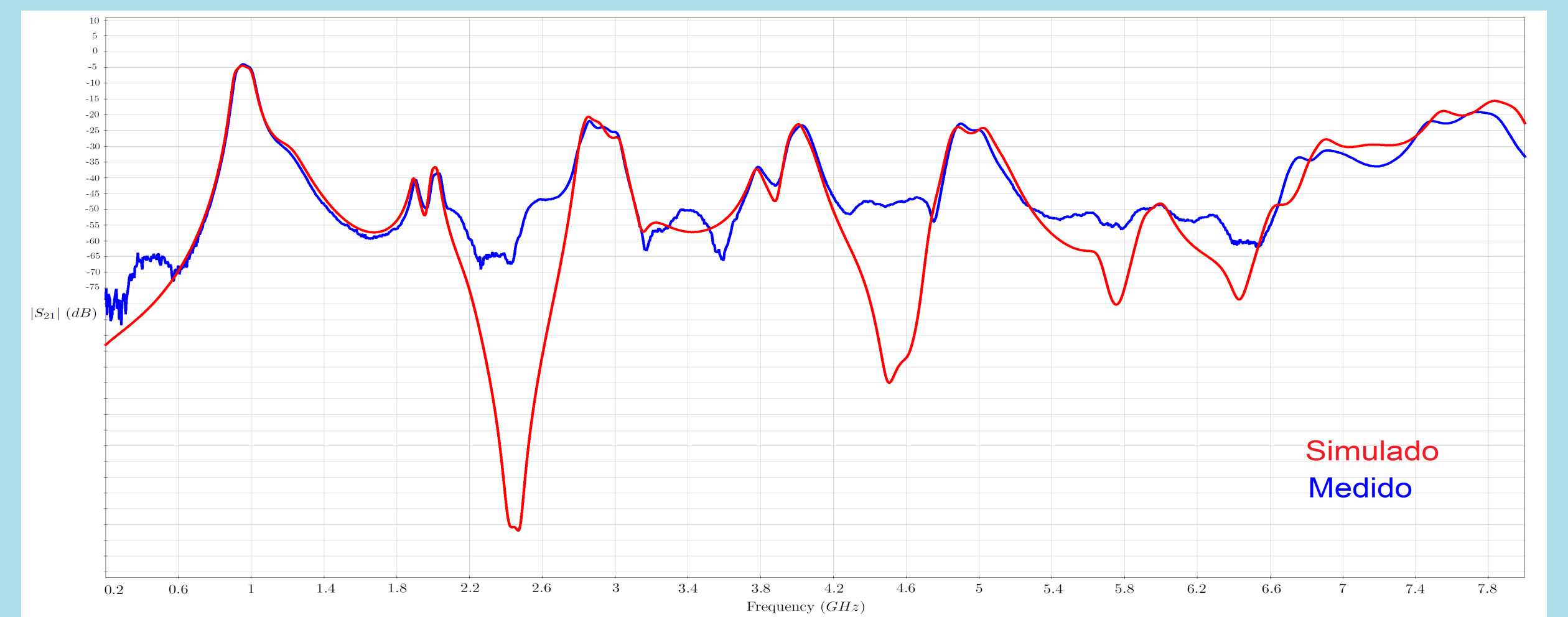
Circuito distribuido



Placa implementada. Arriba filtro + diodos con solder mask. Abajo filtro habiendole quitado el solder mask.



Amplitud de la salida en función de la entrada



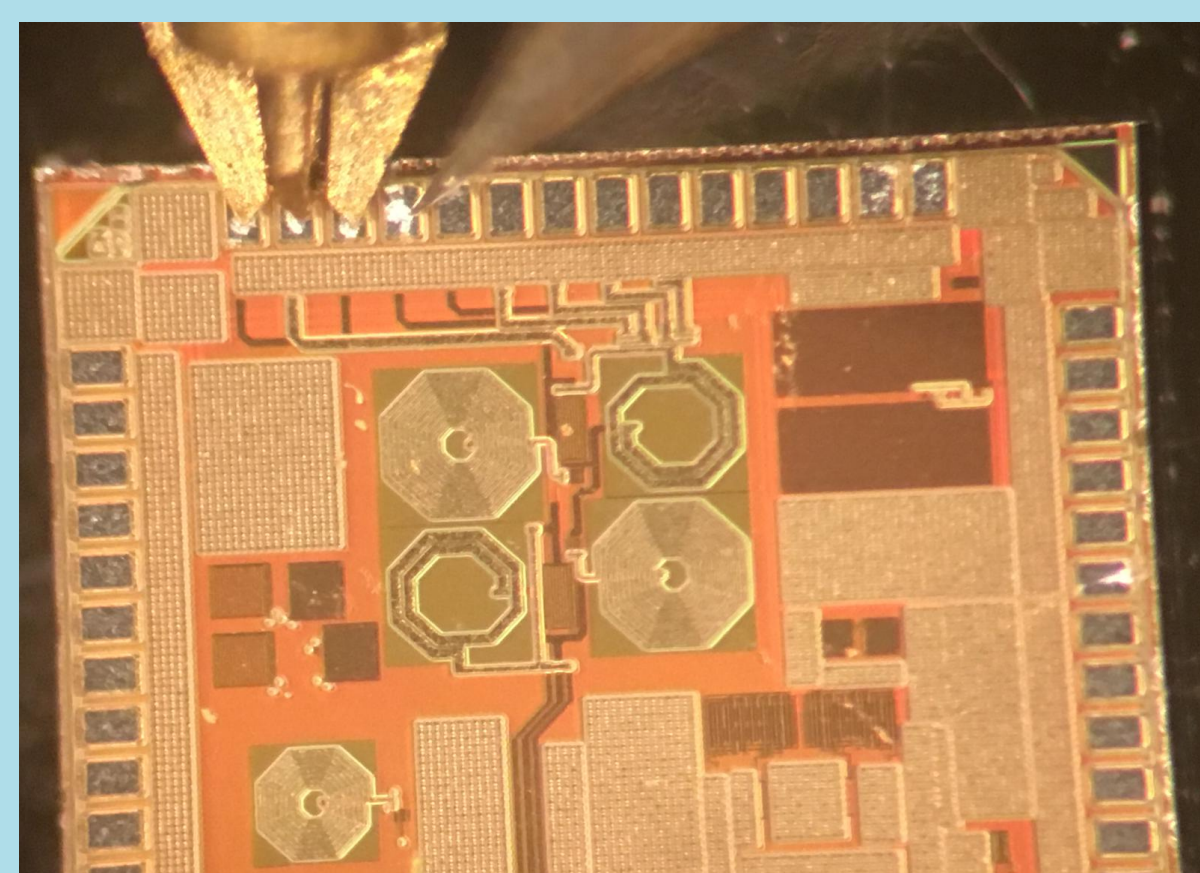
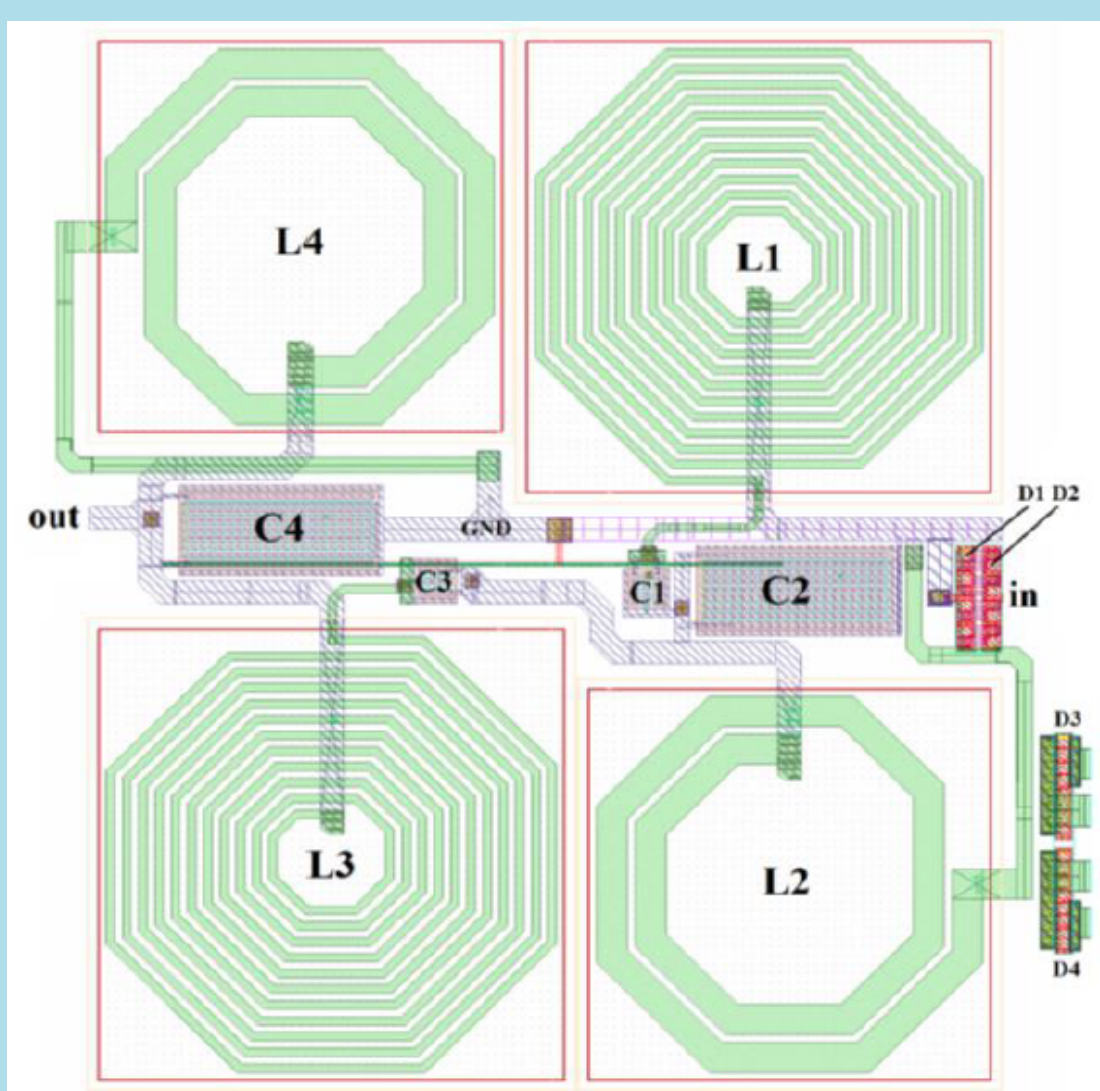
Rojo: S21 simulado en QUCS. Azul: S21 medido con el VNA.

Filtro:

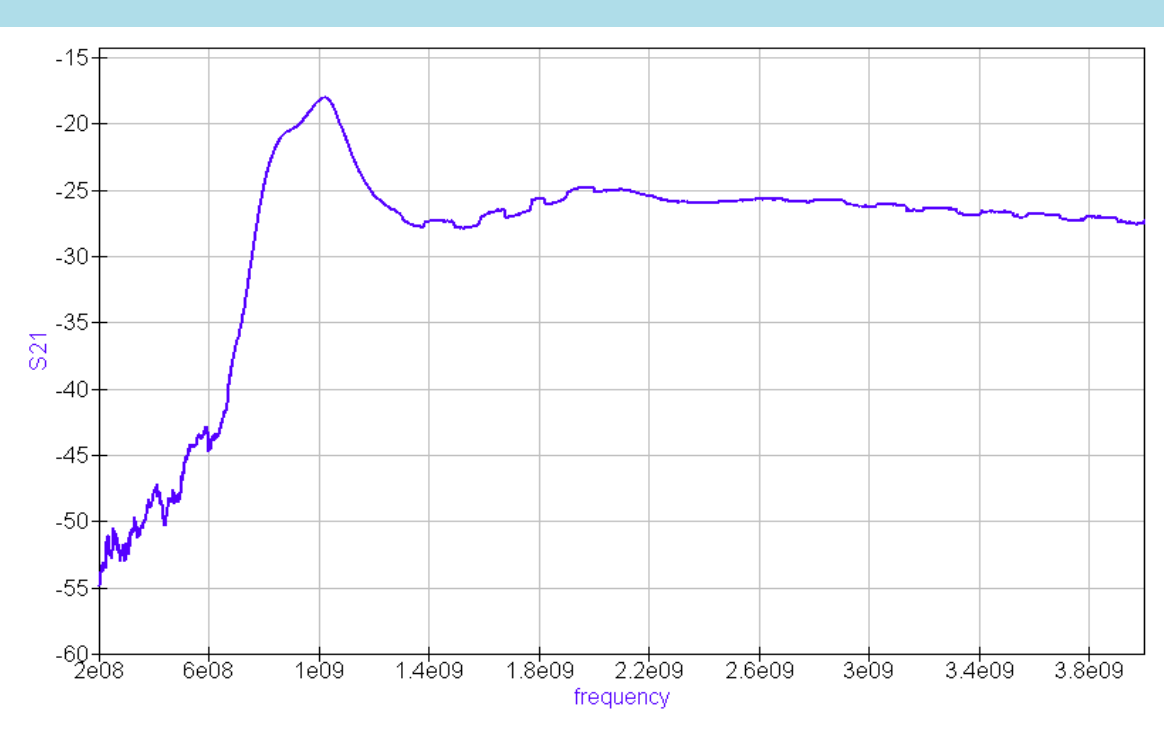
- * El diseño se basó en el uso de microstrips acoplados (2 pistas de cobre en paralelo) de largo $\lambda/4 \sim 4cm$.
- * Se agregaron stubs de distintos largos para atenuar respuestas espurias de alta frecuencia.
- * Se midieron los parámetros S utilizando un VNA y se ajustaron las simulaciones variando parámetros físicos como por ejemplo la permitividad eléctrica.

Filtro + Diodos: Se simuló en el tiempo y se midieron las componentes en frecuencia utilizando un analizador espectral.

Circuito integrado



- * En lugar de diodos SRD, se usaron un tipo de diodos varactores disponibles en la tecnología utilizada.
- * No se pudo simular en el tiempo porque los diodos no estaban modelados en forward.
- * Los armónicos generados en este caso fueron de muy baja potencia.
- * El $|S_{21}|$ del filtro tiene una forma similar a la esperada pero con mucha atenuación en banda de paso.



Conclusiones

- 1) Se lograron diseños que cumplen con el objetivo de multiplicar la entrada por 5 y cuya salida sea medible.
- 2) Dichas implementaciones son repetibles.
- 3) Las simulaciones en frecuencia se ajustan muy bien a las mediciones obtenidas.
- 4) Se encontraron discrepancias entre las potencias medidas y las simuladas para el caso del circuito completo en todos los casos.

