

# Análisis de tiempos

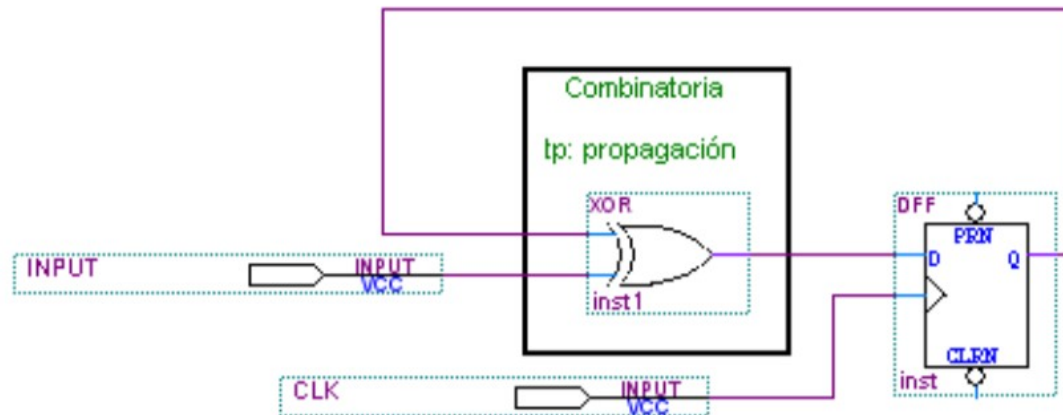
---

Diseño Lógico 2 - 2021  
Instituto de Ingeniería Eléctrica  
Facultad de Ingeniería  
Universidad de la República



# Requerimientos de tiempos

- Tiempos de setup y hold
- Fmax



FF:

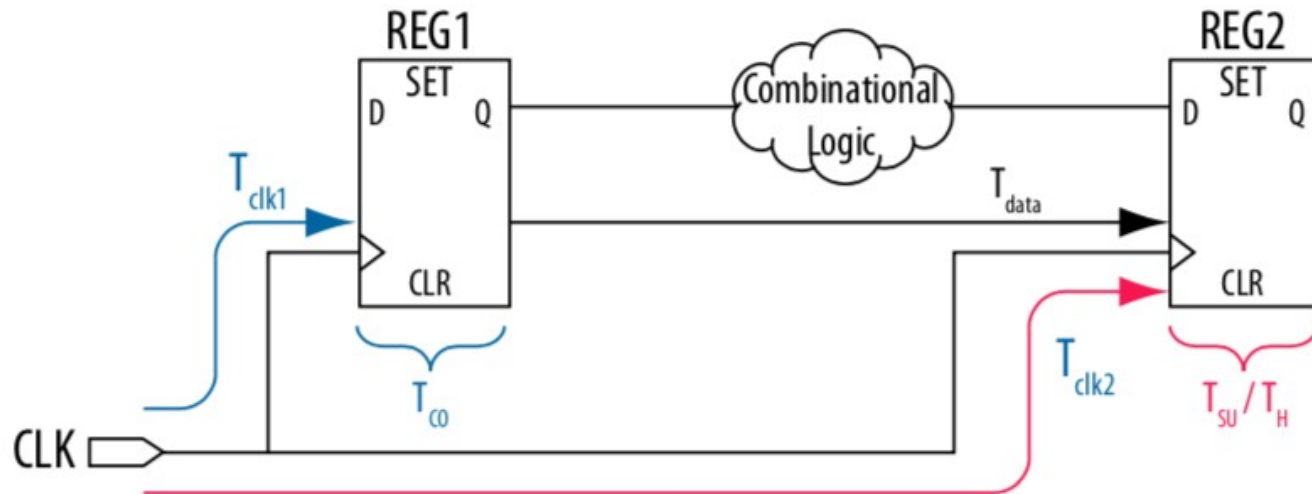
tcq: tiempo de propagación Clock a Q

tsu: tiempo de setup (requerido)

th: tiempo de hold (requerido)

# Requerimientos de tiempos

- Registro a registro



# Timing Analysis

---

- Analiza que se respeten tiempos de setup y hold
- Configurable: **Classic** o **TimeQuest**
- **TimeQuest** requiere especificar los relojes y usa sintaxis de **Synopsys Design Constraints** que es un estándar de-facto
- **Classic** esta discontinuado



# Time Quest

---

- Automáticamente al final de síntesis
  - Genera warnings o errores y reportes detallados
- Timing-driven compilation: Itera síntesis hasta asegurar que se cumplen todos los tiempos
- Manualmente
  - Interfaz Gráfica
  - Interfaz de línea de comandos
    - Manualmente desde consola
    - en archivo \*.sdc



# Ejemplo

---

- Crear archivo .sdc (ayuda con templates)
  - Definir unidades:
    - `set_time_format -unit ns -decimal_places 3`
  - Definir relojes:
    - `create_clock -name tq_clock50 -period 20 [get_ports clk] derive_pll_clocks`
- Settings -> TimeQuest Timing Analyzer
  - Agregar nombre archivo .sdc
  - Marcar Report worst-case...



# Más información

---

- **Documento:** Intel® Quartus® Prime Standard Edition User Guide, Timing Analyzer
- **En web Intel**
- <https://www.intel.com/content/www/us/en/programmable/support/support-resources/design-examples/design-software/timinganalyzer/softs-timinganalyzer.html>
- Timing Analyzer (Standard Edition)

