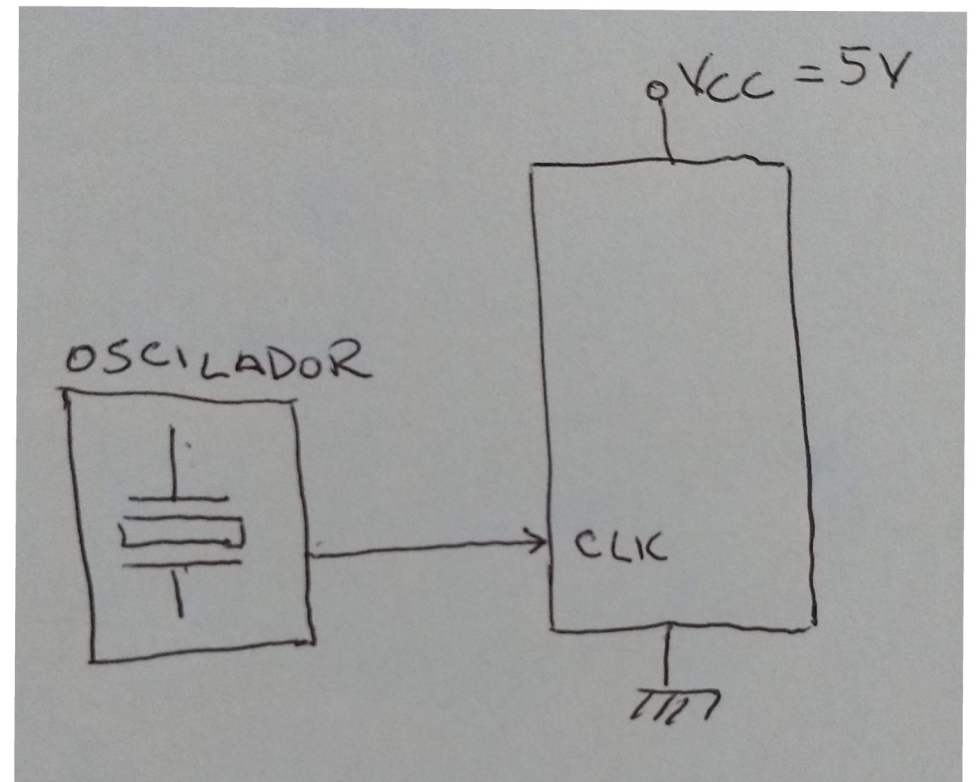


# Sistema Mínimo

- Fuente
- Reloj. Oscilador a cristal.
- Reset: retardo de establecimiento de la fuente, pulsador.
- Memoria
  - Interfaz ROM y RAM (/CS, /OE, /WE)
  - En ejemplo solo ROM
    - solo registros
    - no stack --> NO call y NO interrupciones
- Puertos
  - Entrada: buffer triestado
  - Salida: latch
- Ejercicio:
  - Diag buses y señales de control durante ejecución de OUT (0x01), A
- Decodificación: señales de control de memoria y puertos
- Buses multiplexados

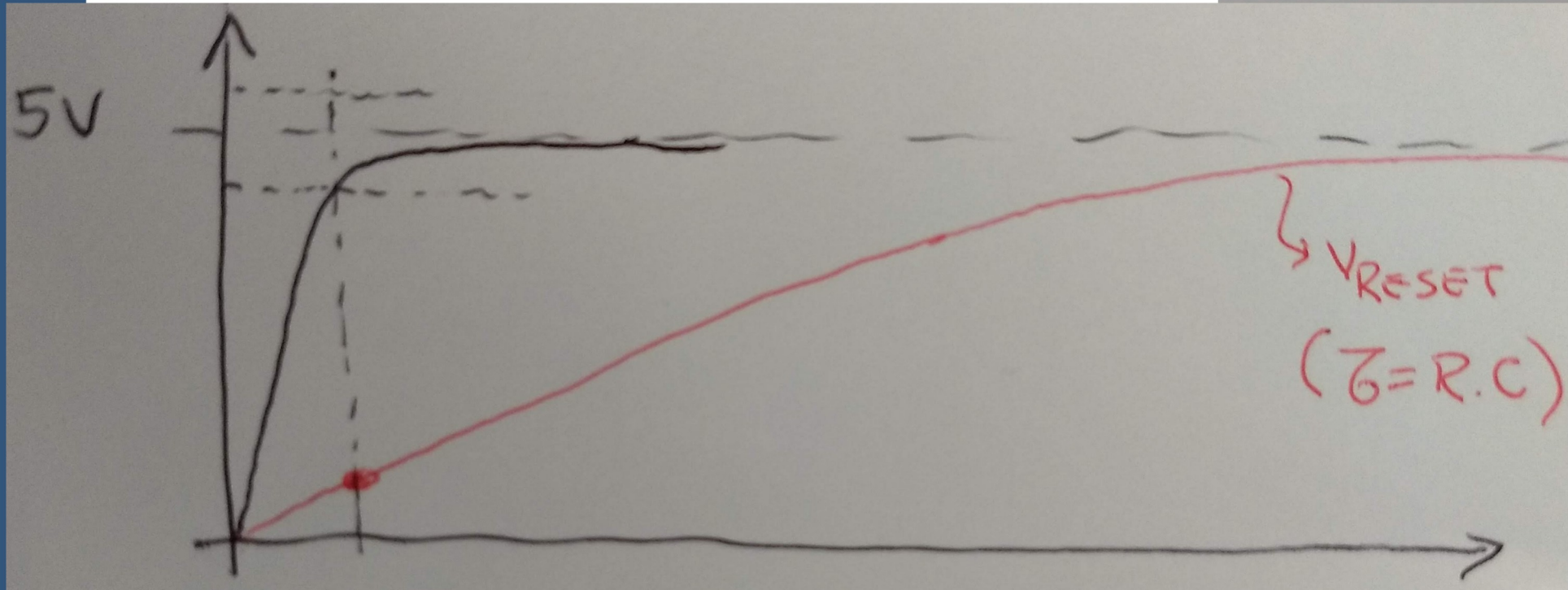
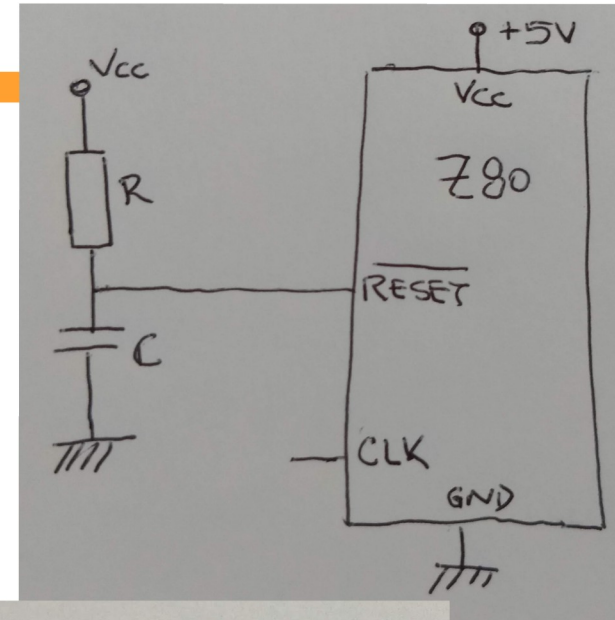
# Sistema Mnimo

- Fuente
- Reloj. Oscilador a cristal.



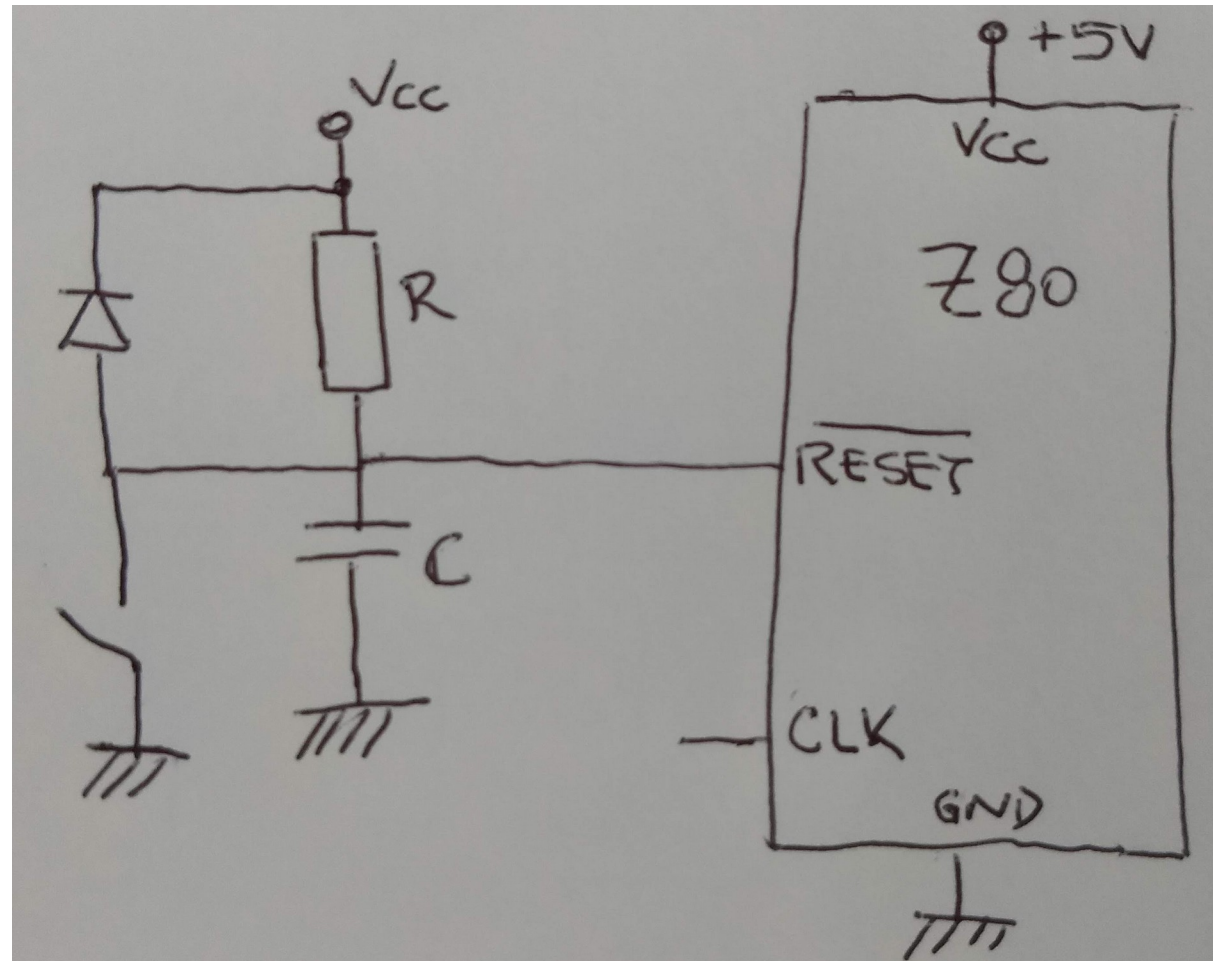
# Sistema Mínimo

- Reset:
  - retardo de establecimiento de la fuente
  - pulsador.



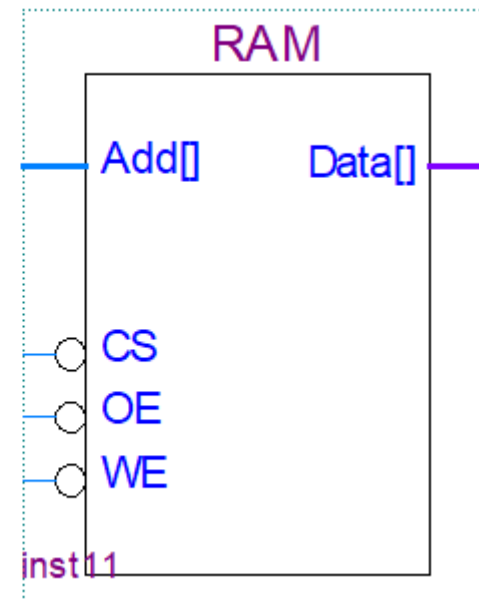
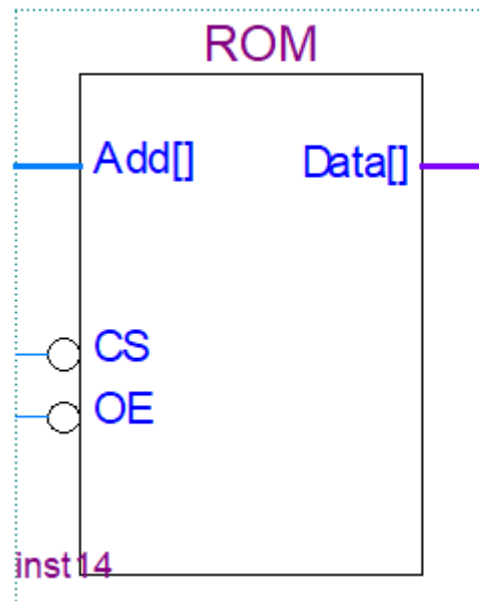
# Sistema Mnimo

- Reset:
  - retardo de establecimiento de la fuente
  - pulsador.



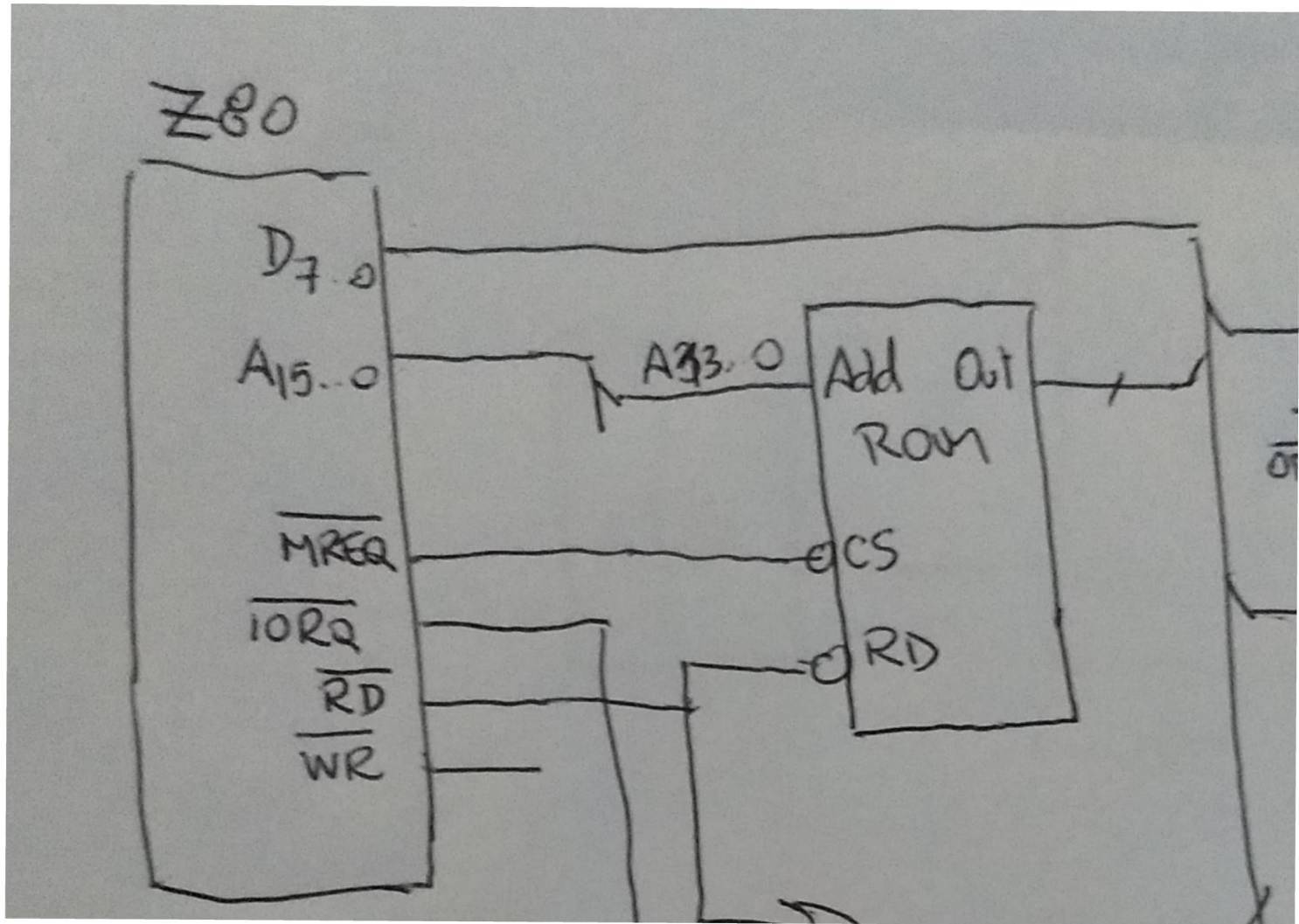
# Sistema Mínimo

- Memoria
  - Interfaz ROM y RAM (/CS, /OE, /WE)

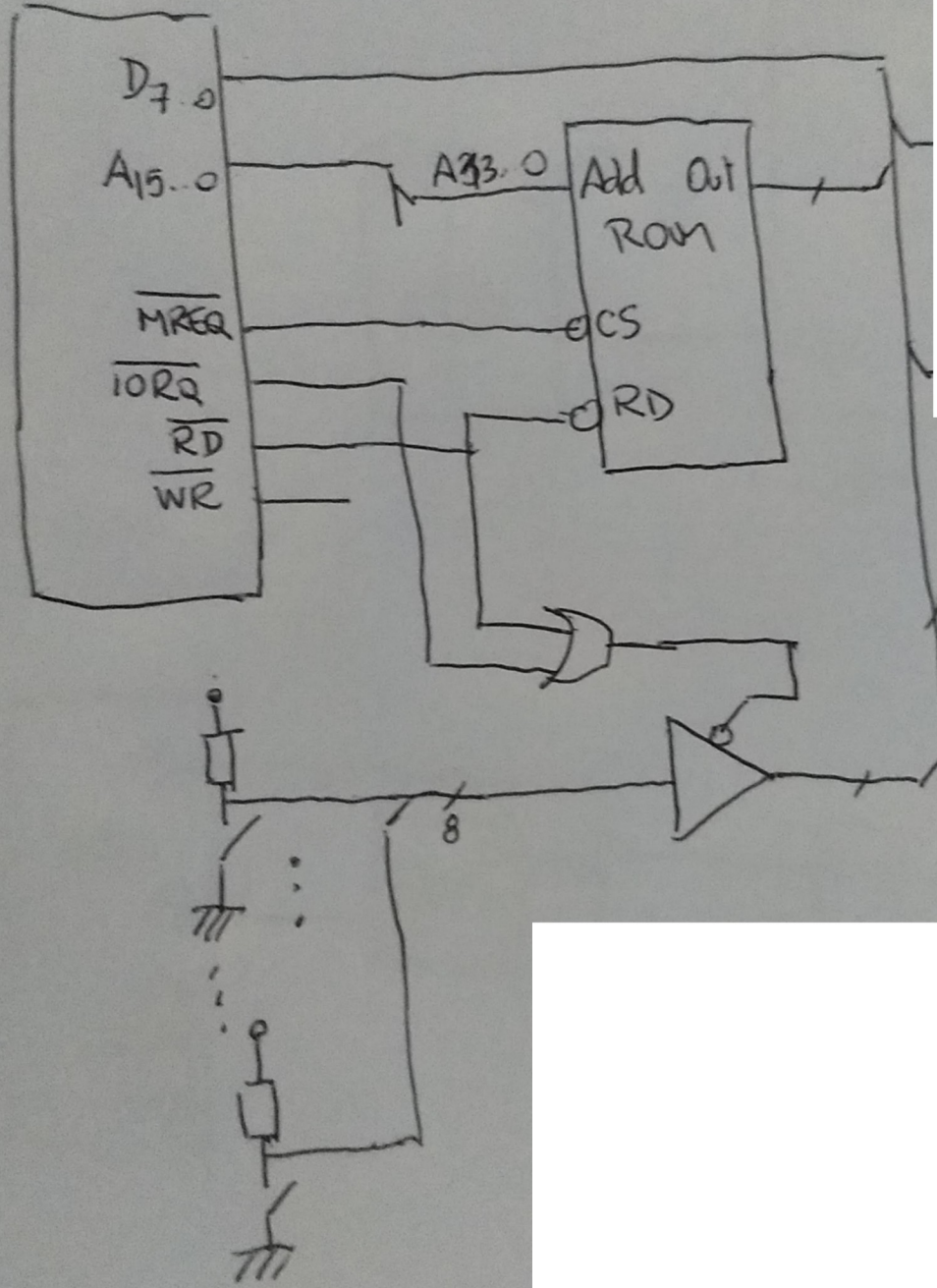


# Sistema Mínimo

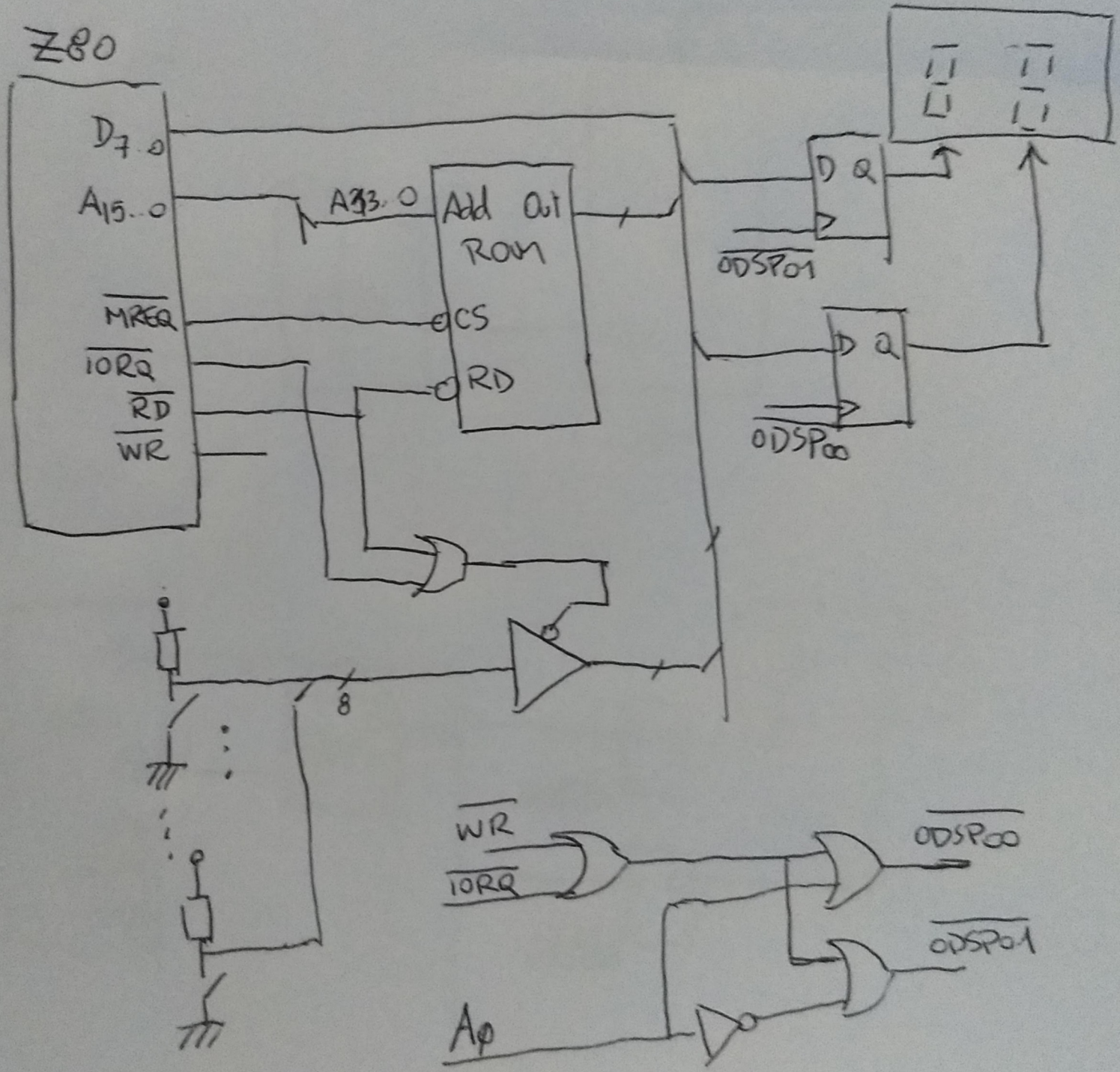
- Fuente
- Reloj. Oscilador a cristal.
- Reset: retardo de establecimiento de la fuente, pulsador.
- Memoria
  - Interfaz ROM y RAM (/CS, /OE, /WE)
  - En ejemplo solo ROM
    - solo registros
    - no stack --> NO call y NO interrupciones
- Puertos
  - Entrada: buffer triestado
  - Salida: latch
- Ejercicio:
  - Diag buses y señales de control durante ejecución de OUT (0x01), A
- Decodificación: señales de control de memoria y puertos
- Buses multiplexados



Z80



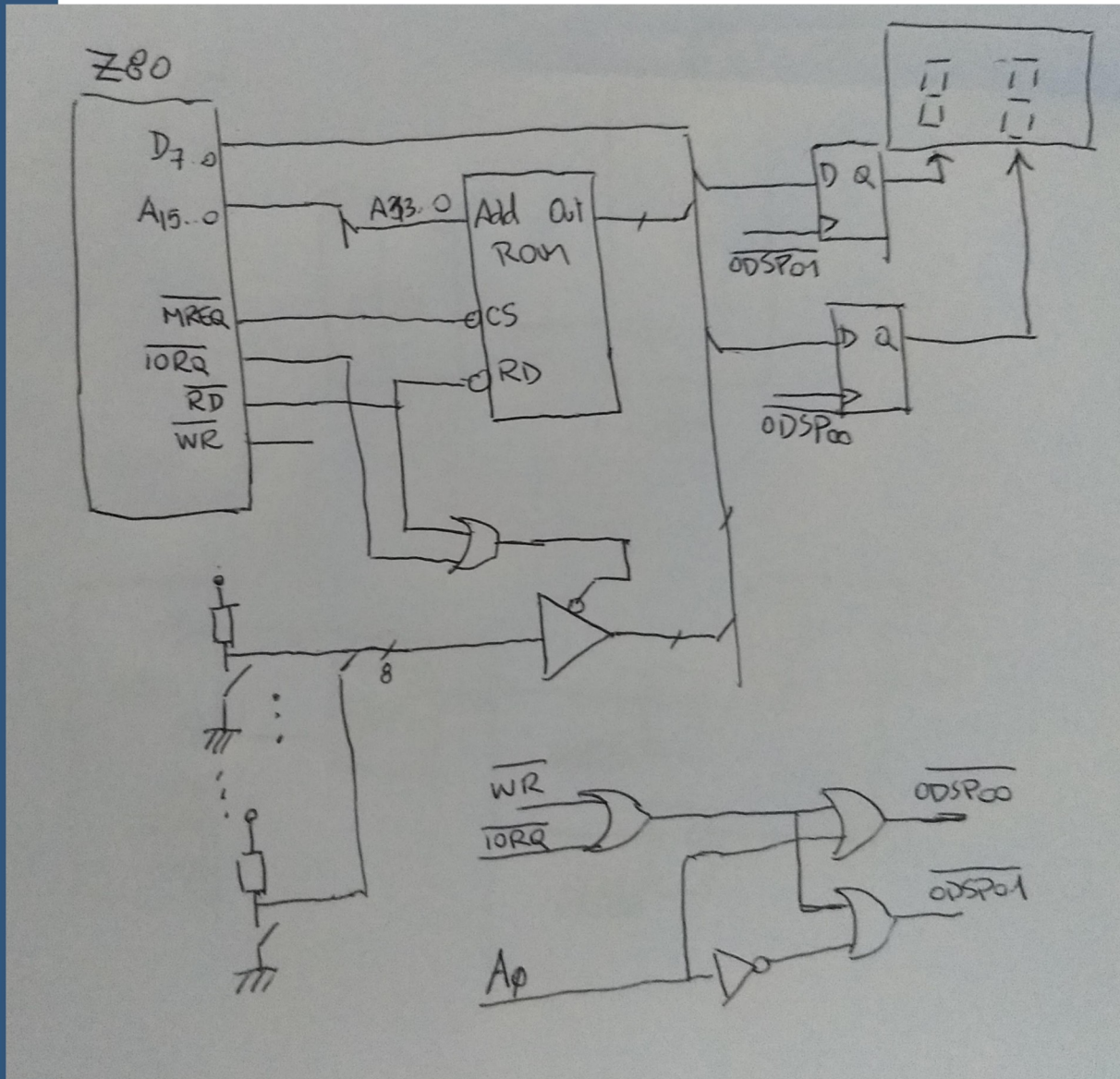
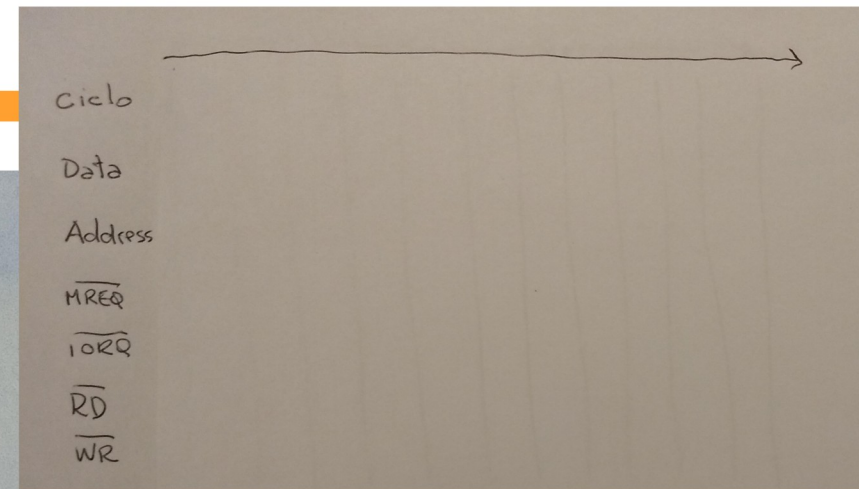




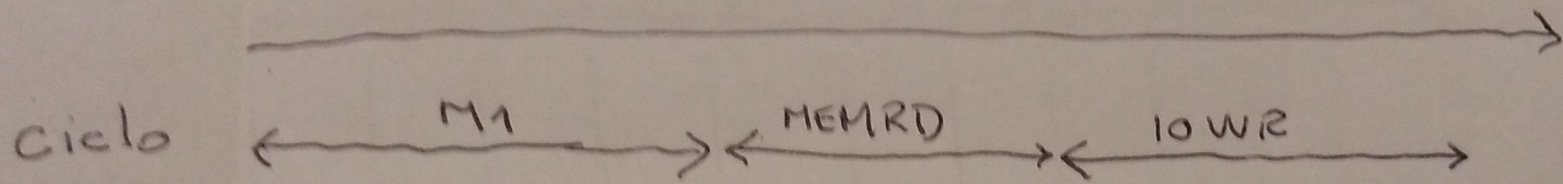
# Sistema Mínimo

- Fuente
- Reloj. Oscilador a cristal.
- Reset: retardo de establecimiento de la fuente, pulsador.
- Memoria
  - Interfaz ROM y RAM (/CS, /OE, /WE)
  - En ejemplo solo ROM
    - solo registros
    - no stack --> NO call y NO interrupciones
- Puertos
  - Entrada: buffer triestado
  - Salida: latch
- Ejercicio:
  - Inicialmente: PC = 0x100, A = 0x55
  - Diag buses y señales de control durante ejecución de OUT (0x01), A
- Decodificación: señales de control de memoria y puertos
- Buses multiplexados

# PC=0x100, A=0x55 OUT (0x01), A



FFFF	
0101	0x01
0100	OPCODE
0000	



Ciclo

Data

Address

$\overline{\text{MREQ}}$

$\overline{\text{IORQ}}$

$\overline{\text{RD}}$

$\overline{\text{WR}}$

Ciclo

M1

MEMRD

IO WR

Data

OPCODE

0x01

0x55

Address

0x100

0x101

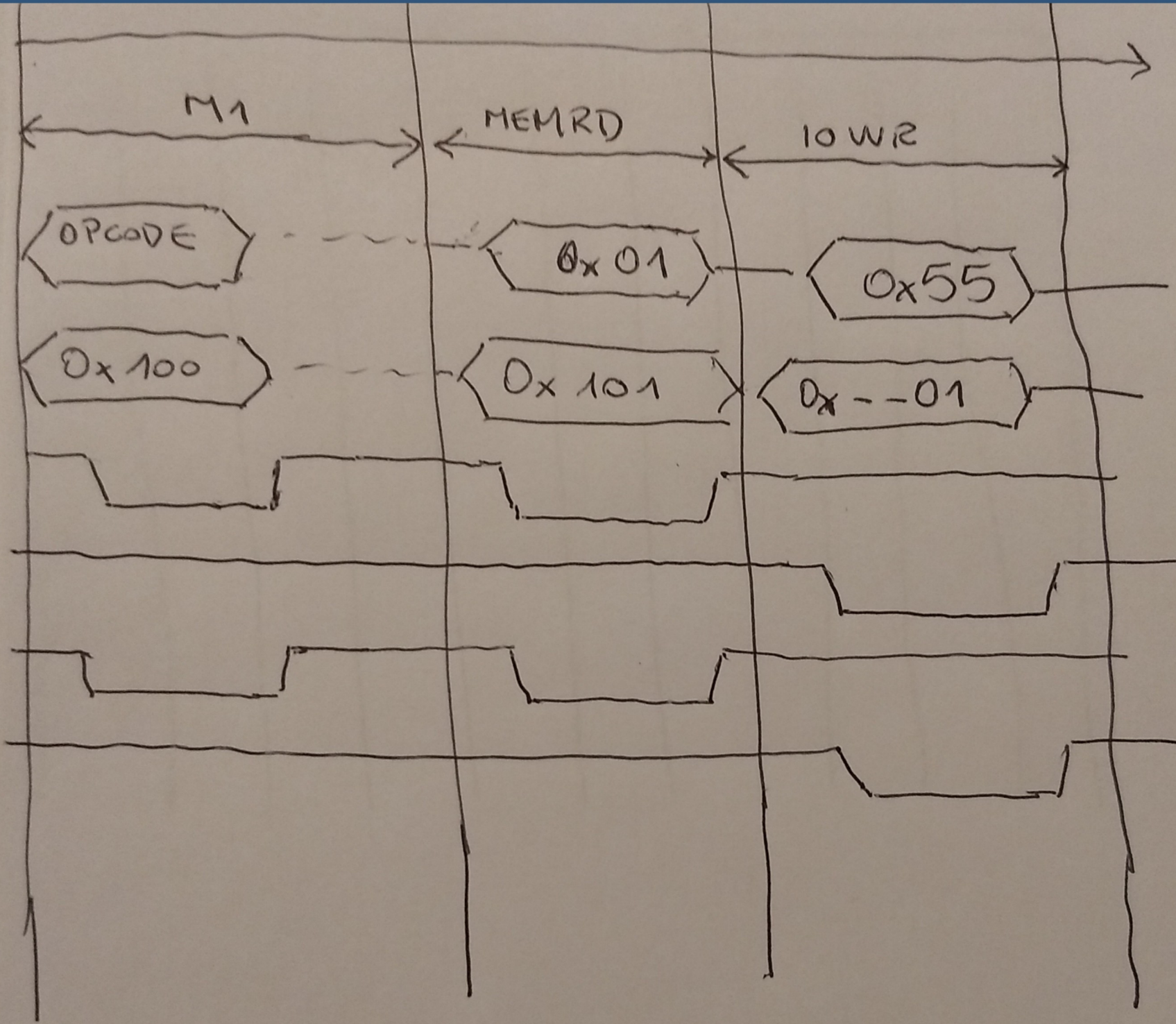
0x---01

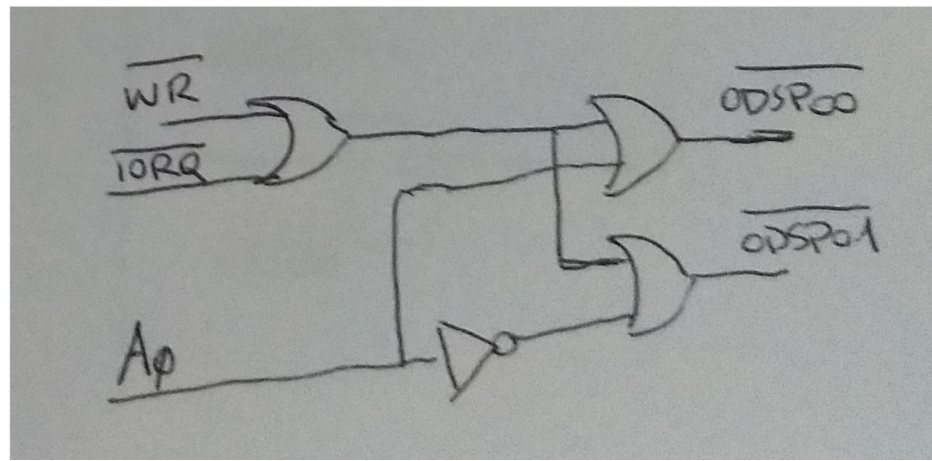
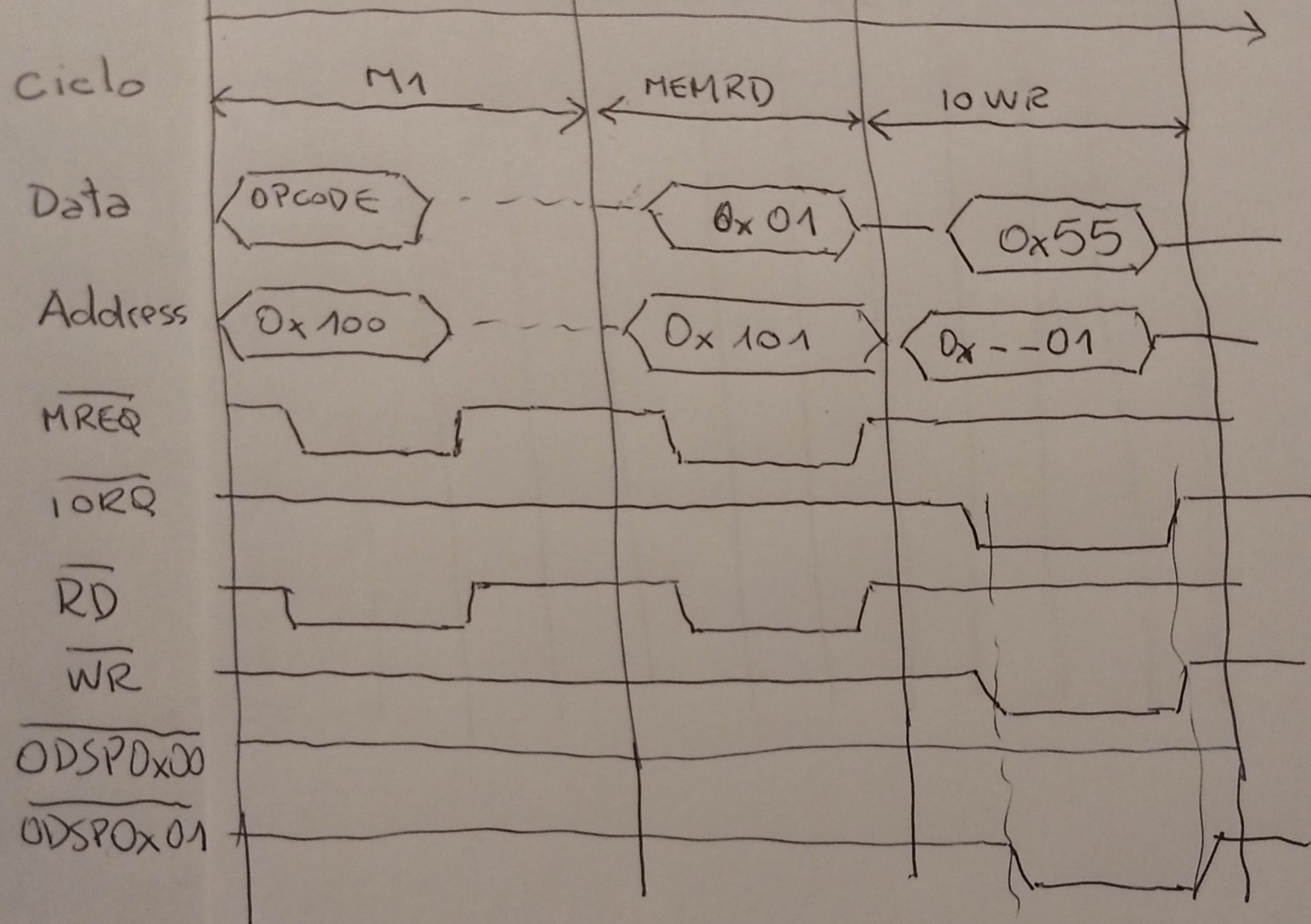
$\overline{\text{MREQ}}$

$\overline{\text{IORQ}}$

$\overline{\text{RD}}$

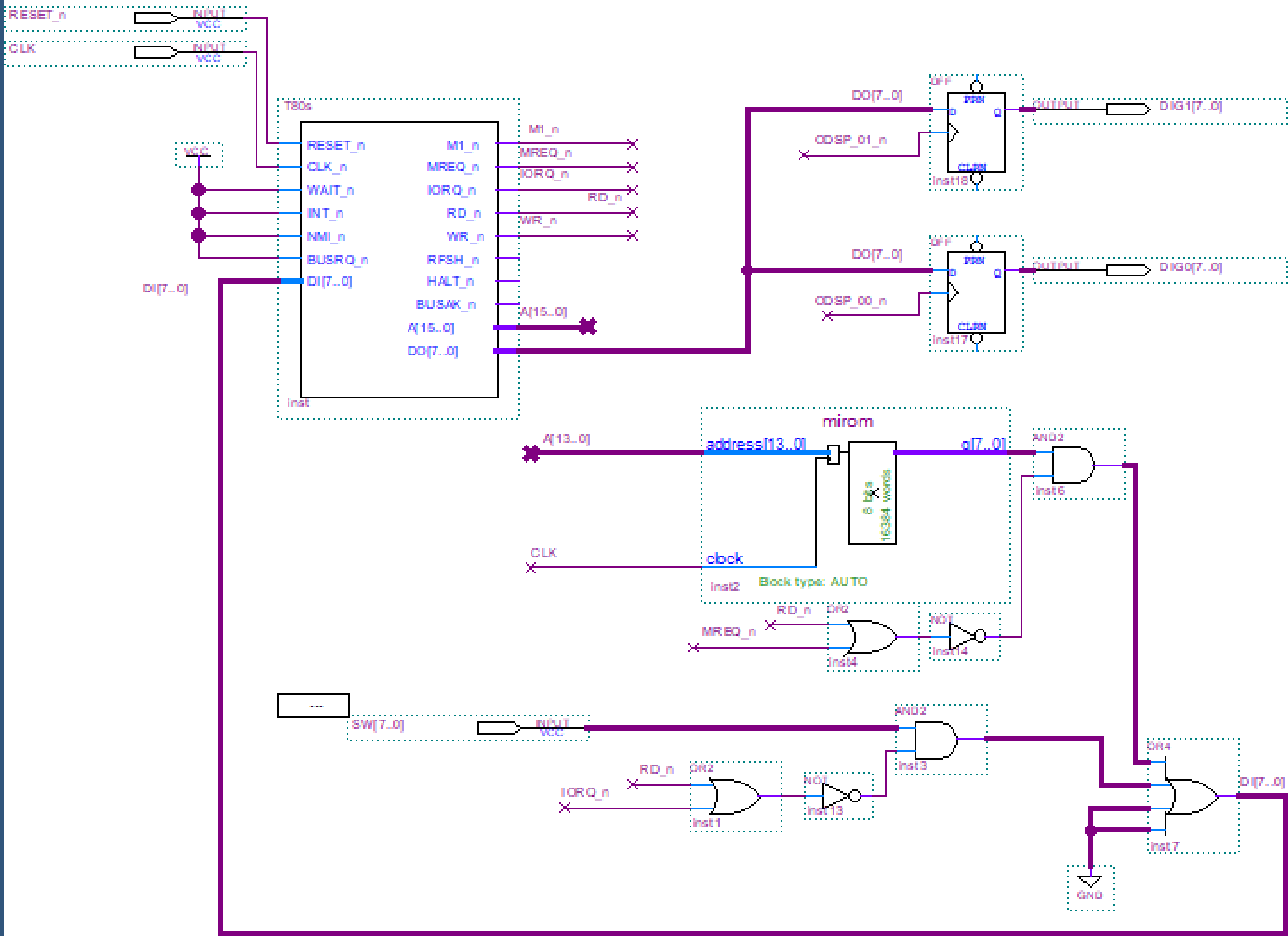
$\overline{\text{WR}}$





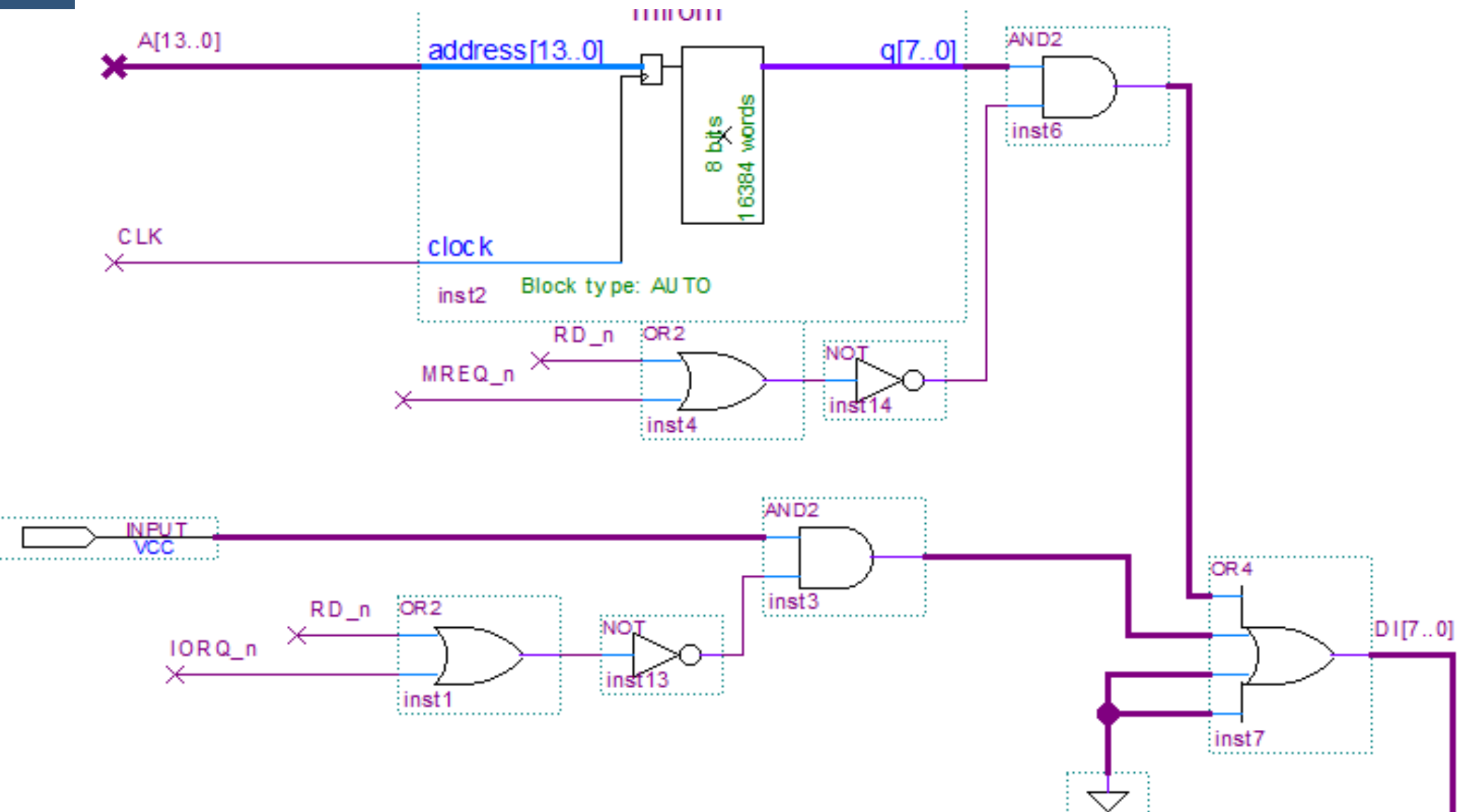
# Sistema Mínimo

- Fuente
- Reloj. Oscilador a cristal.
- Reset: retardo de establecimiento de la fuente, pulsador.
- Memoria
  - Interfaz ROM y RAM (/CS, /OE, /WE)
  - En ejemplo solo ROM
    - solo registros
    - no stack --> NO call y NO interrupciones
- Puertos
  - Entrada: buffer triestado
  - Salida: latch
- Ejercicio:
  - Diag buses y señales de control durante ejecución de OUT (0x01), A
- Decodificación: señales de control de memoria y puertos
- Buses multiplexados





# ROM y Puerto entrada



# Puertos salida

