

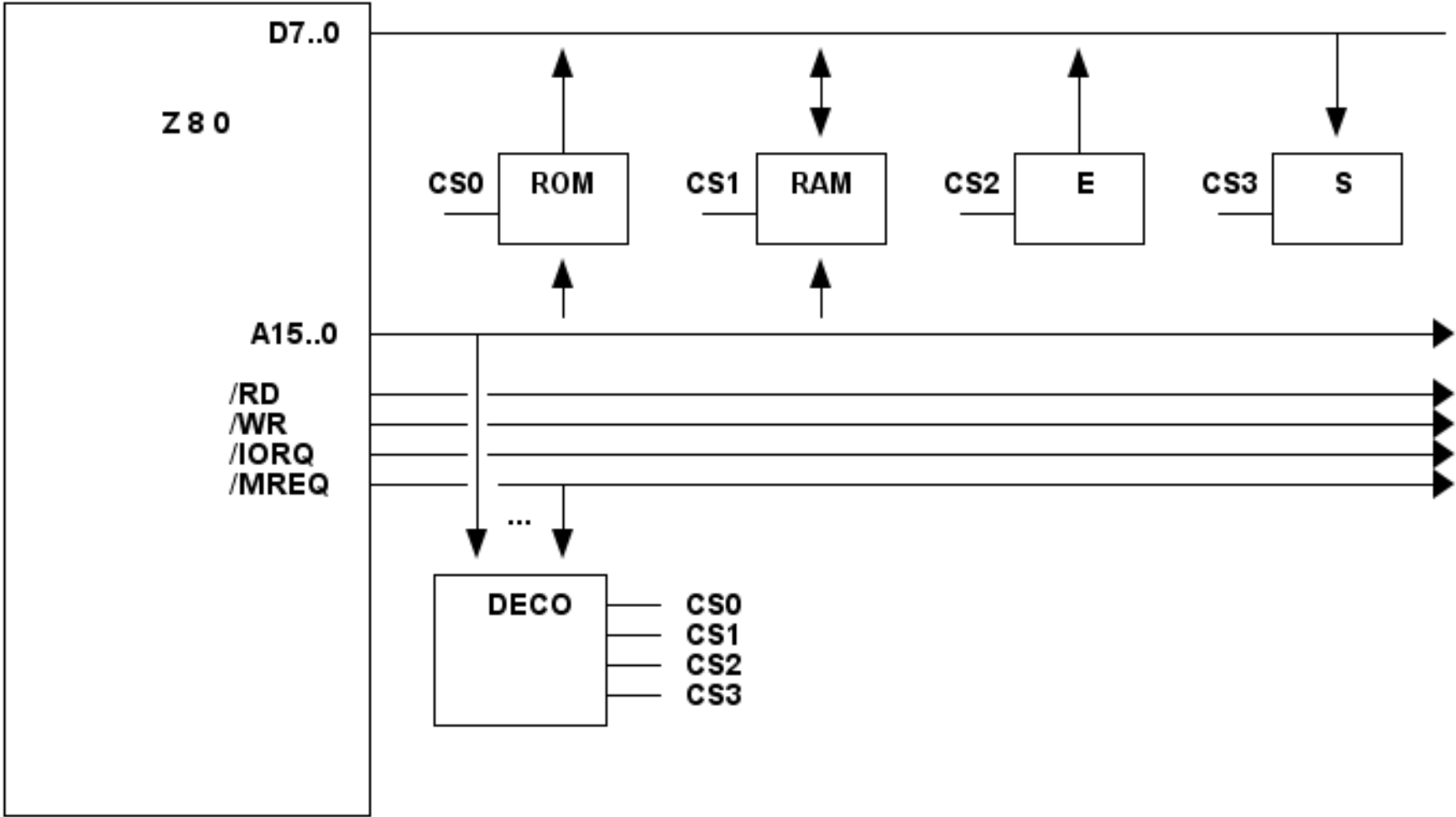
Modelos de compuertas

- Salida activa
- Salida colector abierto (*open collector*).
- Salida Triestado (*tristate*).

- Bus Triestado
 - Solo un dispositivo habilitado por vez
 - Caso contrario: **CORTOCIRCUITO!!**

- Z80 clásico: Bus Triestado

Pines Z80

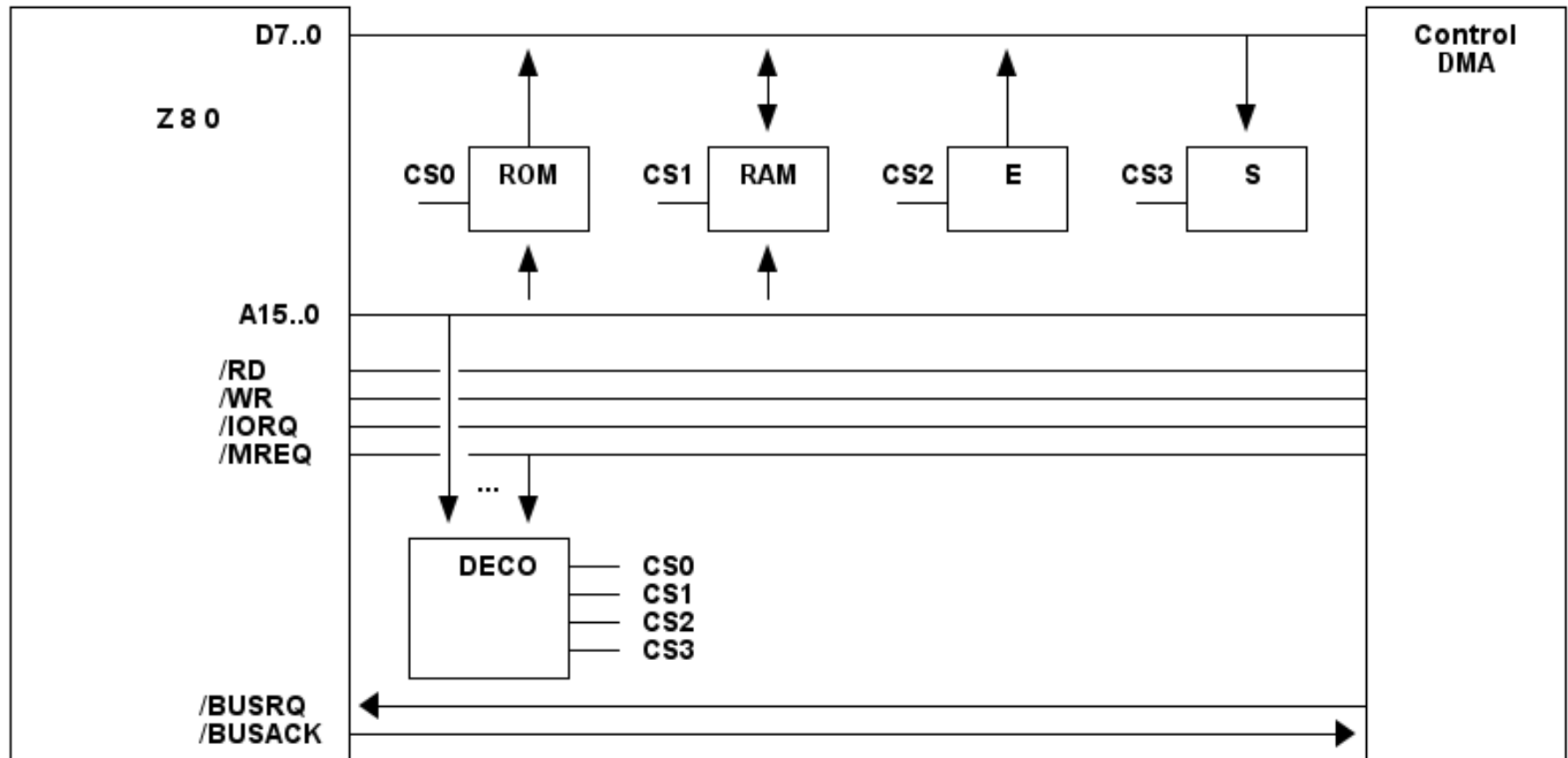


Pines Z80

Pin	Tipo		
D0..D7	I/O	Triestado	Bus de Datos
A0..A15	O	Triestado	Direcciones para memoria (16 bits) o E/S (8 bits)
IORQ	O	Triestado	Sin M1: en A0..A7 dirección válida de E/S Con M1: reconocimiento a interrupción.
MREQ	O	Triestado	A0..A15 dirección válida de memoria
RD	O	Triestado	El Z80 espera ver datos válidos en D0..D7
WR	O	Triestado	Hay datos válidos en D0..D7 puestos por el Z80

Pines Z80

¿Por qué triestado en direcciones y control?



Pines Z80

- ¿Por qué triestado en direcciones y control?
 - Entrada /BUSREQ solicita al Z80 que se retire del bus.
 - Salida /BUSACK avisa que ya se retiró
 - El que solicita el bus pasa a manejar datos, direcciones y control

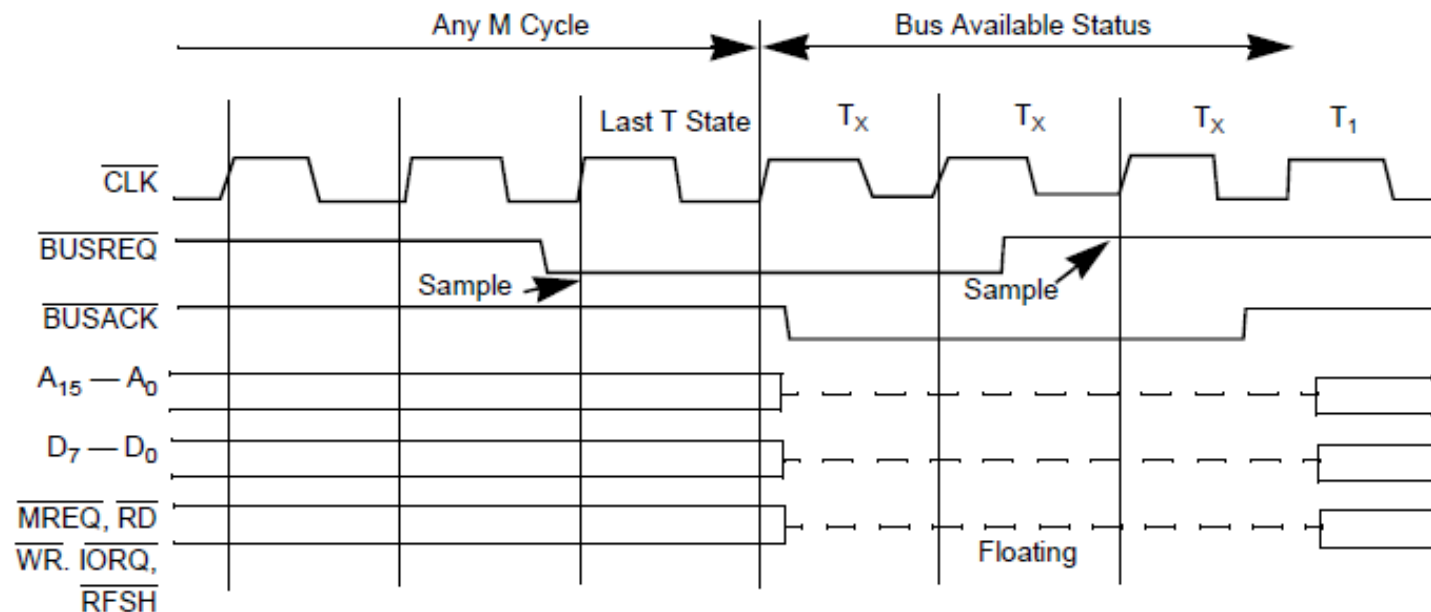
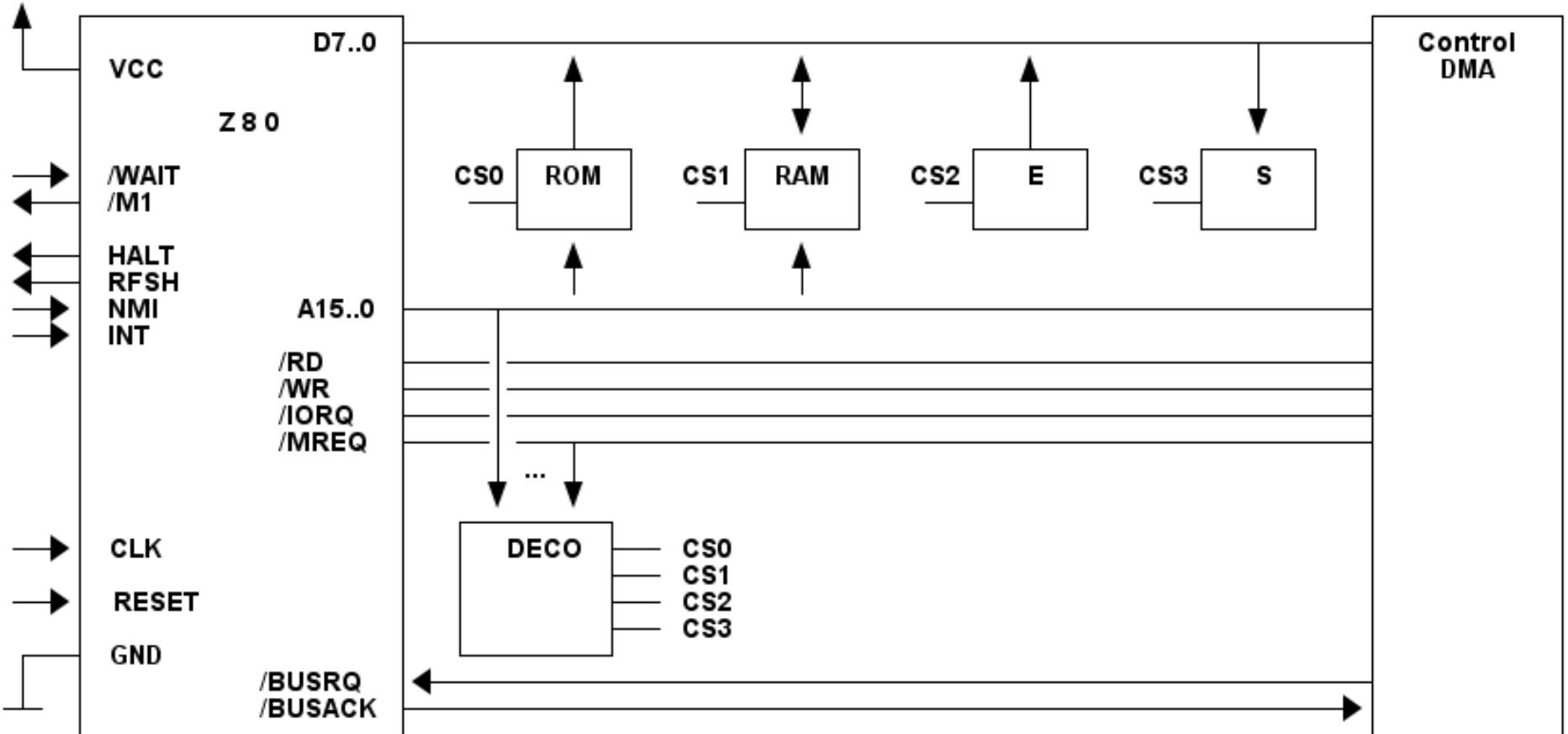


Figure 8. Bus Request/Acknowledge Cycle

Pines Z80

BUSREQ	I	Solicitud de Bus para DMA
BUSACK	O	Indica que el Z80 se retiro de los buses
CLK	I	Reloj de la máquina de estados
RESET	I	Reset
M1	O	Con MREQ: ciclo de búsqueda de OPCODE Con IORQ: ciclo de reconocimiento de interrupción
WAIT	I	Solicitud de espera, Z80 prolonga ciclo de acceso a memoria o E/S
NMI	I	Solicitud Interrupción no enmascarable
INT	I	Solicitud Interrupción enmascarable
HALT	O	Indica Z80 en estado Halted (luego de instrucción HALT). Sale de este estado con una interrupción.
RFSH	O	Indica A0..A6 dirección válida para refresco memoria dinámica.
Vcc y Gnd		Alimentación. 5VDC

Pines Z80

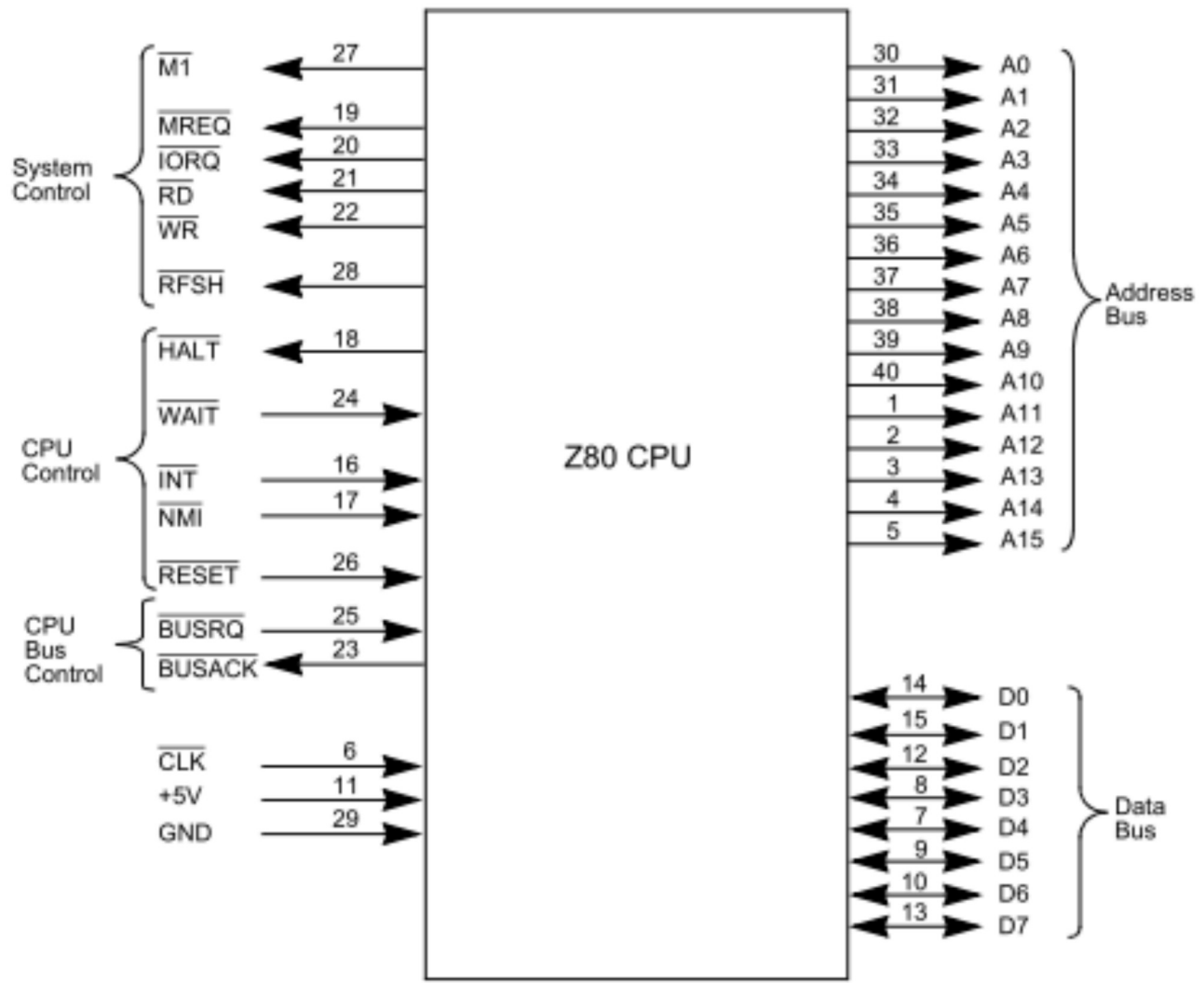


Pines Z80

CK y RESET

- CK es el reloj de la máquina de estados interna del Z80.
- /RESET
 - Lleva al procesador a un **estado conocido**.
 - **activa durante 3T** para garantizar inicialización.
 - 2T después que RESET = 1 comienza la ejecución de primera instrucción
- Inicialización
 - PC \leftarrow 0x0000 (dirección de programa inicial)
 - IFF1 \leftarrow 0 (interrupciones deshabilitadas), I \leftarrow 0
 - Modo 0 de interrupciones
 - R \leftarrow 0
 - Datos y direcciones en tercer estado
 - Líneas de control inactivas
- **Todo lo demás debe inicializarse explícitamente** por software en el programa cargado a partir de la dirección 0000H

Pines Z80



Son 40 pines:

Direcciones:	16
Datos:	8
Control:	13
Reloj:	1
Fuente:	2

Ciclos de Máquina

- Ciclos T: períodos de reloj
- Ciclos M: ciclos de máquina
 - Secuencias básicas en que se descompone la ejecución de cada instrucción.
 - La mayoría son transferencias en el bus
 - Por eso a veces se les llama ciclos de bus
- Ciclos M en el Z80
 - M1: Búsqueda del código de operación y Refresh
 - Lect/Esc Memoria
 - Lect/Esc E/S
 - Requerimiento/Concesión del BUS
 - Solicitud/Reconocimiento de INT
 - Solicitud/Reconocimiento de NMI
 - Halt
 - Operación Interna (bus inactivo)

Ciclos M1

- ¿Por qué diferente de ciclo lectura?
- Decodificación de instrucción
 - Luego de leer OP-CODE se debe decodificar.
 - 1 o 2 ciclos T en que no se usa el bus.
- Z80 usa ese tiempo para **refresco de memoria dinámica**.
 - Solución habitual: controlador externo solicita bus (DMA) y maneja direcciones y control para refrescar la memoria dinámica.
 - Z80 facilita refresco
 - A0..A6 = R por 2T posteriores a la lectura del OP-CODE
 - R se incrementa en cada ciclo M1, recorre todas las direcciones
 - Circuitaría externa detecta refresco sensando la señal RFSH
- No vamos a profundizar uso de RFSH en el curso

Ciclos M1

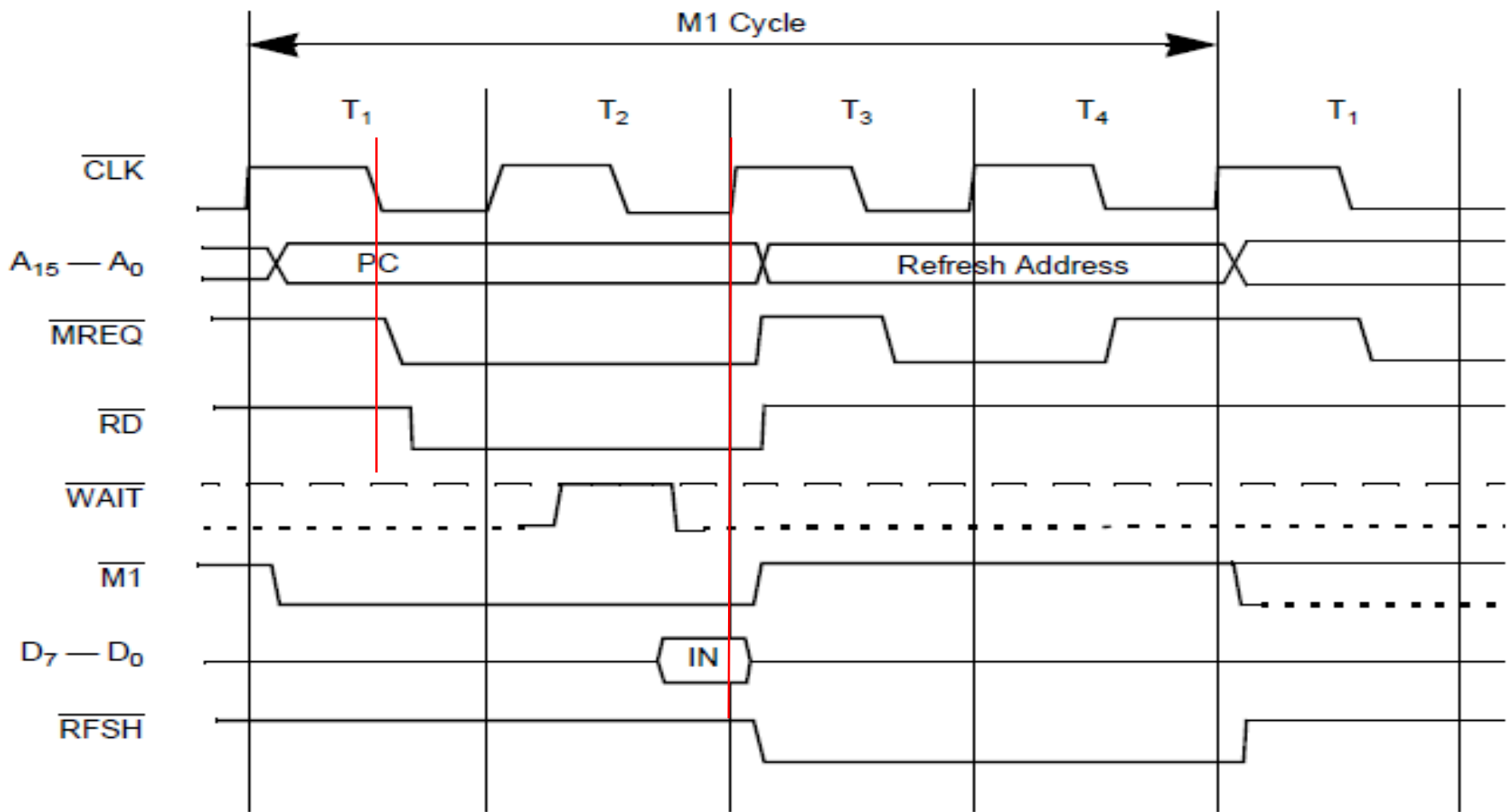


Figure 5. Instruction Op Code Fetch

Ciclos M1

- T1 y T2: lectura de OPCODE
 - Direcciones y señales de control estables desde temprano
 - Decodificación debe habilitar las entradas de control de la memoria ($\overline{/CE}$, $\overline{/OE}$)
 - La memoria debe poner su contenido sobre bus de datos
 - Z80 lee bus de datos con flanco subida de T3
- T3 y T4
 - refresh mientras se decodifica opcode
- Tiempo de acceso memoria debe ser menos de $2T$

Ciclos acceso memoria

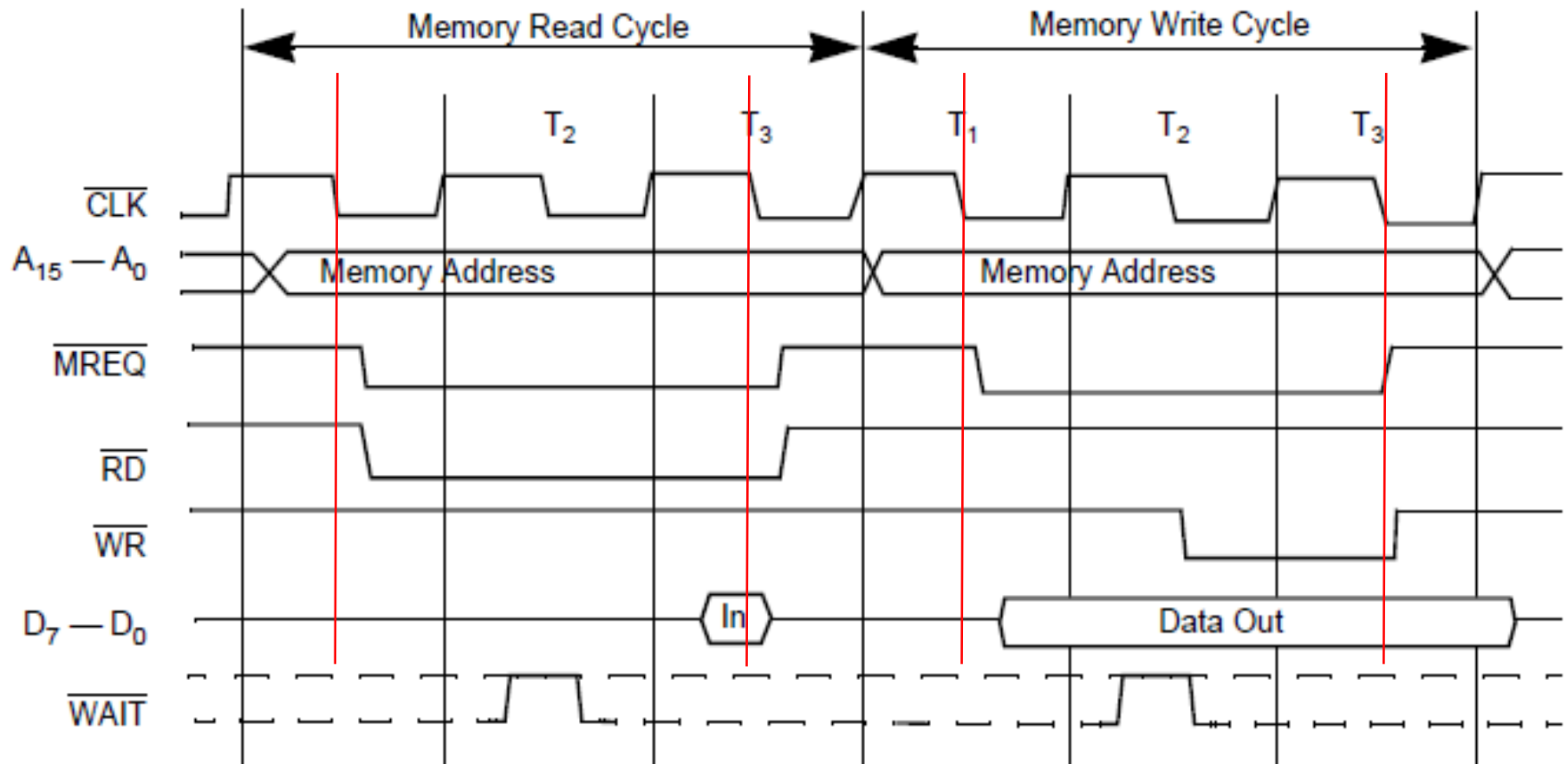


Figure 6. Memory Read or Write Cycle

Ciclos acceso memoria

- Lectura (3T)
 - Similar a primera parte de M1
 - Lectura en bajada de T3
 - Requerimiento para tiempo acceso menos restrictivo
- Escritura (3T)
 - Direcciones, control y datos desde el comienzo
 - Deco debe hacer llegar \overline{WR} a entrada de control de la memoria
 - Escritura con subida de \overline{WR} (junto con bajada de T3)

Ciclos acceso a E/S

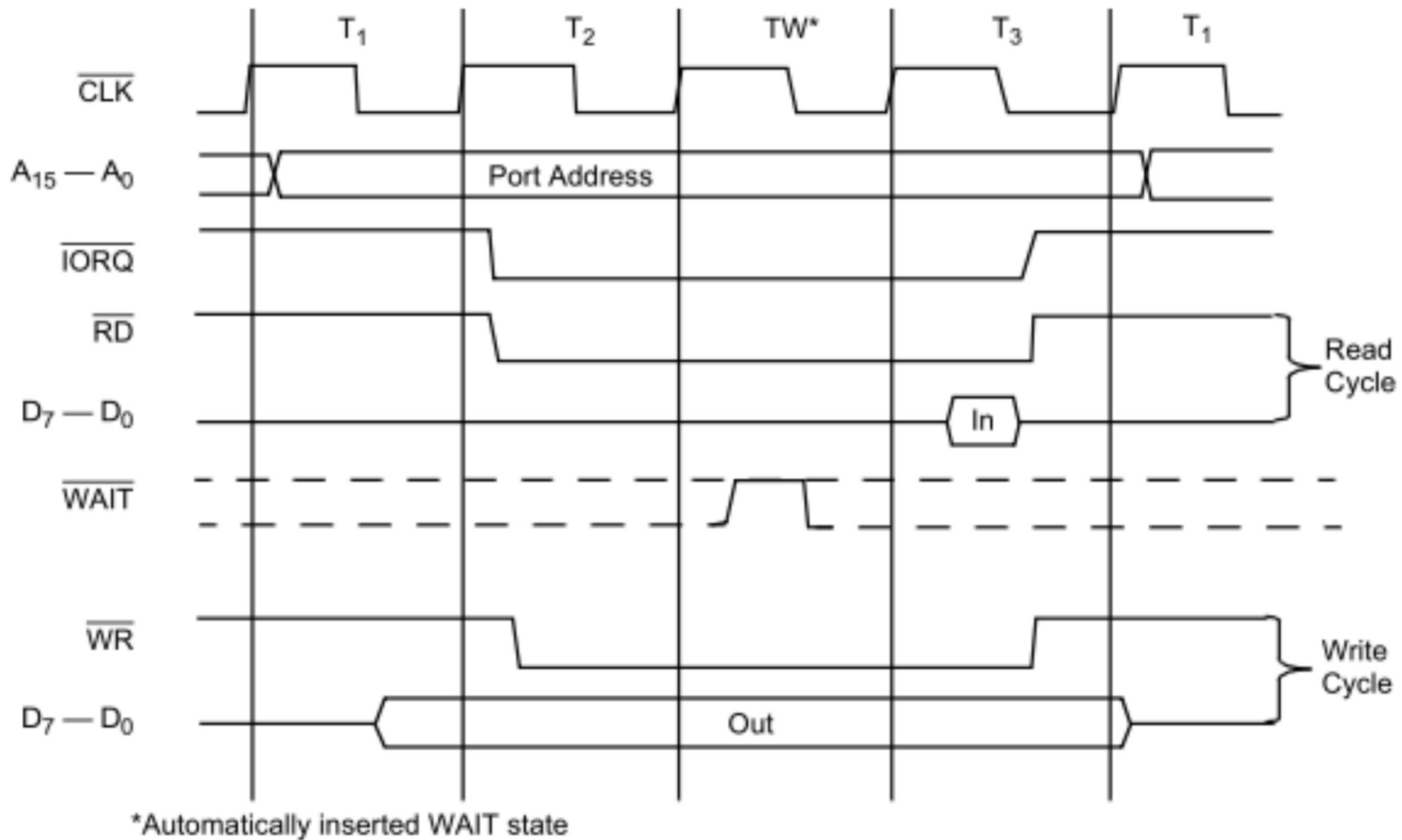
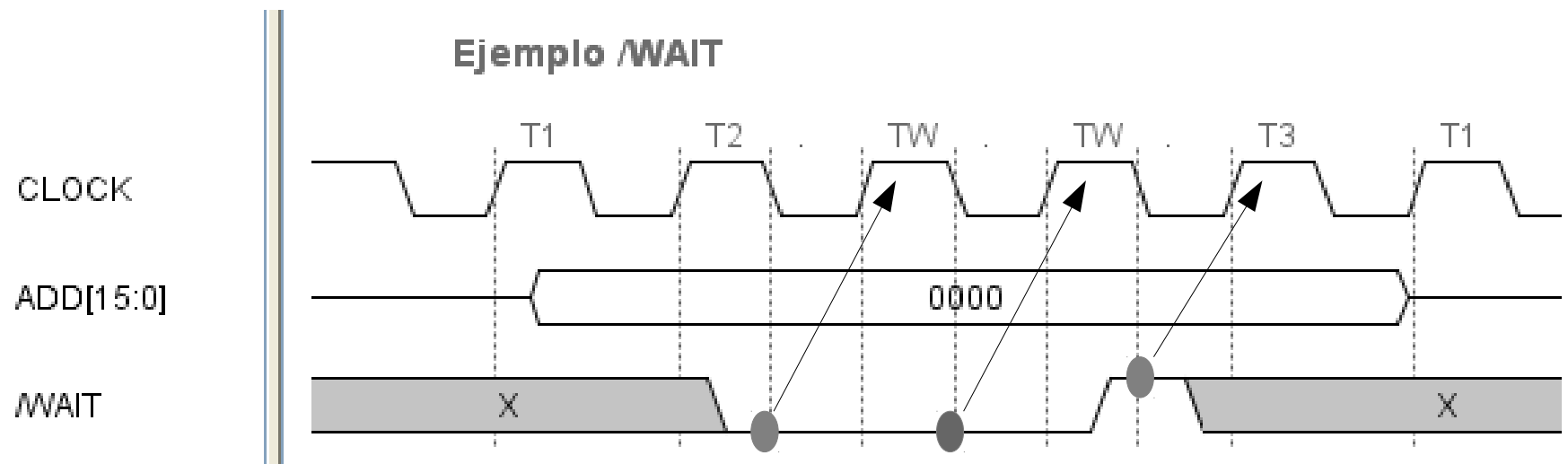


Figure 7. Input or Output Cycles

Ciclos de espera Tw



Ciclos de espera T_w

- Ciclos M pueden congelarse al final de T2
- Si \overline{WAIT} activa en bajada de T2
 - Se insertan ciclos de espera T_w
 - Se itera hasta que \overline{WAIT} vuelva a inactiva
 - Permite relajar requerimientos en tiempos de acceso

Estado del Bus

CICLO	/MREQ	/IORQ	/RD	/WR	/M1
M1	0		0		0
Lectura MEM	0		0		
Escritura MEM	0			0	
Lectura E/S		0	0		
Escritura E/S		0		0	
Reconocimiento INT		0			0