

## Métodos para el diseño de circuitos integrados de ultra bajo consumo de energía: ejs. analógicos y digitales

Esta presentación muestra líneas de investigación en circuitos electrónicos de ultra bajo consumo de energía. La necesidad y uso de este tipo de dispositivos ha crecido drásticamente en los últimos años a través de la proliferación de dispositivos portátiles alimentados a batería o incluso que se alimentan o recargan inalámbricamente o cosechan la energía de su entorno. Pero nació aproximadamente en los años 70 en dos áreas de aplicación de "nicho" alimentadas a batería y en la que se pretendía operar de baterías pequeñas durante años: los relojes pulsera y los dispositivos implantables, inicialmente los marcapasos cardíacos. En esta última el Grupo de Microelectrónica del IIE ha trabajado directamente y en nuestro país se tiene un importante actividad industrial.

Se muestran dos ejemplos de investigación entre los varios desarrollados. En primer lugar la metodología de diseño de circuitos integrados analógicos basada en gm/ID [1], ampliamente adoptada hoy en día a nivel internacional, en la que se basa la aproximación de diseño analógico para ultra bajo consumo (también aplicable para optimizar otros aspectos) que aprovecha la operación del transistor MOS en todas sus regiones de inversión (débil, moderada y fuerte) o equivalentemente: sobre la tensión umbral ("above threshold"), cerca de ella ("near threshold") y bajo ella ("sub-threshold"). Sobre este aspecto se puede consultar el material introductorio [2] además de la referencia [1].

En segundo lugar, una aplicación reciente de conceptos vinculados al dominio digital [3], que plantea temas de optimización de consumo en la operación de circuitos digitales operando en la región sub-umbral en la que se tiene un punto de mínimo consumo de energía posible. Sobre este aspecto se puede consultar como paper introductorio corto [4] y más detallado [5].

1. F. Silveira, D. Flandre and P. G. A. Jespers, "A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA," in IEEE Journal of Solid-State Circuits, vol. 31, no. 9, pp. 1314-1319, Sept. 1996. doi: 10.1109/4.535416  
<https://ieeexplore-ieee-org.proxy.timbo.org.uy:88/stamp/stamp.jsp?tp=&arnumber=535416>

2. F. Silveira, C. Rossi, A. Arnaud, Introducción al diseño de CIs analógicos de microconsumo, Unidad 2 del curso "Diseño de CIs para dispositivos médicos implantables", Master en tecnologías convergentes, Univ. Autónoma de Barcelona, Campus Virtual Iberoamericano de Tecnologías. partes A y C, parte B como complemento.

3. F. Veirano, L. Naviner and F. Silveira, "Optimum nMOS/pMOS Imbalance for Energy Efficient Digital Circuits," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 64, no. 12, pp. 3081-3091, Dec. 2017.  
doi: 10.1109/TCSI.2017.2747480  
<http://ieeexplore.ieee.org.proxy.timbo.org.uy:443/stamp/stamp.jsp?tp=&arnumber=8036395&isnumber=8119588>

4. A. Wang, A. P. Chandrakasan and S. V. Kosonocky, "Optimal supply and threshold scaling for subthreshold CMOS circuits," Proceedings IEEE Computer Society Annual Symposium on VLSI. New Paradigms for VLSI Systems Design. ISVLSI 2002, Pittsburgh, PA, USA, 2002, pp. 7-11.  
doi: 10.1109/ISVLSI.2002.1016866  
<http://ieeexplore.ieee.org.proxy.timbo.org.uy:443/stamp/stamp.jsp?tp=&arnumber=1016866&isnumber=21881>

5. B. H. Calhoun, A. Wang and A. Chandrakasan, "Modeling and sizing for minimum energy operation in subthreshold circuits," in IEEE Journal of Solid-State Circuits, vol. 40, no. 9, pp. 1778-1786, Sept. 2005.  
doi: 10.1109/JSSC.2005.852162  
<http://ieeexplore.ieee.org.proxy.timbo.org.uy:443/stamp/stamp.jsp?tp=&arnumber=1501975&isnumber=32231>