

Cronograma DL2 - 2016

Lunes	Martes	Miércoles	Jueves	Viernes
31-jul	1	2	3	4

Reunión Inicial

7	8	9	10	11
T1-Arquitectura	T2-VHDL			
	L1-Presentación			

14	15	16	17	18
T3-Proceso de diseño	T4-Modo Reloj			
L1-Defensa	L2-presentación			

21	22	23	24	25
P1- IO Probe	P2-modo reloj			
T5-Diseños complejos, RTL	P3-memorias, InSystem Memory			

28	29	30	31	1
L2- Consultas	L2-defensa	L3-Presentación		
T6-debugging	L3-Defensa			

deberes: cambiar algoritmo

4	5	6	7	8
T7- Tiempos	T8- Interfaces. Cores IP			
P4- Tiempos	Deberes: mejorar registro WB			

11	12	13	14	15
P5-Wishbone	P6-Analizador Lógico			
L4-Presentación	Análisis de sistema con 2 registros			

18	19	20	21	22
Deberes: sistema con 2 registros	Asignación de proyectos			
L4-Defensa	Entrega de plan de trabajo			

25 26 27 28 29 parciales 1

2 3 4 5 6 2

9 10 11 12 13 3

16 17 18 19 20 4
Presentación de avance

23 24 25 26 27 5

30 31 1 2 3 6

6 7 8 9 10 7

13 14 15 16 17 8

20 21 22 23 24 parciales 9
Demos

27 28 29 30 1 parciales 10
Documentación

4 5 6 7 8 8
Defensas

11 12 13 14 15

Análisis de carga horaria

Créditos	8
Horas por créditos	120
Clases	14
Horas clases	28 2 c/u
Horas L1	3 fuera de clases
Horas L2	4 fuera de clases
Horas L3	4 fuera de clases
Horas L4	6 fuera de clases
Horas lab	17

Presentación avance	3
Total	48

Saldo para proyecto 72

Semanas p/proyecto 10

Horas por semana 7.2