Análisis de tiempos

Diseño Lógico 2 - 2025

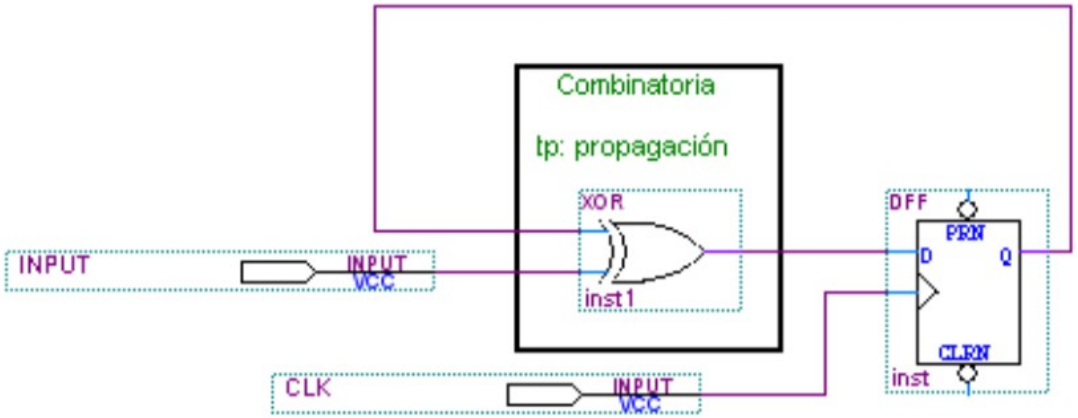
Instituto de Ingeniería Eléctrica

Facultad de Ingeniería

Universidad de la República

Requerimientos de tiempos

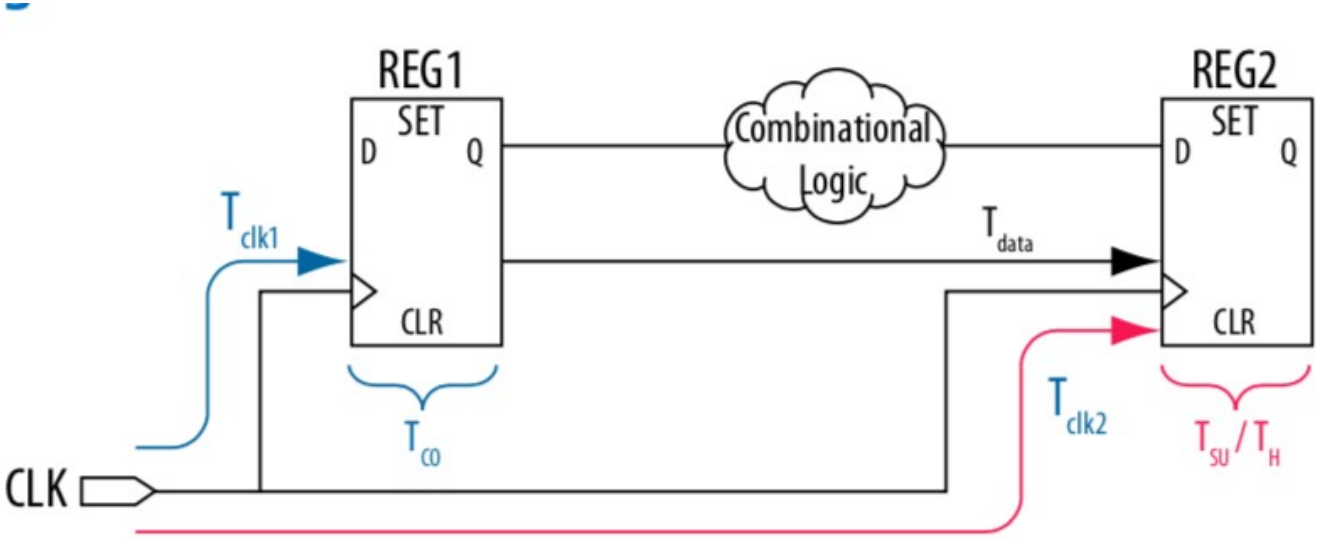
- Tiempos de setup y hold
- Fmax



FF:
tcq: tiempo de propagación Clock a Q
tsu: tiempo de setup (requerido)
th: tiempo de hold (requerido)

Requerimientos de tiempos

- Registro a registro



Timing Analysis

- Analiza que se respeten tiempos de setup y hold
- Configurable: Classic o TimeQuest
- TimeQuest requiere especificar los relojes y usa sintaxis de Synopsys Design Constraints que es un estándar de-facto
- Classic esta discontinuado

Time Quest

- Automáticamente al final de síntesis
  - Genera warnings o errores y reportes detallados
- Timing-driven compilation: Itera síntesis hasta asegurar que se cumplen todos los tiempos
- Manualmente
  - Interfaz Gráfica
  - Interfaz de línea de comandos
    - Manualmente desde consola
    - en archivo *.sdc

Ejemplo

- Crear archivo .sdc (ayuda con templates)
  - Definir unidades:
    - set_time_format -unit ns -decimal_places 3
  - Definir relojes:
    - create_clock -name tq_clock50 -period 20 [get_ports clk]
    - derive_pll_clocks
- Settings -> TimeQuest Timing Analyzer
  - Agregar nombre archivo .sdc
  - Marcar Report worst-case...

Fmax

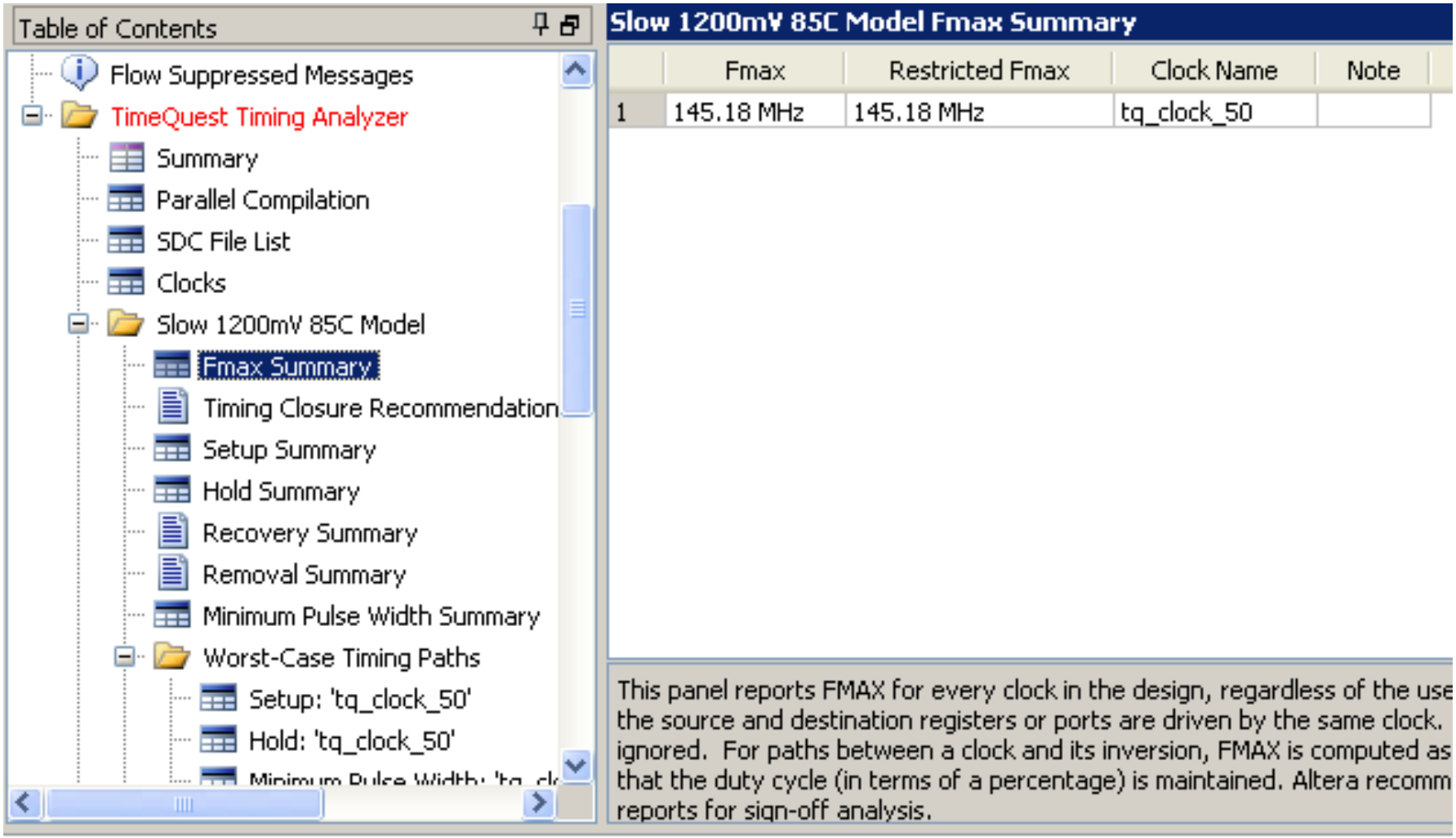
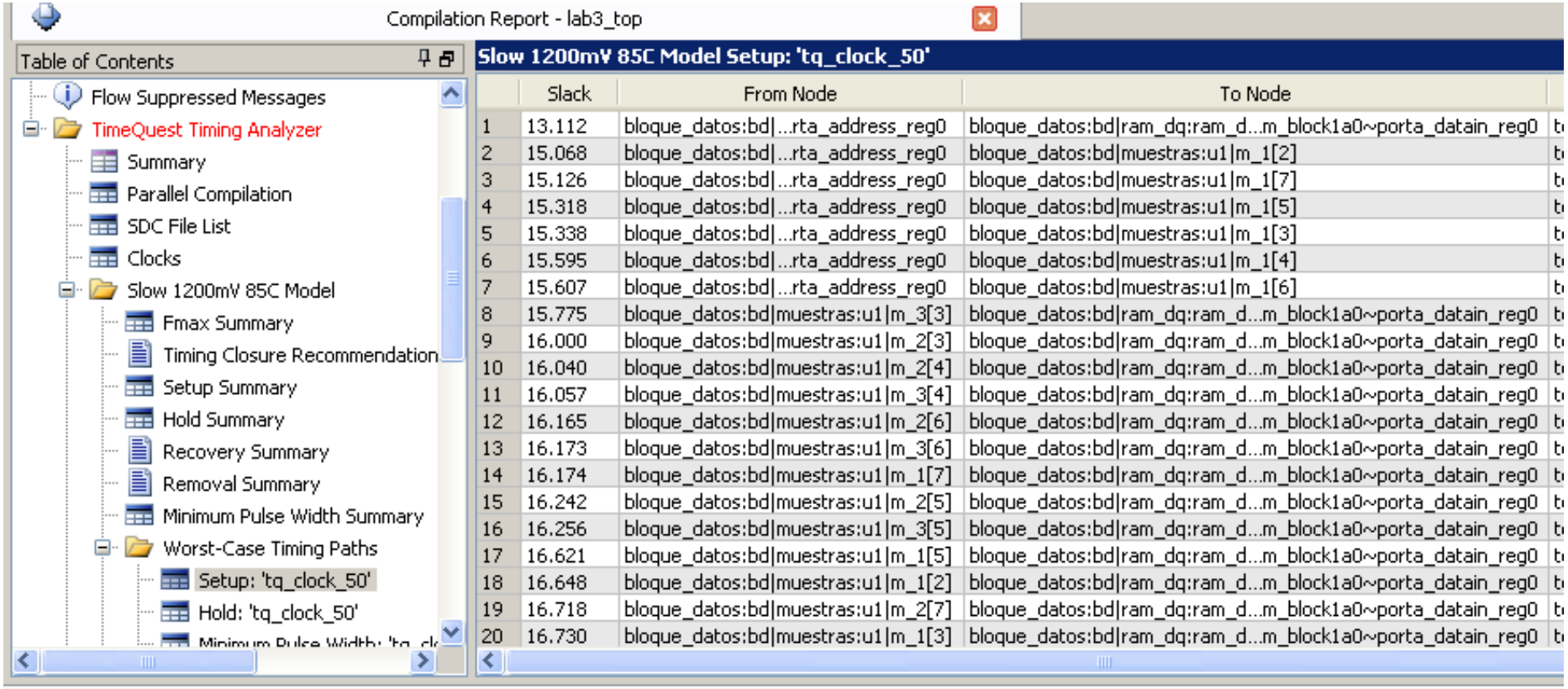


Table of Contents
Flow Suppressed Messages
TimeQuest Timing Analyzer
Summary
Parallel Compilation
SDC File List
Clocks
Slow 1200mV 85C Model
Fmax Summary
Timing Closure Recommendation
Setup Summary
Hold Summary
Recovery Summary
Removal Summary
Minimum Pulse Width Summary
Worst-Case Timing Paths
Setup: 'tq_clock_50'
Hold: 'tq_clock_50'
Slow 1200mV 85C Model Fmax Summary
Fmax
Restricted Fmax
Clock Name
Note
1
145.18 MHz
145.18 MHz
tq_clock_50
This panel reports FMAX for every clock in the design, regardless of the use
the source and destination registers or ports are driven by the same clock.
ignored. For paths between a clock and its inversion, FMAX is computed as
that the duty cycle (in terms of a percentage) is maintained. Altera recomm
reports for sign-off analysis.

Worst-Case Path



	Slack	From Node	To Node
1	13.112	bloque_datos:bd|...rta_address_reg0	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
2	15.068	bloque_datos:bd|...rta_address_reg0	bloque_datos:bd|muestras:u1|m_1[2]
3	15.126	bloque_datos:bd|...rta_address_reg0	bloque_datos:bd|muestras:u1|m_1[7]
4	15.318	bloque_datos:bd|...rta_address_reg0	bloque_datos:bd|muestras:u1|m_1[5]
5	15.338	bloque_datos:bd|...rta_address_reg0	bloque_datos:bd|muestras:u1|m_1[3]
6	15.595	bloque_datos:bd|...rta_address_reg0	bloque_datos:bd|muestras:u1|m_1[4]
7	15.607	bloque_datos:bd|...rta_address_reg0	bloque_datos:bd|muestras:u1|m_1[6]
8	15.775	bloque_datos:bd|muestras:u1|m_3[3]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
9	16.000	bloque_datos:bd|muestras:u1|m_2[3]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
10	16.040	bloque_datos:bd|muestras:u1|m_2[4]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
11	16.057	bloque_datos:bd|muestras:u1|m_3[4]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
12	16.165	bloque_datos:bd|muestras:u1|m_2[6]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
13	16.173	bloque_datos:bd|muestras:u1|m_3[6]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
14	16.174	bloque_datos:bd|muestras:u1|m_1[7]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
15	16.242	bloque_datos:bd|muestras:u1|m_2[5]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
16	16.256	bloque_datos:bd|muestras:u1|m_3[5]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
17	16.621	bloque_datos:bd|muestras:u1|m_1[5]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
18	16.648	bloque_datos:bd|muestras:u1|m_1[2]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
19	16.718	bloque_datos:bd|muestras:u1|m_2[7]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0
20	16.730	bloque_datos:bd|muestras:u1|m_1[3]	bloque_datos:bd|ram_dq:ram_d...m_block1a0~porta_datain_reg0

Más información

- Documento: Intel® Quartus® Prime Standard Edition User Guide, Timing Analyzer

- En web Intel

- https://www.intel.com/content/www/us/en/programmable/support/support-resources/design-examples/design-software/timinganalyzer/sof-qts-timinganalyzer.html

- Timing Analyzer (Standard Edition)