

Taller 3: Álgebra de Boole y circuitos combinatorios

Parte A: Álgebra de Boole

Objetivos:

- Profundizar en la simplificación de funciones booleanas mediante el método de diagramas de Karnaugh.

Resolver los siguiente problemas:

1. Indique el diagrama de Karnaugh correspondiente a la función $f(x, y, z) = x + \bar{z}$.
2. Discuta una forma de simplificación análoga a Karnaugh, pero agrupando ceros.
 - (a) ¿Qué criterio se propone para la formulación de la función resultante, considerando que se está aplicando la agrupación de ceros?
 - (b) Verifique la correctitud de los criterios, aplicando ambos métodos (agrupando ceros y agrupando unos) para simplificar la función $f(x, y, z, w) = \Pi(6, 7, 14, 15)$, donde Π indica los términos para los cuales la función vale 0.
3. Simplifique la función $f(x, y, z, w, t) = \Sigma(0, 2, 4, 6, 9, 11, 13, 15, 17, 21, 25, 27, 29, 30, 31)$, donde Σ indica los términos para los cuales la función vale 1.

Parte B: Circuitos combinatorios

Objetivos:

- Familiarizarse en el diseño de circuitos combinatorios y en los problemas que se presentan en la realidad al construirlos.
- Adquirir práctica en el diseño y reuso de bloques combinatorios.

Responder las siguientes preguntas:

1. Describa el circuito combinacional multiplexor y su utilidad.
2. ¿Cuántas líneas de control son necesarias para un multiplexor con n líneas de datos?
3. ¿Cuál es el circuito que realiza la función inversa a un multiplexor?

Resolver los siguiente problemas:

1. Implemente un circuito restador de un bit, cuyo esquema se presenta en la Figura 1. En la Figura 2 se puede ver un ejemplo de una resta señalando el b_{in} (borrow in) y el b_{out} (borrow out).
 - (a) Realice el diagrama de Karnaugh para las salidas $d = X - Y$ y b_{OUT} (prestado).
 - (b) Implemente el circuito restador con compuertas lógicas AND, OR y NOT.

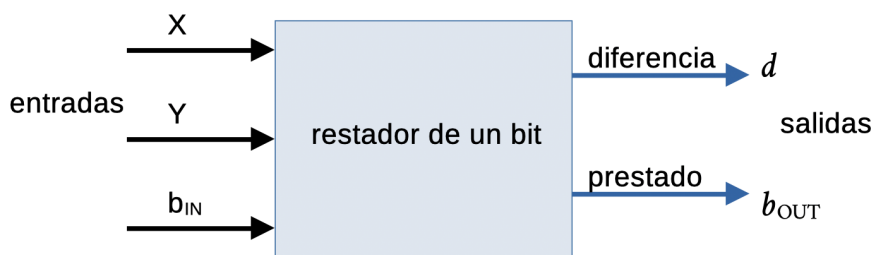
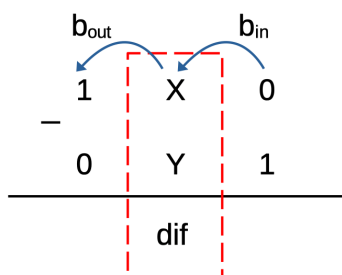


Figura 1: Circuito restador de un bit

Figura 2: Ejemplo b_{in} y b_{out}

2. Aplique el circuito restador de un bit definido en el problema 1 para implementar un restador completo de dos bits, cuyo esquema se presenta en la Figura 3. En el restador de dos bits, las entradas X y Y tienen dos bits, la salida d tiene dos bits, la salida z vale 0 si la diferencia d es distinta de 0 y 1 en caso contrario. Se dispone de compuertas AND, OR, NOT y XOR para la implementación del circuito.

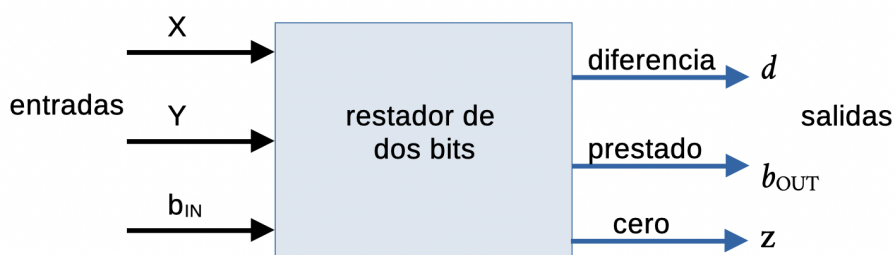


Figura 3: Circuito restador de dos bits