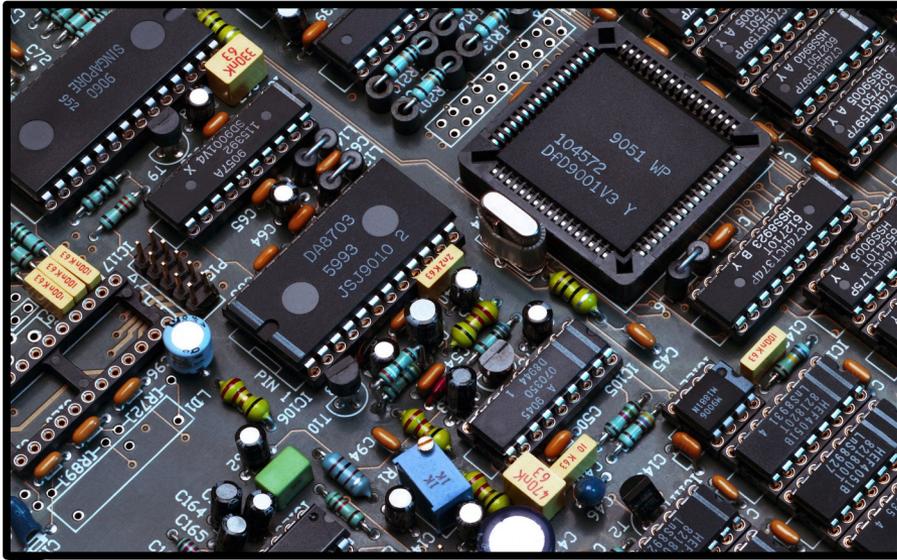


Arquitectura de FPGAs

Diseño Lógico 2 - 2024
Instituto de Ingeniería Eléctrica
Facultad de Ingeniería
Universidad de la República



PLD / FPGA



- Mid 80's: 8 a 16 funciones lógicas
- En el lab: 15000 funciones lógicas + memoria + multiplicadores

- Lógica combinatoria
- Memoria

Funciones combinatorias

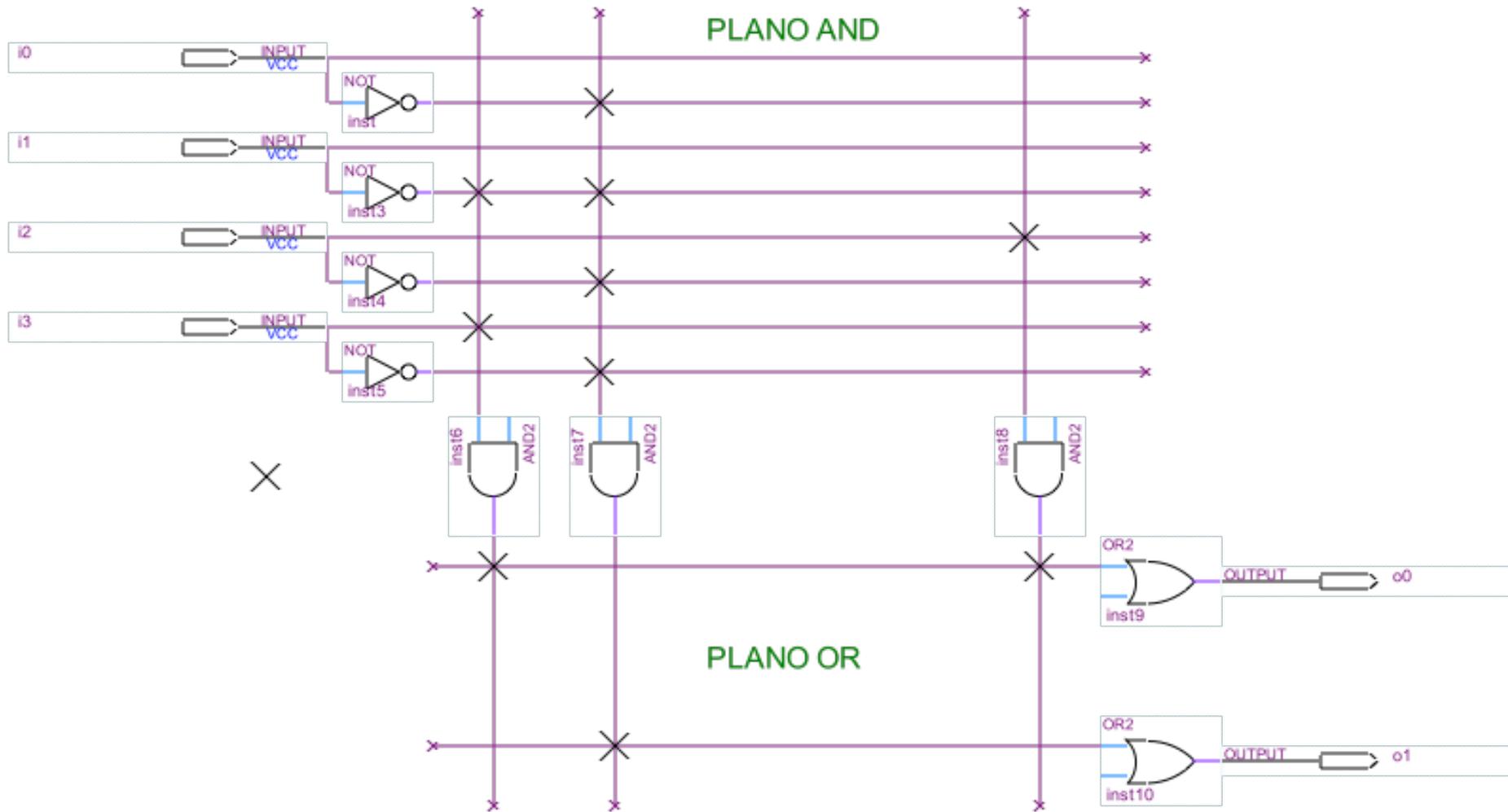
a	b	c	f(a, b, c)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Lógica | Suma de productos

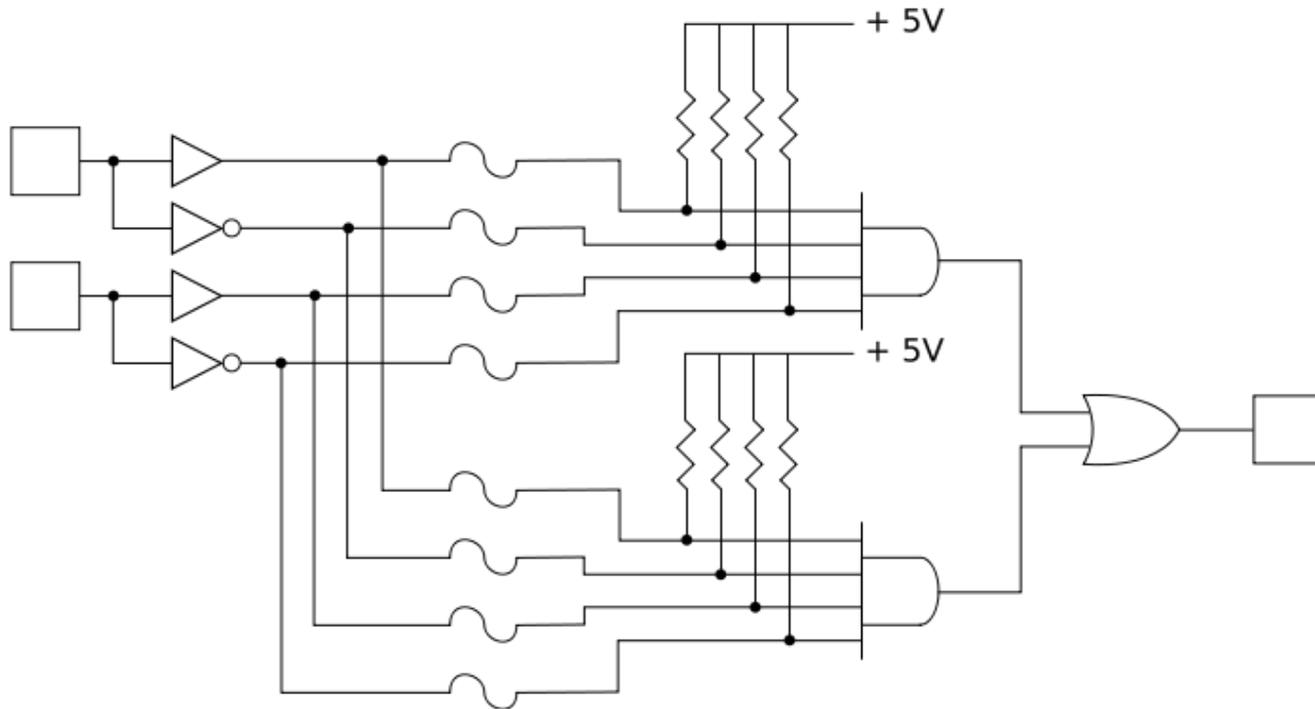
- ROM
- PLA (Programmable Logic Array):
 - AND programable - OR programable.
- PAL (Programmable Array Logic):
 - AND programable - OR fijo

Rom con:
m bits de direcciones y
n bits de ancho de palabra
=
n funciones de m bits

Lógica | Suma de productos (PLA)

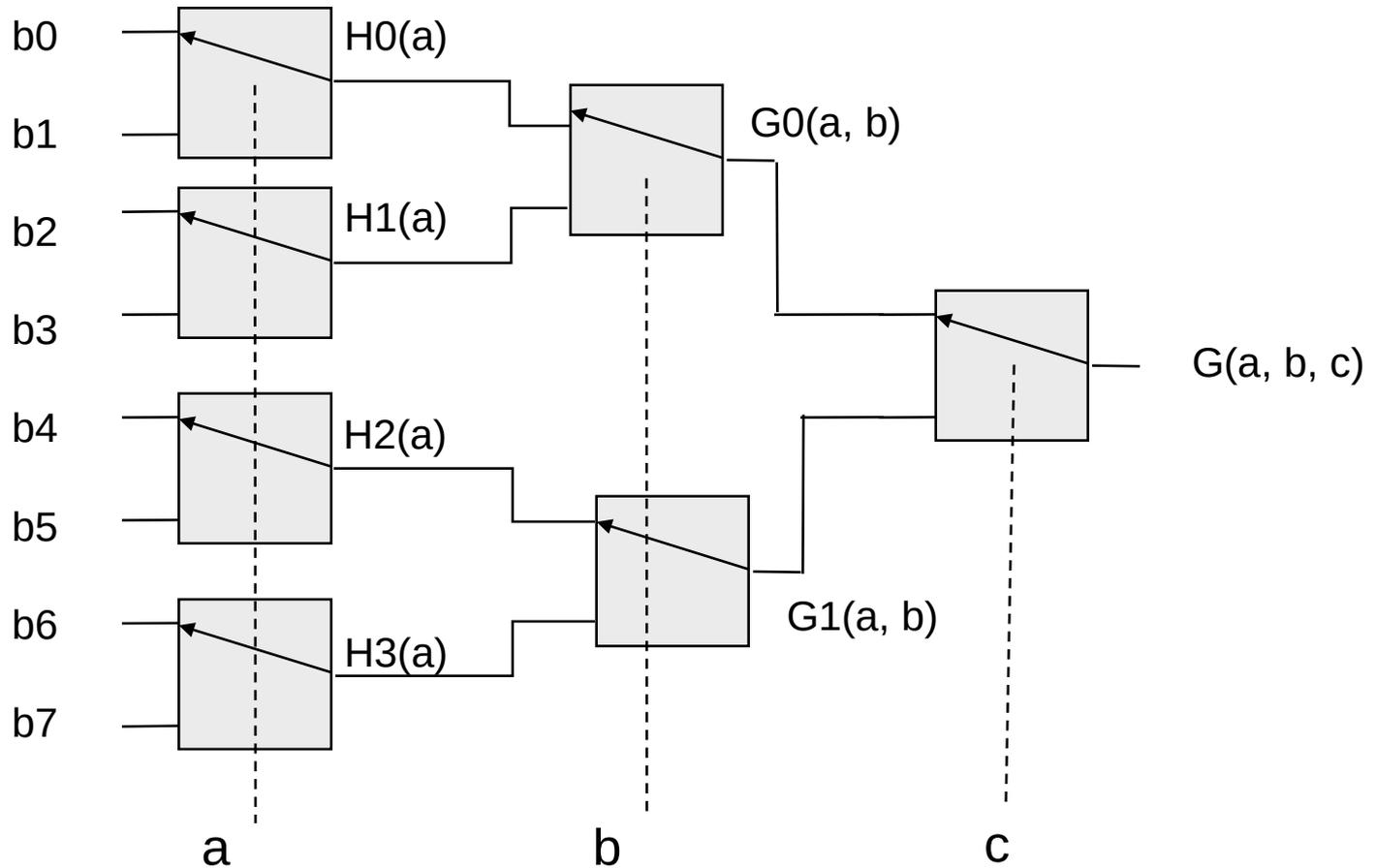


Lógica | Plano OR fijo (PAL)



Simplified programmable logic device

Lógica | LUT



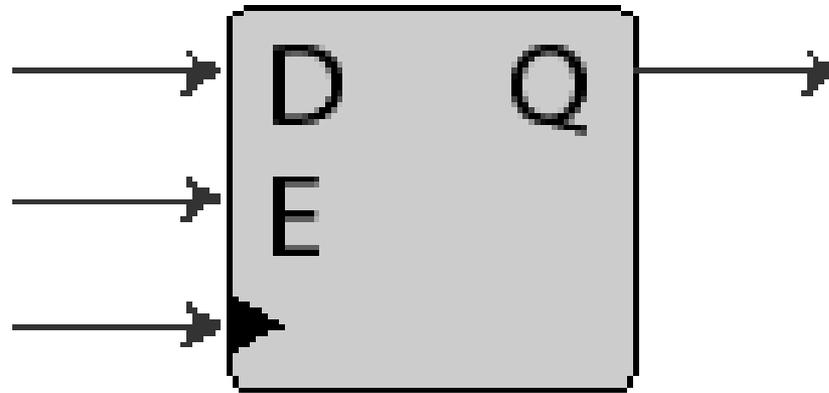
¿CPLD o FPGA?

- PLD: Programmable Logic Device
- CPLD: Complex PLD
- FPGA: Field Programmable Gate Array

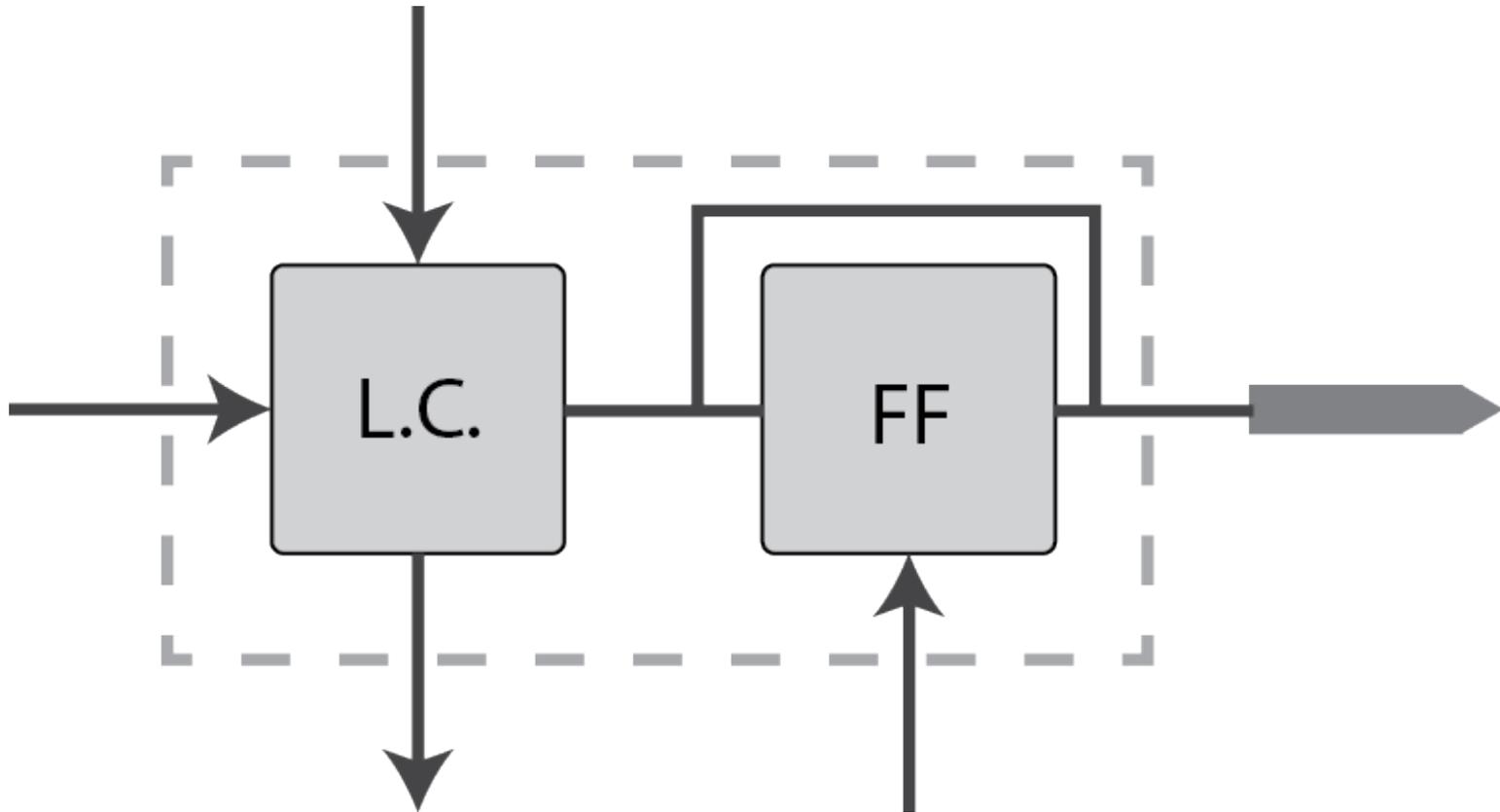
Es una cuestión de nombres. En general se utiliza **FPGA** para dispositivos de configuración **volátil** con celdas de arquitectura **Look-up Table** y **PLD** (o CPLD = Complex PLD) para dispositivos de configuración **no volátil** y celdas del tipo de **suma de productos**.



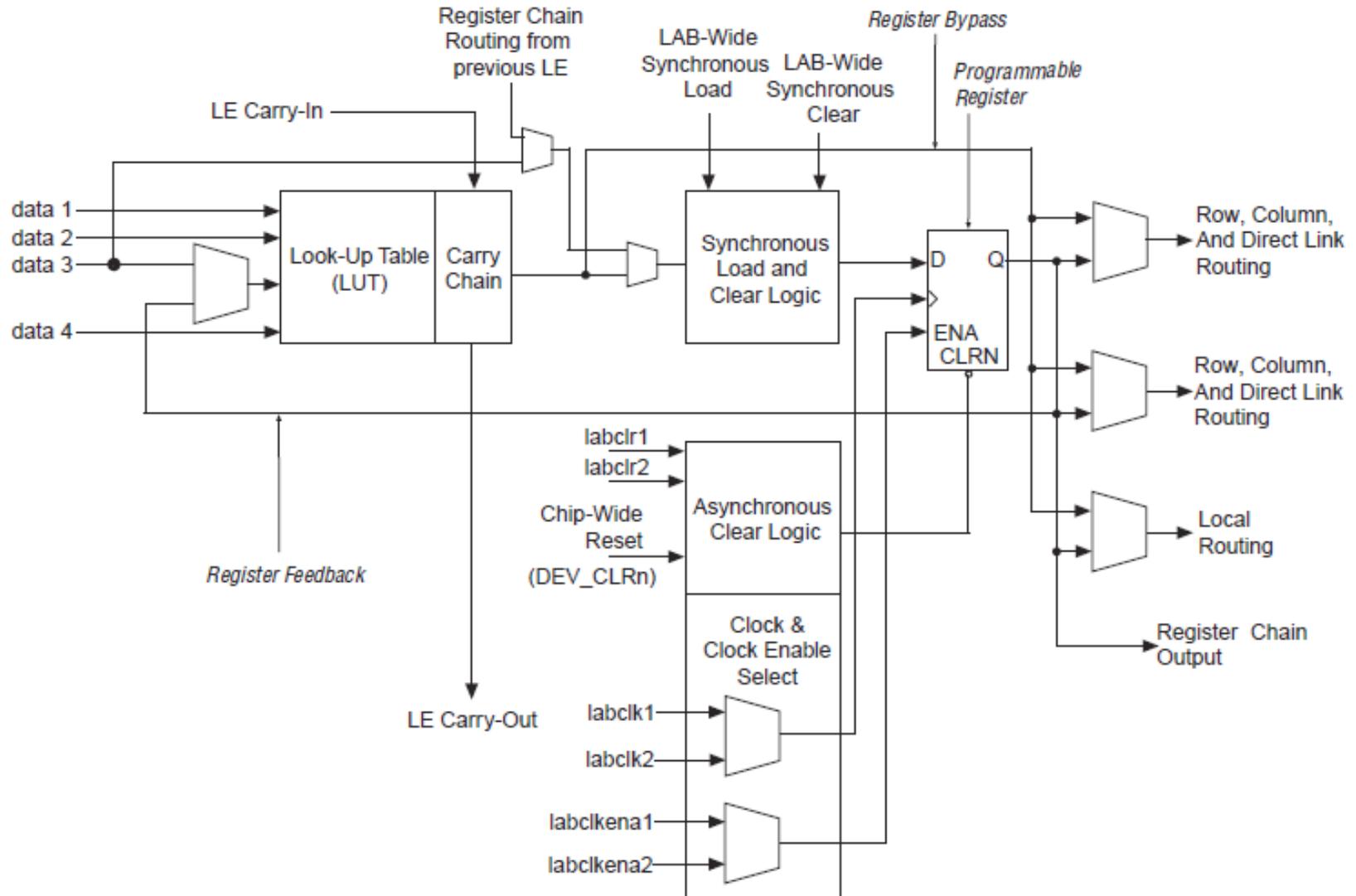
Memoria



Elemento Lógico

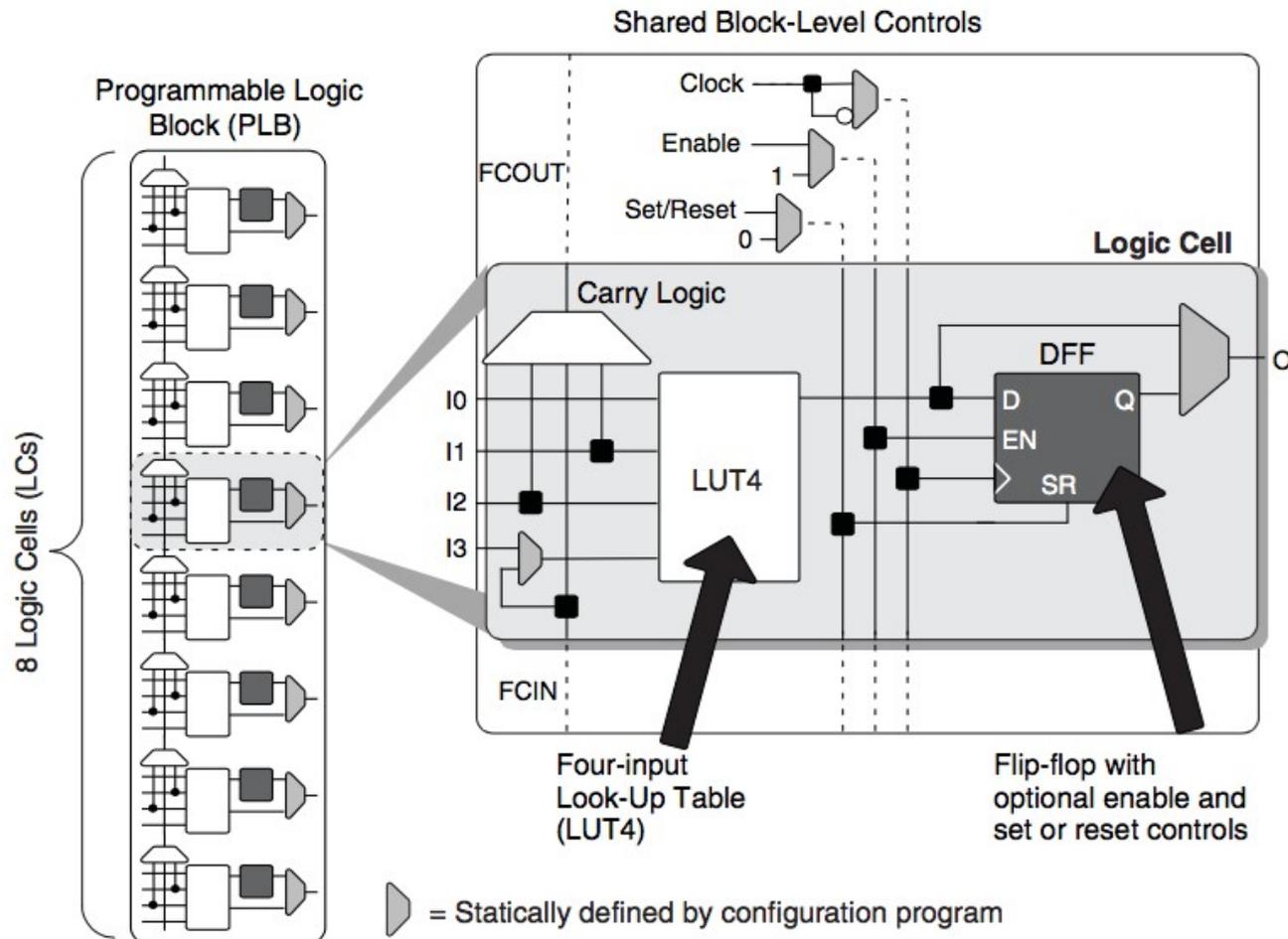


Logic Element – Intel Cyclone III

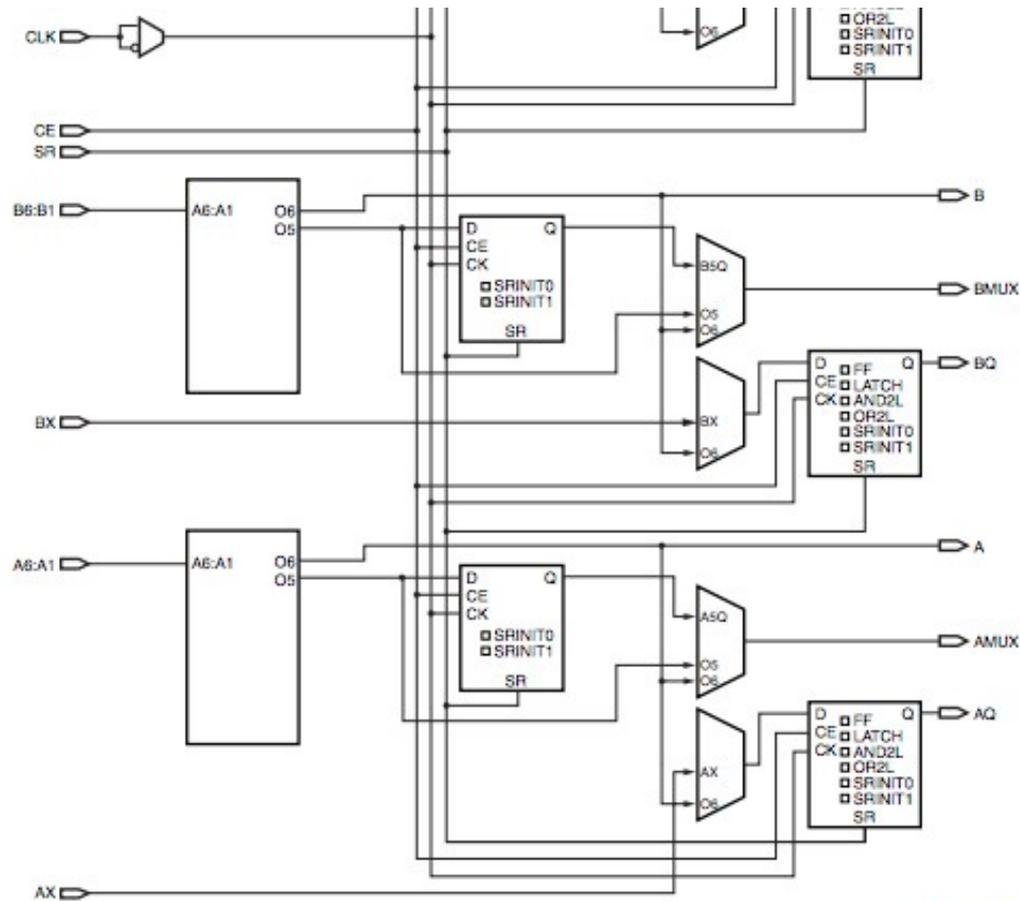


Programmable Logic Block – Lattice iCE40

2-2. PLB Block Diagram



1/2 SLICEX – Xilinx Spartan 6

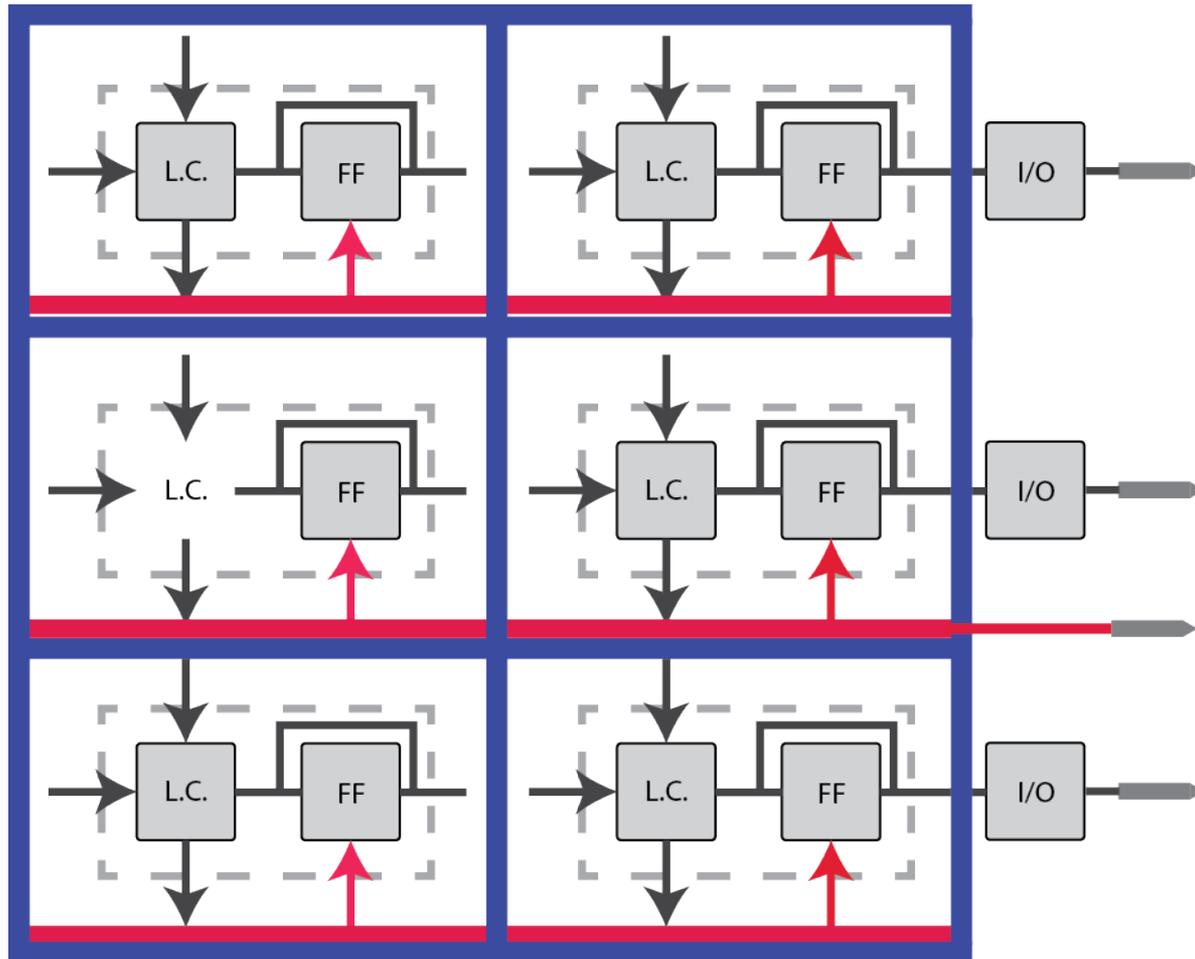


ug384_05_121100

Figure 5: Diagram of SLICEX



Interconexiones

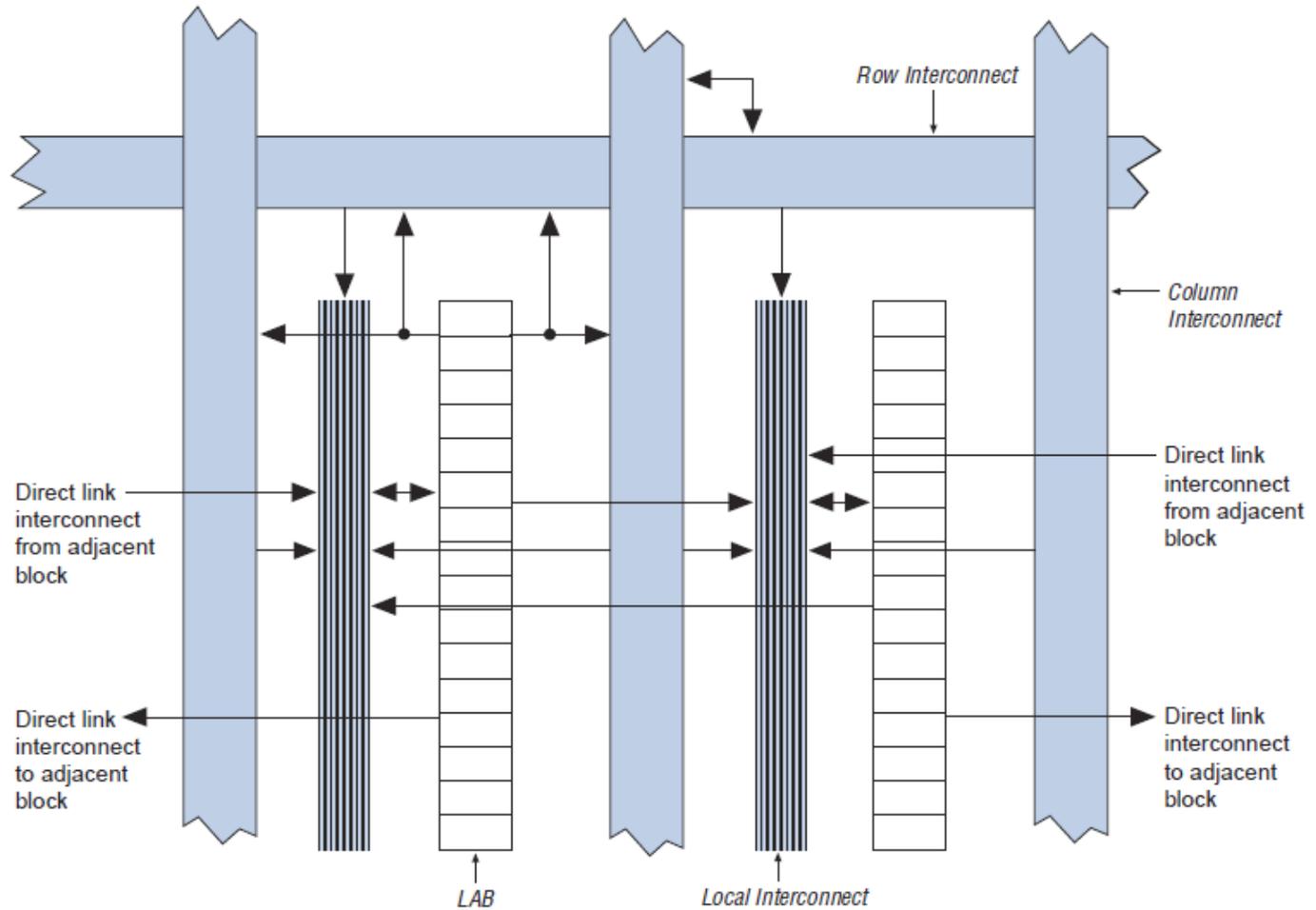


Jerarquía de conexiones

- Conexiones configurables
- Dentro de cada celda para determinar la función lógica
- Entre celdas vecinas
- Jerarquía en varios niveles de grupos de celdas y bloques
- Conexiones disponibles
- Abundantes entre celdas vecinas
- Escasas entre celdas lejanas



LAB - Cyclone III



Manejo de señales de reloj

- Entradas y bloques dedicados para minimizar “*jitter*”, “*skew*”, y distorsión del ciclo de trabajo.
- PLLs y Digital Clock Managers
 - Multiplicar o dividir frecuencia
 - Fase y retardo programables para ajustarse a la temporización de señales de entrada
 - Conmutar entre diferentes fuentes de reloj

Más Bloques

- Multiplicadores y DSP
- Bloques de memoria
- Procesadores
- Interfaces comunicación serie de alta velocidad (serializadores/deserializadores, 8B/10B)
- Bloques de I/O (adaptación impedancias, niveles de tensión, registros, control de slew-rate, etc.)
- Facilidades para TEST (BIST)

IO – Lattice ice40

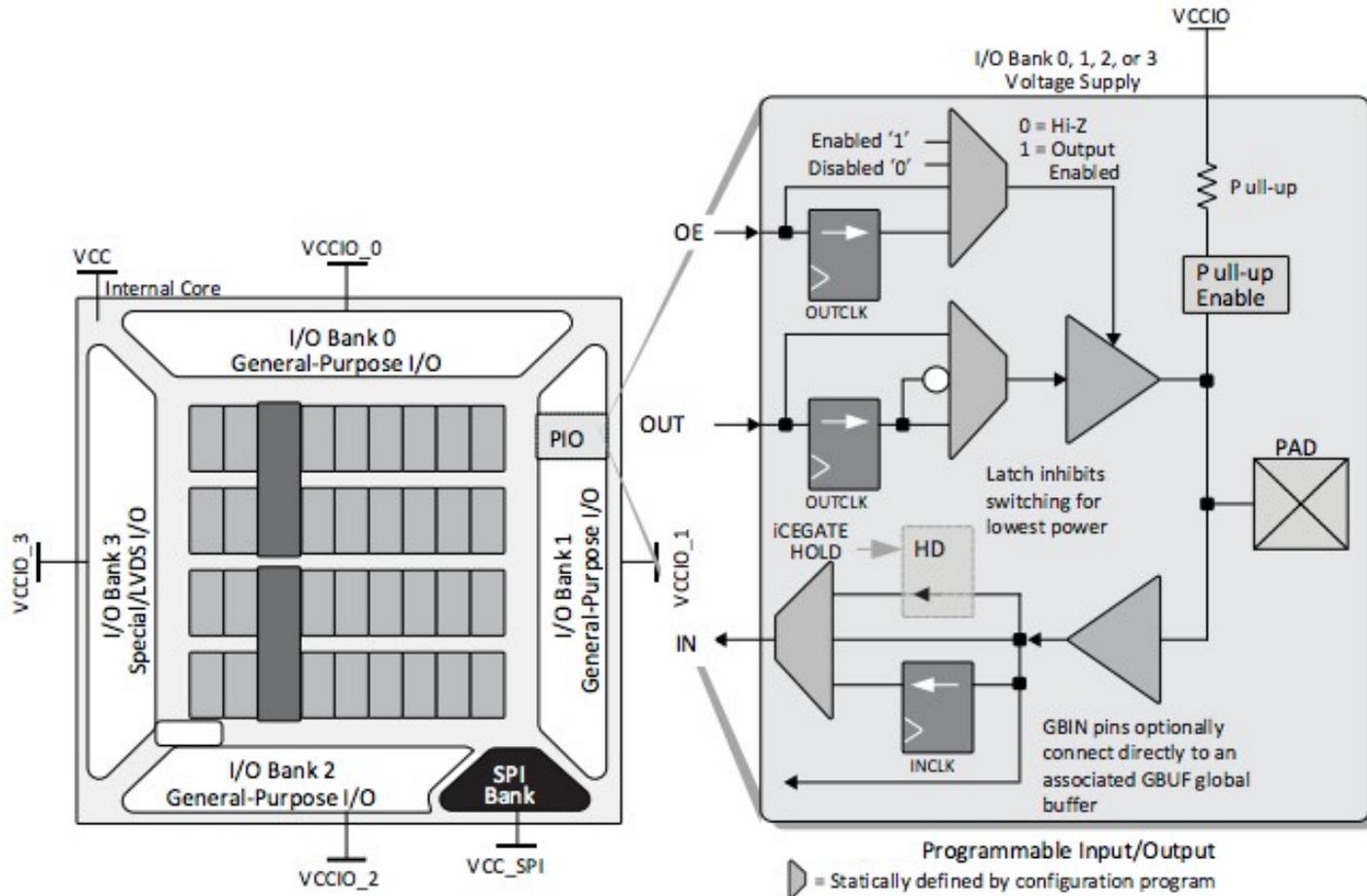
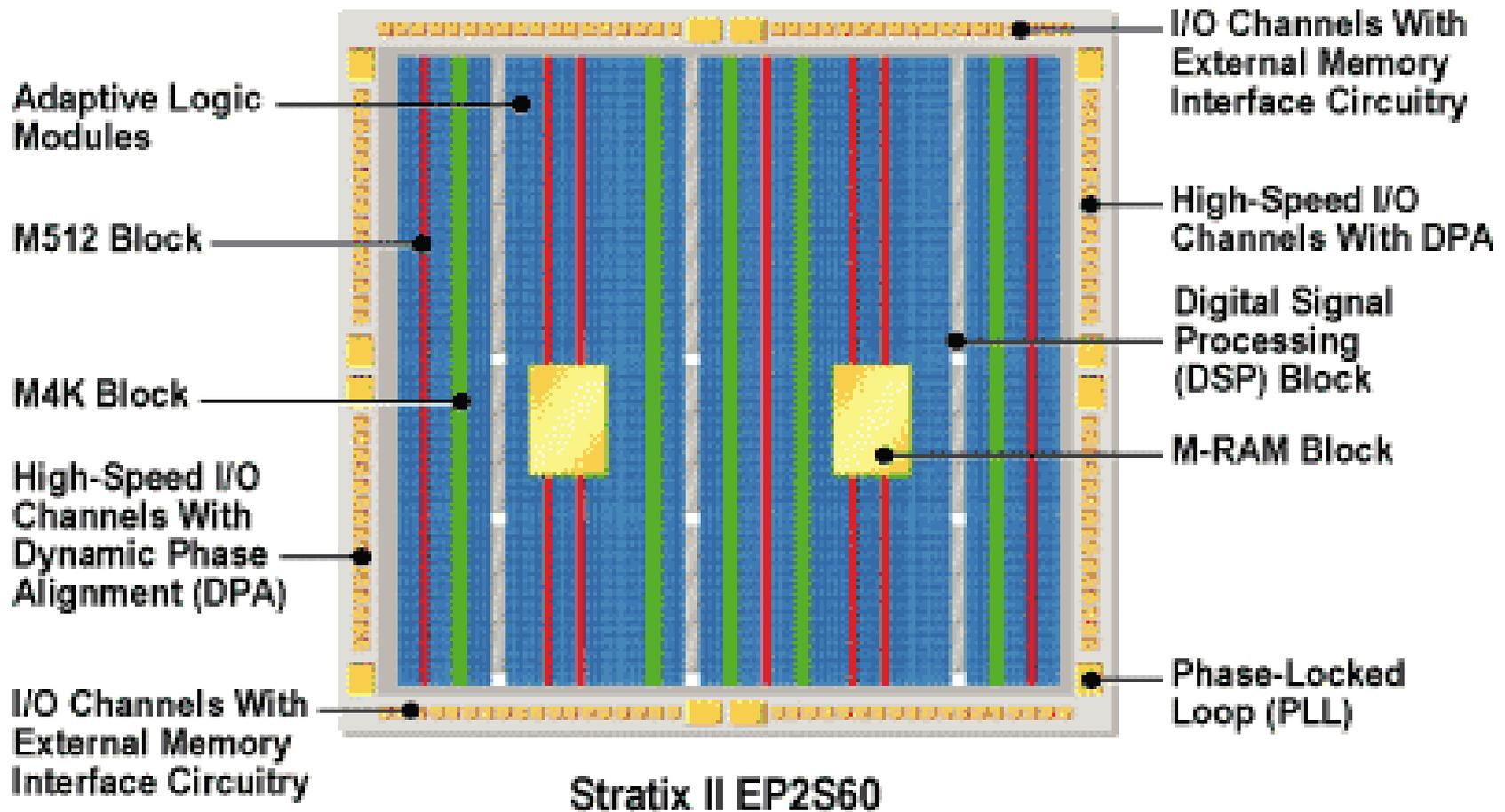


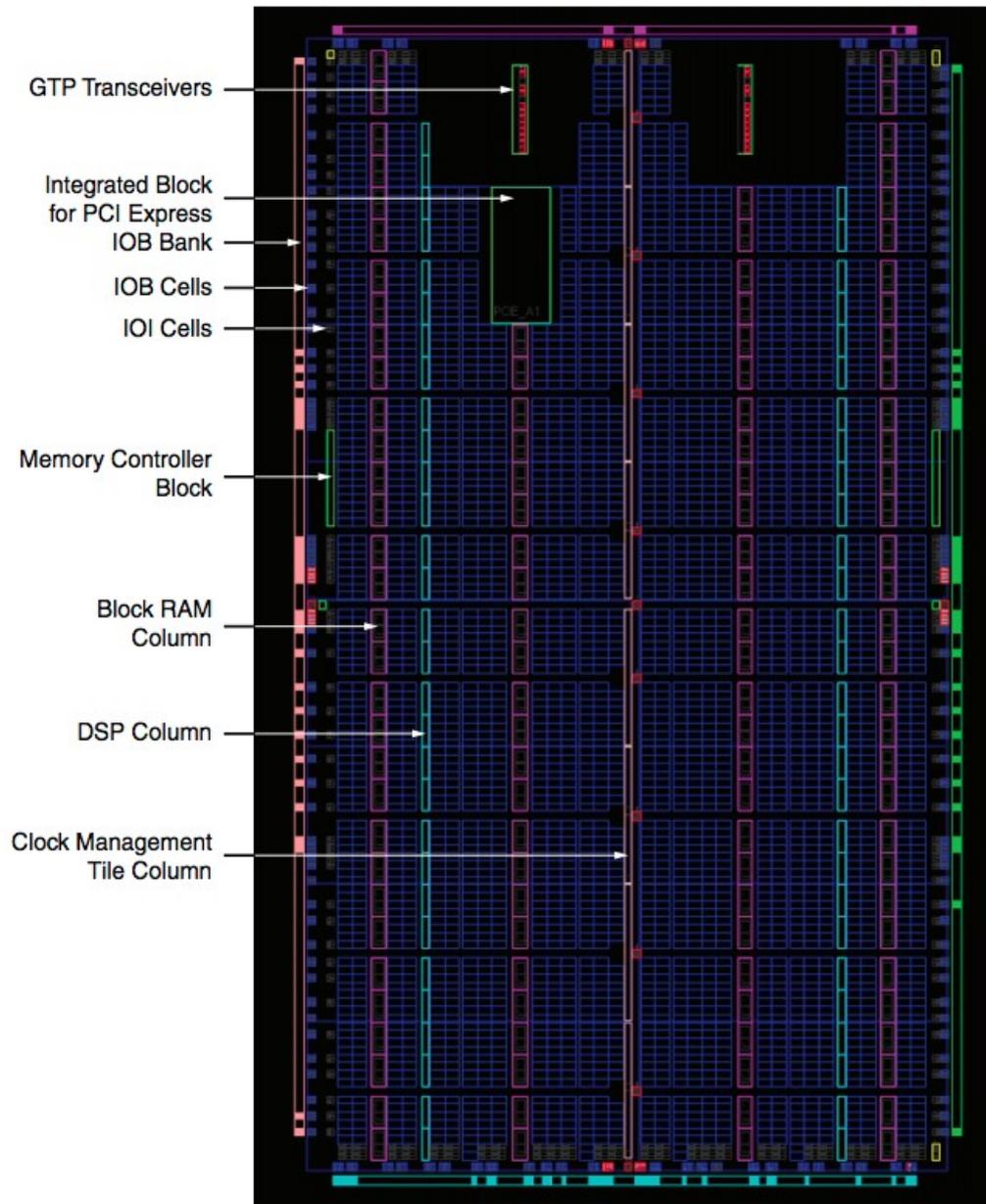
Figure 3.5. I/O Bank and Programmable I/O Cell

Estructura interna Intel



Fuente: <http://www.altera.com/products/devices/stratix2/st2-index.jsp>





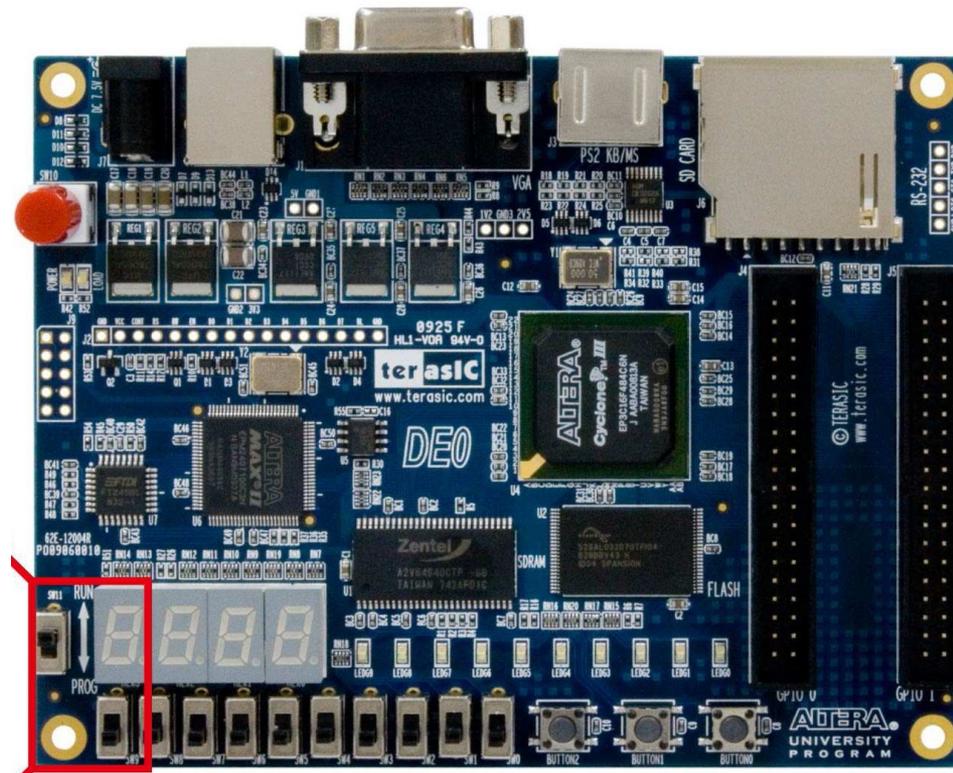
UG384_31_012710



Figure 31: XC6SLX45T Floorplan View in PlanAhead

Ejemplo

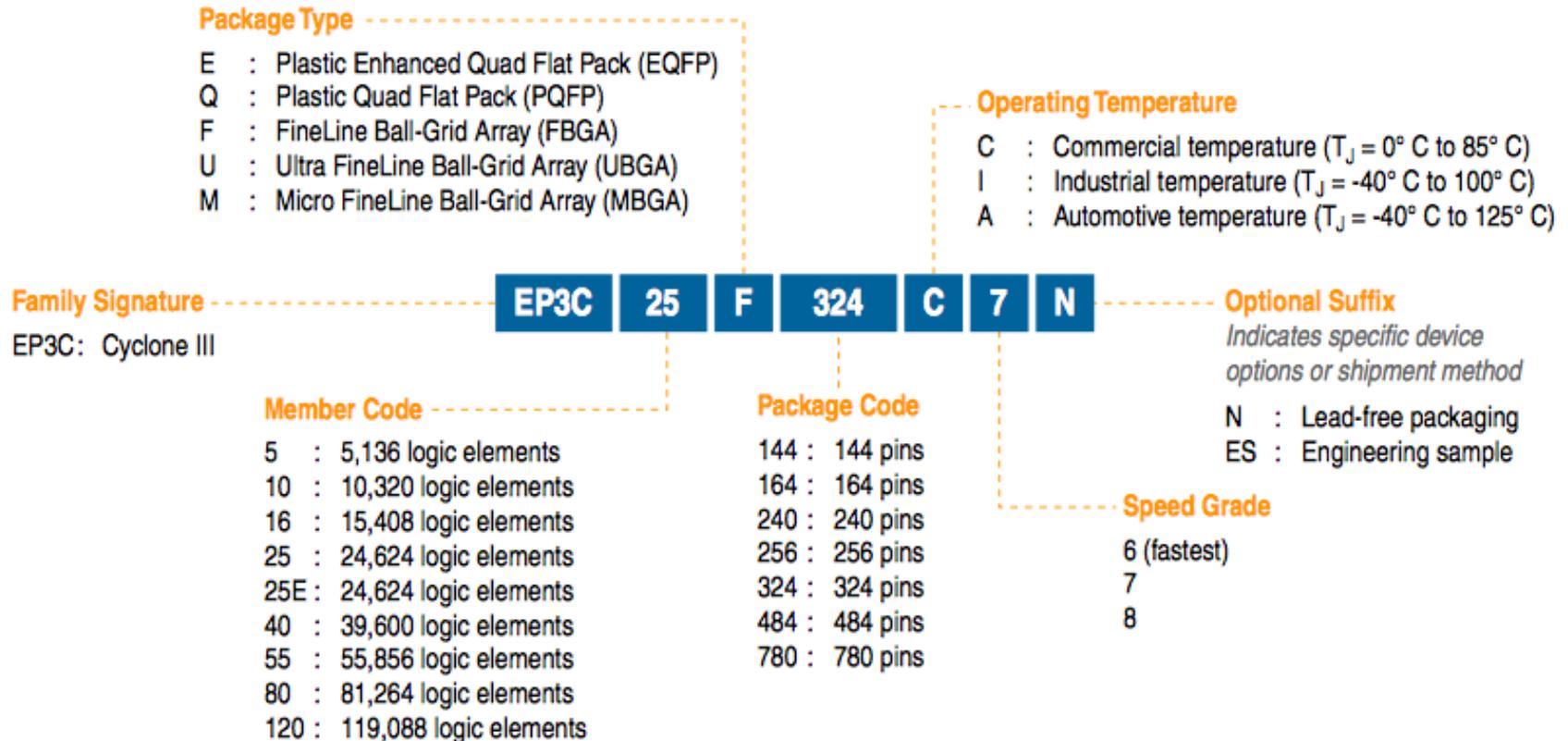
Chip Cyclone III de Altera en placa DE0.



EP3C16F484

Packaging EP3C16F484

Figure 1–1. Cyclone III Device Packaging Ordering Information

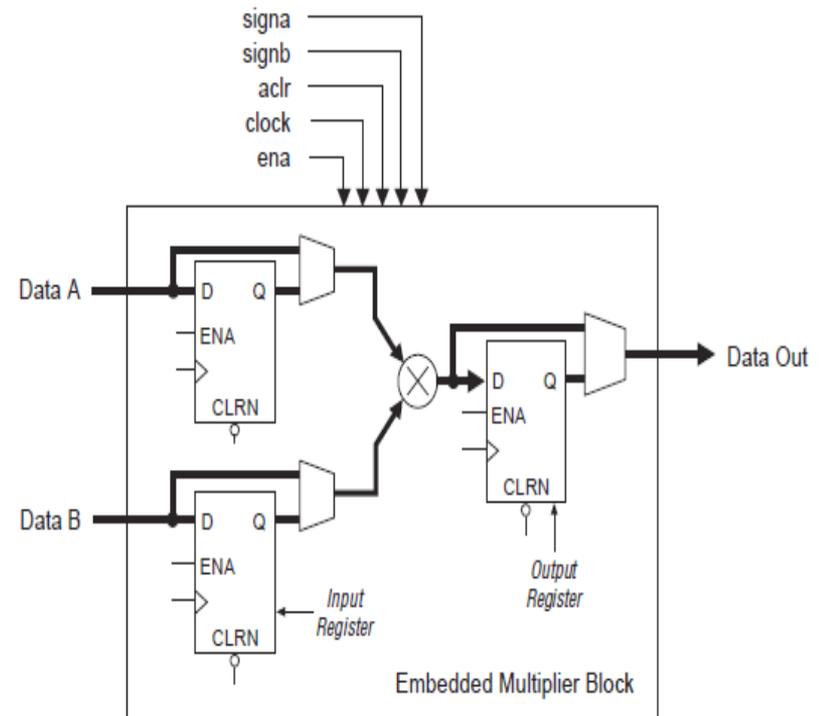


Cyclone III

- Arquitectura **Lookup Table** y configuración **volátil**
- Jerarquía de bloques lógicos y conexiones
- Logic Elements (**LE**)
 - Logic Cells (LC) o Macrocell en otras familias
- Varios LEs forman un **Logic Array Block (LAB)**
 - Configurable Logic Block (CLB) en Xilinx
 - en Cyclone III
 - 1 LAB = 16 LE

Otros bloques – Cyclone III

- Memory Blocks (M9K)
 - Bloques de 8 Kbits + paridad
 - Organización configurable
 - Ancho de palabra (1 a 36)
 - ROM o RAM
 - Fifo
 - Uno o dos puertos
- Multiplicadores
 - Punto fijo con o sin signo.
 - Un mult. 18 x 18 o dos 9 x 9
 - Conexión en cascada



Recapitulando

- Bloques Lógicos
- Función combinatoria (Suma de productos o LUT)
- FF
- Multiplexores
- Jerarquía de Buses
- de interconexión de bloques
- de distribución de señales de control (clk, clr, enable)
- Memorias
- Bloques de E/S (buffers, voltaje de salida)
- Manejo de relojes, multiplicadores, ...



Ventajas

- Reducción en la cantidad de componentes
- Menor área de circuito impreso
- Menor costo de montaje
- Mayor confiabilidad
- Reprogramabilidad
- Cambios de diseño sin modificar impreso
- Diseño temprano para estándares no maduros
- Stock más reducido

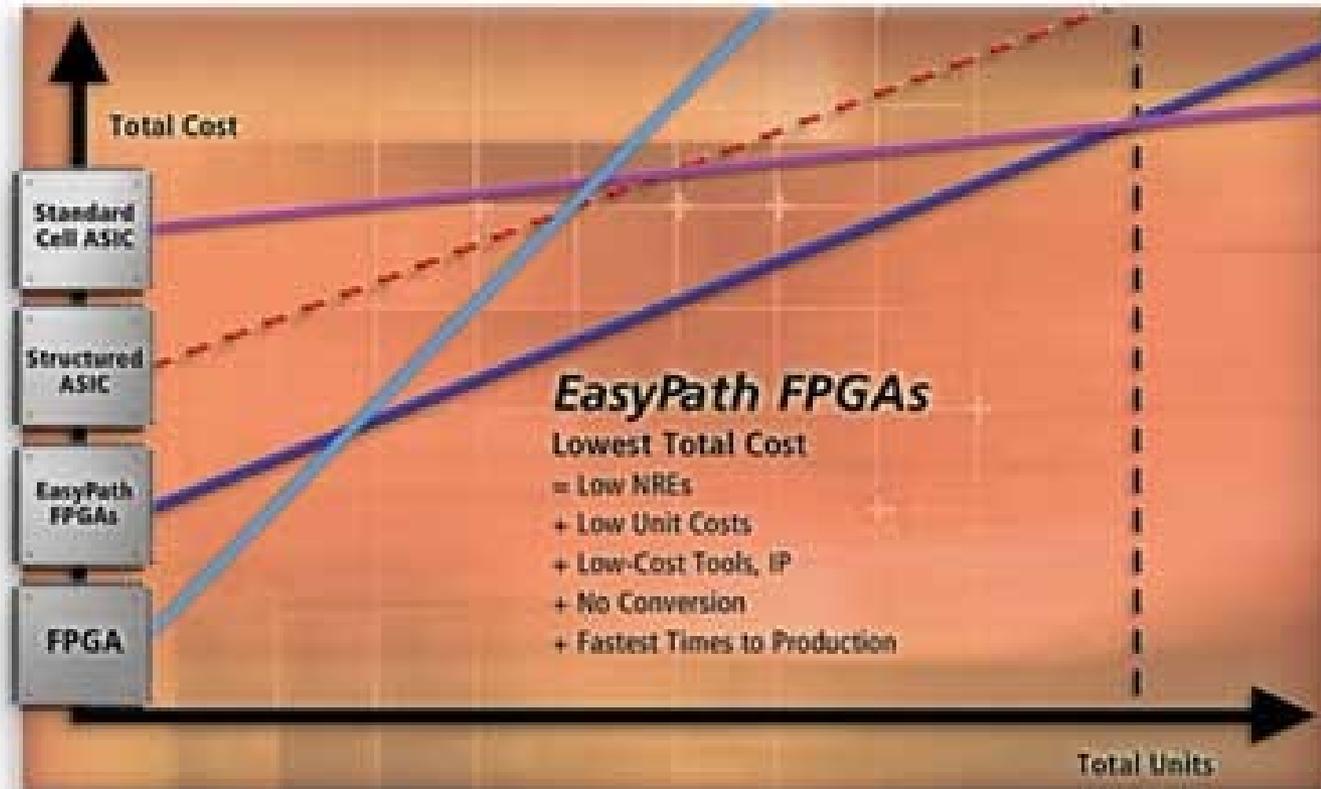
Dominios de aplicación

- “Glue Logic”
- Circuitos digitales rápidos
- Aceleradores de Cálculo
- Procesamiento de señales
- Prototipado de otros ASICs
- System on a Chip (SoC) ***

- Full Custom
- Standard Cells
- Gate Arrays
- Circuitos Programables (PLD, FPGA)

Orden decreciente de costos fijos (NRE) y tiempo de desarrollo

ASIC vs FPGA



Oferta de prototipado en FPGAs y fabricación en chips "más duros" (menor costo, menor consumo)

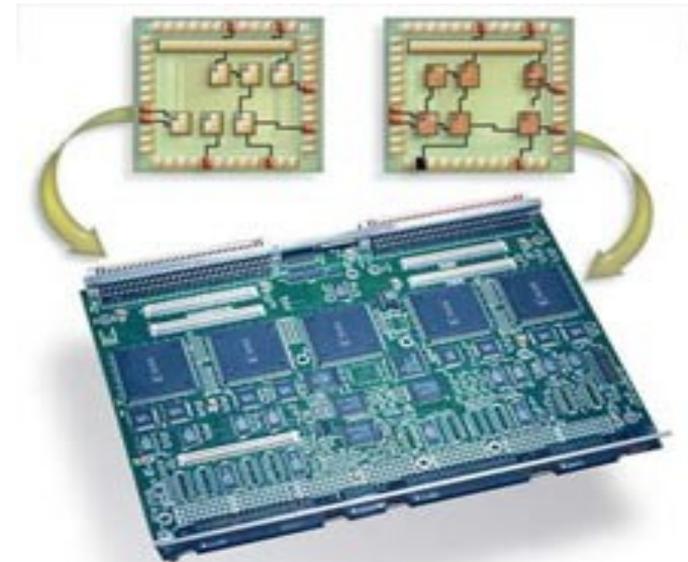
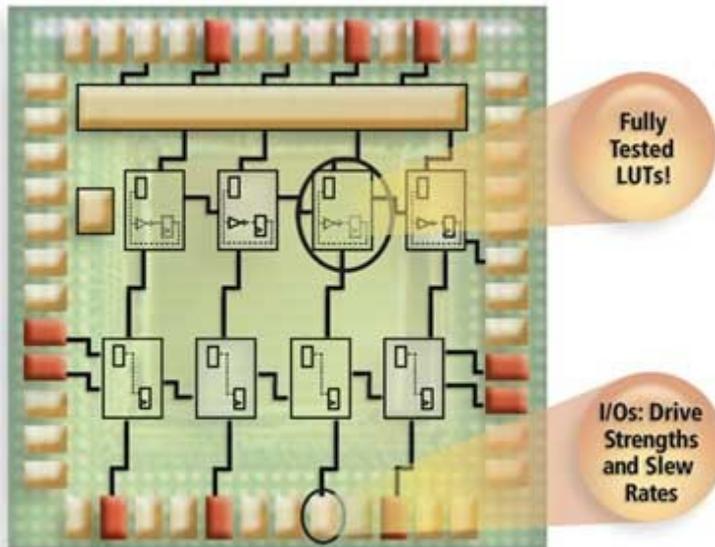
Fuente: <http://www.xilinx.com/>



Xilinx EasyPath

Flexibility to make
ECO changes

Support for
Dual Bitstreams



Mercado actual

- Intel (Altera): FPGA, CPLD, SoC
- AMD (Xilinx): FPGA, CPLD (discontinua la mayoría), SoC
- Lattice: ultra low power FPGA, CPLD
- Microchip: FPGA, CPLD, SoC

Algunos productos que utilizan FPGAs



Interfaces EXTRON



Procesadores Mark Levinson



Merging Unit



RedBox Relyum

Precauciones usando la placa

- Precauciones habituales:
- Mesa limpia, estática, etc.
- EP3C16:
- Conexiones con **entradas ya soldadas**: Hay que evitar que el chip las maneje como salidas. Aunque no se utilicen, **definirlas como entradas** o verificar que por defecto las asigne **tri-state con weak pull-up**