

# Dispositivos Semiconductores para Electrónica de Potencia

César Briozzo

Virginia Echinope



# Índice general

<b>1. Introducción</b>	<b>7</b>
1.1. Llaves ideales . . . . .	7
1.1.1. Diodo ideal: . . . . .	8
1.1.2. Tiristor ideal: . . . . .	9
1.1.3. Llave apagable con conducción inversa: . . . . .	10
1.2. Llaves reales . . . . .	11
<b>2. Conducción en los semiconductores</b>	<b>13</b>
2.1. Conductividad intrínseca . . . . .	13
2.2. Semiconductores tipo n y tipo p . . . . .	15
2.3. Creación de material n . . . . .	15
2.4. Creación de material p . . . . .	16
2.5. Disponibilidad de cargas en el semiconductor . . . . .	16
2.6. Creación de zonas p y n en un semiconductor . . . . .	17
<b>3. Tiristores</b>	<b>19</b>
3.1. Introducción . . . . .	19
3.2. Características generales del tiristor real . . . . .	19
3.2.1. El tiristor como llave abierta. . . . .	20
3.2.2. El tiristor en conducción. . . . .	21
3.3. "Ratings" y características . . . . .	21
3.4. Estructura de un tiristor . . . . .	22
3.5. Funcionamiento . . . . .	23
3.5.1. No conducción: Bloqueo . . . . .	24
3.5.2. Conducción . . . . .	27
3.5.3. Modelo de dos transistores . . . . .	30
3.5.4. Caída de tensión en conducción . . . . .	30
3.5.5. Característica ánodo - cátodo . . . . .	31
3.6. Encendido . . . . .	32
3.6.1. Valor máximo de la velocidad de subida de la corriente ( $\frac{dI}{dt}$ ) . . . . .	34
3.6.2. Riesgo de falla por $\frac{dI}{dt}$ en aplicaciones prácticas . . . . .	34
3.6.3. Modificación de cátodo . . . . .	35
3.7. Disparo . . . . .	36
3.7.1. Valor de la corriente de gate . . . . .	38
3.7.2. Característica de gate y características de disparo de gate . . . . .	38
3.7.3. Circuito de disparo . . . . .	40
3.7.4. Implementación práctica del circuito de disparo: . . . . .	42
3.8. Apagado . . . . .	48

3.8.1.	Imposibilidad estructural del apagado . . . . .	48
3.8.2.	Procesos de apagado . . . . .	49
3.8.3.	Apagado en un rectificador conmutado por la red - conducción inversa . . . . .	49
3.8.4.	Apagado en un inversor conmutado por la red - $t_q$ . . . . .	55
3.9.	Manejo térmico . . . . .	57
3.9.1.	Generación de calor . . . . .	57
3.9.2.	Modelo térmico de un tiristor en un montaje práctico: Resistencia térmica . . . . .	58
3.9.3.	Cálculo de la temperatura media - Ejemplo: . . . . .	61
3.9.4.	Temperatura instantánea: Impedancia Térmica Transitoria	63
3.9.5.	Cálculo de la temperatura instantánea en régimen estacionario	66
<b>4.</b>	<b>Llaves completamente controlables mediante electrodo de comando</b>	<b>69</b>
4.1.	Introducción . . . . .	69
4.2.	Llave apagable básica . . . . .	69
4.3.	Conmutación con carga inductiva limitada en tensión . . . . .	70
4.4.	Formas de onda y potencia disipada en la llave. Relación con "Ratings" y "Características" . . . . .	73
4.4.1.	Formas de onda . . . . .	74
4.4.2.	Potencia disipada . . . . .	75
4.4.3.	Trayectorias de encendido y apagado . . . . .	77
4.4.4.	Sobretensiones y sobrecorrientes en la conmutación inductiva clampeada . . . . .	77
4.5.	Circuitos de ayuda a la conmutación ("snubbers") . . . . .	81
4.5.1.	Circuito RC de amortiguación de oscilaciones. . . . .	81
4.5.2.	Circuito de ayuda al encendido (turn on snubber) . . . . .	82
4.5.3.	Circuito limitador de sobretensión (clamp de sobretensión)	84
4.5.4.	Circuito de ayuda al apagado (snubber de apagado) . . . . .	84
4.5.5.	Snubbers no disipativos . . . . .	90
4.5.6.	Llaves apagables de uso corriente . . . . .	90
<b>5.</b>	<b>GTO - GCT</b>	<b>93</b>
5.1.	Introducción . . . . .	93
5.2.	Condición de encendido y apagado teórico de un tiristor mediante corriente de gate . . . . .	94
5.2.1.	Condición de encendido . . . . .	95
5.2.2.	Condición de apagado . . . . .	96
5.3.	Estructura de un <i>GTO</i> . . . . .	99
5.3.1.	Estructura del cátodo - gate: Minimización de la resistencia lateral de gate . . . . .	99
5.3.2.	Estructura del ánodo. Disminución de la ganancia $\alpha_{pnp}$ . Estructura general . . . . .	101
5.4.	Encendido y apagado de un <i>GTO</i> . . . . .	104
5.4.1.	Limitación de $di/dt$ y $dV/dt$ . Circuitos de ayuda a la conmutación . . . . .	104
5.4.2.	Corriente controlable . . . . .	105
5.4.3.	Encendido del <i>GTO</i> . . . . .	105
5.4.4.	Apagado del <i>GTO</i> . . . . .	106
5.4.5.	Circuitos de comando de gate . . . . .	108

5.5.	<i>GCT</i> (Gate Commutated or Controlled Thyristor) e <i>IGCT</i> (Integrated Gate Commutated Thyristor) . . . . .	109
5.5.1.	Limitaciones del <i>GTO</i> convencional . . . . .	109
5.5.2.	Operación del <i>GCT - IGCT</i> . . . . .	110
5.5.3.	Estructura y circuito de comando del <i>GCT - IGCT</i> . . . . .	111
5.5.4.	Performance y aplicaciones del <i>GCT - IGCT</i> . . . . .	114
<b>6.</b>	<b>BJT</b> . . . . .	<b>117</b>
6.1.	Introducción . . . . .	117
6.2.	Funcionamiento de un BJT como llave . . . . .	118
6.3.	Estructura del BJT de potencia . . . . .	120
6.4.	Curvas características. Corriente de colector / Tensión colector-emisor	121
6.4.1.	Curvas características y funcionamiento de un transistor común . . . . .	121
6.4.2.	Curvas características del BJT para conmutación de potencia	123
6.5.	Tensiones de Bloqueo. Avalancha y rupturas (breakdown) . . . . .	125
6.6.	Corrientes máximas . . . . .	129
6.7.	Procesos de Conmutación . . . . .	129
6.7.1.	Encendido (turn-on) . . . . .	130
6.7.2.	Apagado (turn-off) . . . . .	131
6.8.	Zonas o áreas de operación segura (SOA) de un transistor bipolar	133
6.8.1.	FBSOA . . . . .	134
6.8.2.	RBSOA . . . . .	137
6.9.	Configuración Darlington . . . . .	140
6.10.	Circuitos de comando de base. "Drivers" de base. . . . .	142
6.10.1.	Pulso inicial de corriente y ajuste de $I_B$ . . . . .	143
6.10.2.	Ejemplo de driver de base para BJT común o Darlington	144
6.11.	Comentarios generales . . . . .	146
<b>7.</b>	<b>MOSFET para conmutación de potencia</b> . . . . .	<b>149</b>
7.1.	Introducción . . . . .	149
7.2.	Funcionamiento de un MOSFET de señal canal $n$ . . . . .	150
7.2.1.	Bloqueo directo o corte . . . . .	150
7.3.	Estructura de un MOSFET de potencia . . . . .	156
7.4.	Bloqueo y conducción . . . . .	162
7.4.1.	Bloqueo . . . . .	162
7.4.2.	Conducción . . . . .	164
7.4.3.	Zona de operación segura . . . . .	168
7.4.4.	Conducción inversa . . . . .	168
7.5.	Características dinámicas. Conmutación . . . . .	169
7.5.1.	Capacidades internas del MOSFET . . . . .	169
7.5.2.	Modelos del MOSFET durante la conmutación . . . . .	173
7.5.3.	Formas de onda de conmutación con carga inductiva clampeada	173
7.6.	Carga de gate . . . . .	179
7.7.	Disipación de potencia en un MOSFET . . . . .	179
7.8.	Sobre el empleo de los MOSFETs . . . . .	182
7.9.	Circuitos de comando de <i>gate</i> ( <i>drivers</i> ) . . . . .	184
7.9.1.	Circuitos básicos tipo totem-pole . . . . .	185
7.9.2.	<i>Drivers</i> para MOSFETs con <i>source</i> flotante ( <i>high side drivers</i> ) . . . . .	188

7.9.3. Resumen sobre el empleo de MOSFETs . . . . . 194

**8. IGBT** . . . . . **197**

8.1. Introducción . . . . . 197

8.2. Estructura . . . . . 197

8.3. Características de operación . . . . . 201

8.3.1. Bloqueo . . . . . 201

8.3.2. Conducción . . . . . 202

8.3.3. Curvas características . . . . . 205

8.4. Encendido y apagado del IGBT . . . . . 207

8.4.1. Encendido . . . . . 207

8.4.2. Apagado . . . . . 209

8.4.3. Consideraciones sobre el circuito de comando . . . . . 210

8.5. Zonas o Areas de Operación segura (SOA) . . . . . 213

8.6. Estructura PT y NPT . . . . . 214

# Capítulo 1

## Introducción

### 1.1. Llaves ideales

Para un primer análisis de circuitos convertidores de potencia, los dispositivos que se utilizan como llaves se modelan como componentes ideales. Si se resumen las características del comportamiento de una llave ideal se tiene:

#### Características estáticas

Estado: Abierta

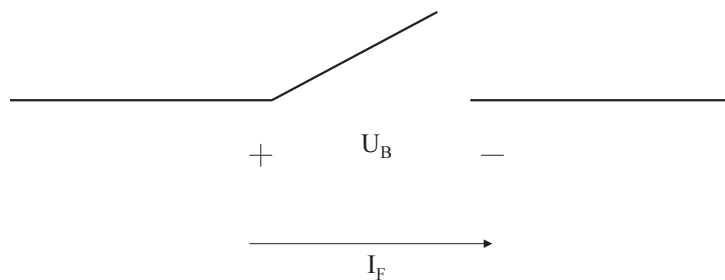


Figura 1.1: Llave abierta

Funcionamiento: La llave mantiene sobre sí una tensión  $U_B$  de cualquier polaridad y tan grande como se quiera mientras que la corriente de fugas  $I_F$  a través de la misma es nula. Este estado se denomina bloqueo.

Estado: Cerrada

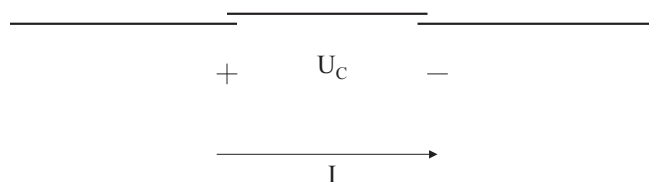


Figura 1.2: Llave cerrada

Funcionamiento: La llave permite que circule a través de ella una corriente  $I$  de cualquier valor y tiene una caída de tensión en conducción  $U_C = 0$ .

#### Características dinámicas:

Apertura: El tiempo de corte de la corriente  $I$  y de restablecimiento de la tensión en bornes de la llave, ( $t_{off}$ ) es nulo.

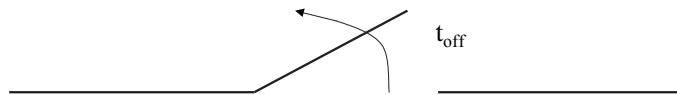


Figura 1.3: Llave abriendo

Cierre: Análogamente que en la apertura, el tiempo de cierre de la llave  $t_{on}$  es nulo

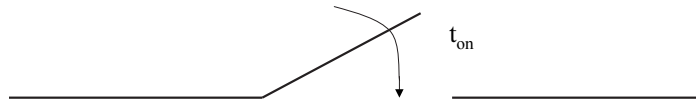


Figura 1.4: Llave cerrando

La llave puede tener un comando externo que determina el instante de apertura o cierre. En la llave ideal el comando es una señal lógica que no consume energía.

Como casos particulares de llaves ideales utilizadas en circuitos de convertidores podemos considerar el diodo ideal, el tiristor ideal y la llave apagable con conducción inversa

#### 1.1.1. Diodo ideal:

Se definen signos para tensiones y corriente de acuerdo a la figura 1.5.

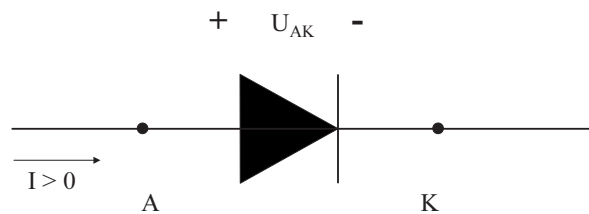


Figura 1.5: Diodo



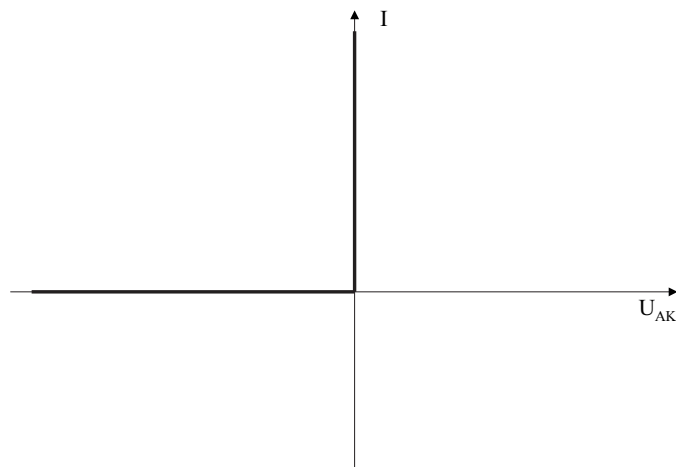


Figura 1.6: Característica del diodo ideal

Un diodo ideal bloquea cualquier tensión inversa  $U_{AK} = -U_R < 0$  impuesta en sus bornes por el circuito externo sin que circule corriente alguna a través del mismo. Cuando el circuito externo es tal que la corriente por un cortocircuito en el lugar del diodo circularía en el sentido ánodo - cátodo, el diodo conduce con tensión  $U_{AK} = 0$

### 1.1.2. Tiristor ideal:

Las corrientes y tensiones se definen según la figura 1.7. La señal  $I_G$  (en este caso una corriente) constituye el comando externo de la llave.

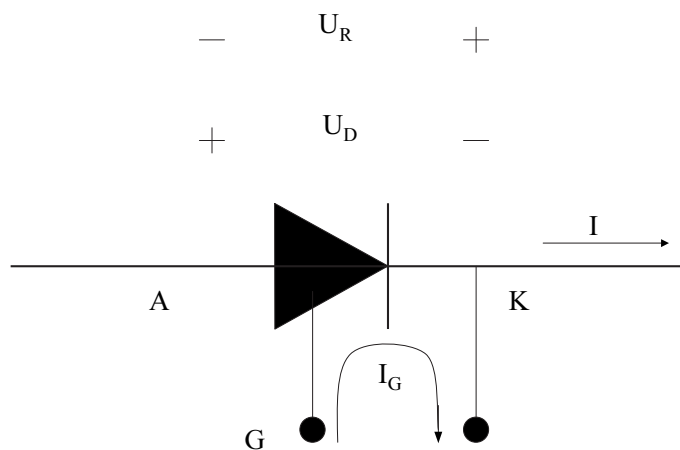


Figura 1.7: Tiristor

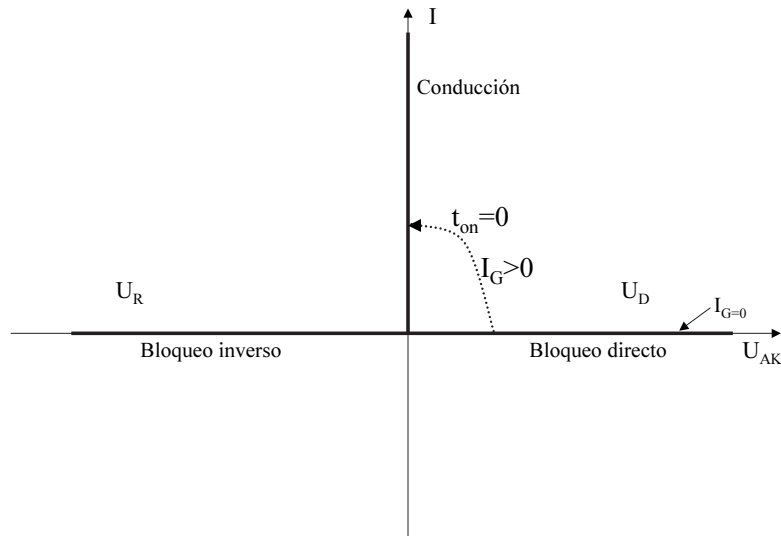


Figura 1.8: Característica del tiristor ideal

El tiristor ideal no conduce cuando

$$U_{AK} = -U_R < 0 \quad (1.1)$$

tenga o no corriente aplicada  $I_G$  entre el gate y el cátodo. En el caso en que

$$U_{AK} = U_D > 0 \quad (1.2)$$

mientras no se imponga una corriente  $I_G$  entre el gate y el cátodo, el tiristor tampoco conduce, pero si en estas condiciones de tensión se hace circular una corriente entre el gate y el cátodo, el dispositivo pasa de una corriente nula a conducir la corriente que impone el circuito externo en un tiempo  $t_{on}=0$ . En conducción,  $U_{AK} = 0$ . El tiristor se apaga cuando la corriente que circula por él se anula. El apagado se produce en un tiempo  $t_{off}=0$  y en esa situación la tensión en bornes del dispositivo vuelve a estar impuesta por el circuito externo.

### 1.1.3. Llave apagable con conducción inversa:

Una llave apagable con conducción inversa conduce la corriente que impone el circuito externo si tiene polarización inversa ( $U < 0$ ) y sin importar si tiene señal de comando. La conducción inversa se da a través del diodo en antiparalelo que tiene el dispositivo. Para que la llave conduzca con polarización directa necesita recibir una señal de comando. Una vez que recibe esta señal, instantáneamente el dispositivo pasa a conducir la corriente que impone el circuito externo. En esa condición, la llave conducirá la corriente impuesta hasta que reciba la señal de apagado, donde pasará de conducir la corriente impuesta por el circuito externo a bloquear una tensión positiva.

A continuación se verá cómo se implementa físicamente una llave tratando que se aproxime a las llaves ideales y qué resultados se obtienen.

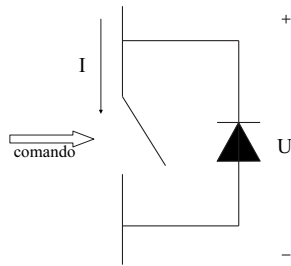


Figura 1.9: Llave apagable

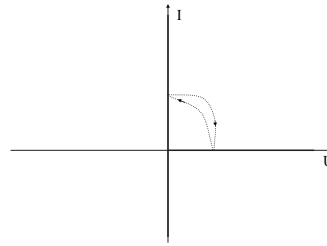


Figura 1.10: Característica de llave apagable ideal

## 1.2. Llaves reales

La implementación física real de una llave implica tanto apartamientos de sus características ideales como limitaciones a sus capacidades de conducir corriente y bloquear tensión. Se han obtenido soluciones que se aproximan a las llaves ideales en distinto grado y aspectos, y que se adaptan a distintos tipos de convertidores. En los capítulos siguientes se detallan las implementaciones físicas correspondientes.



## Capítulo 2

# Conducción en los semiconductores

Los dispositivos de conmutación de potencia se fabrican sobre la base de un semiconductor, el silicio de muy alta pureza. El silicio, como todo semiconductor, tiene una conductividad muy baja (resistividad muy alta).

En lo que sigue se presenta una descripción cualitativa del carácter de esta pequeña conductividad. El tema puede verse con más detalle en cualquier libro de física de dispositivos semiconductores (Sze 1981). Resúmenes del tema se encuentran en libros tradicionales de electrónica general (Millman & Halkias 1972) o de electrónica de potencia (Kassakian, Schlecht & Verghese 1992)

### 2.1. Conductividad intrínseca

La conducción en un material sólido como el silicio se debe al movimiento de electrones bajo la acción de un campo eléctrico. La conductividad depende de la energía necesaria para liberar un electrón de la red cristalina donde se encuentra formando los enlaces entre los distintos átomos.

Los electrones de un átomo aislado pueden tener solamente determinados niveles discretos de energía "permitidos". Los de mayor energía son los electrones de valencia, responsables de los enlaces.

En un cristal como el silicio, los niveles discretos de energía se transforman en intervalos o "bandas" de energía dentro de las cuales los electrones pueden tomar aproximadamente cualquier valor. Las bandas están separadas por intervalos de energía "prohibidos" a los cuales los electrones no pueden acceder. Utilizando la terminología en inglés, a estos intervalos les llamamos "gaps".

La banda de energía más alta que contiene los electrones que constituyen el enlace entre los átomos del cristal es la "banda de valencia".

Por encima de esa banda de energía hay un gap (intervalo de energías prohibidas) y luego un intervalo de energías permitidas llamado banda de conducción. Los electrones cuya energía se encuentra en esa banda no están ligados a ningún átomo de la red cristalina en particular, se pueden mover por el cristal (bajo la acción de un campo eléctrico, por ejemplo) y contribuyen a la conductividad eléctrica.

En principio la banda de conducción está vacía, todos los electrones de más energía de los átomos están en sus lugares formando los enlaces covalentes. Sin embargo existe la probabilidad de que, debido a la temperatura o eventualmente por acción de la luz (generación térmica u óptica) un electrón de la banda de valencia adquiera suficiente energía como para pasar a la banda de conducción, contribuyendo a la conductividad según lo descrito. Si un electrón pasa a la banda de conducción queda un enlace covalente incompleto por la falta de un electrón, lo cual equivale a una carga neta positiva en la banda de valencia, del mismo valor que la carga del electrón. Esa carga positiva se llama hueco. Bajo la acción de un campo eléctrico el hueco puede desplazarse por el cristal cuando un electrón de un átomo vecino toma el lugar libre.

Como resultado los huecos se comportan como cargas positivas que también contribuyen a la conductividad eléctrica.

La probabilidad de que se forme un par electrón-hueco de este tipo es proporcional a  $\exp(-E_g/kT)$ , siendo  $E_g$  el ancho del intervalo de energías prohibidas (gap) entre la banda de conducción y la banda de valencia,  $k$  es la constante de Boltzmann y  $T$  la temperatura absoluta.

Las diferentes características eléctricas de metales, semiconductores y no metales dependen de la disponibilidad de electrones en la banda de conducción y de los correspondientes huecos, lo que a su vez depende de la magnitud del gap entre la banda de conducción y la banda de valencia.

En los metales la banda de conducción se superpone en parte a la banda de valencia, lo cual significa que hay muchos electrones con energía suficiente como para ser movidos por el cristal como electrones libres. Los metales son buenos conductores y la conductividad se debe fundamentalmente a electrones libres en la banda de conducción.

En los no metales aislantes el gap es del orden de 5 - 10 eV, lo cual implica que la probabilidad de que se forme un par electrón-hueco es muy baja.

Los semiconductores tienen un gap de aproximadamente 1 - 3 eV lo cual significa que a temperaturas normales hay cierta cantidad de pares hueco - electrón.

La conductividad de los semiconductores se debe por lo tanto a la presencia tanto de cargas móviles negativas con energía suficiente como para estar en la "banda de conducción" como de cargas también móviles positivas ("huecos") en la banda de valencia.

Esta doble forma de conducción y la posibilidad de ser modificada en uno y otro sentido es lo que hace útiles a los semiconductores para construir llaves.

Los huecos y electrones que contribuyen a la conducción los llamaremos *portadores*.

La conductividad del silicio cristalino puede expresarse como:

$$\sigma = qp\mu_p + qn\mu_n \quad (2.1)$$

donde  $q$  es la carga del electrón,  $p$  y  $n$  las concentraciones de huecos en la banda de valencia (en  $m^{-3}$ ) y electrones en la banda de conducción respectivamente, y  $\mu_p$  y  $\mu_n$  la movilidad de los huecos y electrones definida como:

$$\mu = \frac{v}{E} \quad (2.2)$$

siendo  $v$  la velocidad media del portador en el cristal y  $E$  el campo eléctrico que lo impulsa.

El silicio puro cristalino se denomina "material intrínseco" y su conductividad "conductividad intrínseca".

## 2.2. Semiconductores tipo n y tipo p

La expresión 2.1 sugiere que si por algún medio aumentamos la concentración de electrones en la banda de conducción, la conductividad aumenta y la conducción se realizará fundamentalmente por movimiento de los electrones de la banda de conducción, como en un metal.

Análogamente, si aumentamos la concentración de huecos la conductividad también aumenta, pero la conducción se realizará fundamentalmente por el desplazamiento de huecos en la banda de valencia. Como vimos, el hueco, carga neta positiva debida a la falta de un electrón en un enlace (la carga físicamente reside en el átomo al cual le falta el electrón) se desplaza cuando, por la acción de un campo eléctrico, un electrón de un átomo vecino pasa a ocupar el lugar vacío del enlace, dejando a su vez un enlace incompleto en ese átomo. Si bien son electrones los que cambian de lugar, el resultado puede verse como el desplazamiento de una carga positiva. Se desplaza el lugar vacío (hueco) y por lo tanto la carga positiva neta, que ahora reside en el nuevo átomo con enlace incompleto.

En una situación estacionaria, la formación térmica de pares hueco - electrón se mantiene en equilibrio con otro proceso, el pasaje de electrones de la banda de conducción a la banda de valencia para ocupar un hueco, neutralizándolo. Este proceso es muy importante y le llamamos *recombinación*.

El aumento de concentración de electrones de conducción o de huecos en la banda de valencia <sup>1</sup> se obtiene agregando al silicio una cierta cantidad de átomos de otros elementos, que ocupan lugares en la red cristalina. Llamamos "dopar" a agregar ese elemento a la red cristalina.

Llamamos "dopaje n" al agregado de un elemento que haga que aumente la concentración de electrones en la banda de conducción. Llamamos al silicio dopado de esa manera "material n" o "silicio n".

Llamamos "dopaje p" al agregado de un elemento que haga aumentar la concentración de huecos. Al silicio dopado de esa manera lo llamamos "material p" o "silicio p".

## 2.3. Creación de material n

El silicio tiene cuatro electrones de valencia por átomo, que forman cuatro enlaces covalentes con otros cuatro átomos.

Si lo dopamos con un elemento del grupo 5 de la tabla periódica, por ejemplo fósforo (P) (también puede ser arsénico (As) o antimonio (Sb)) con cinco electrones de valencia, el átomo agregado se adaptará a la estructura cristalina estableciendo, con cuatro de sus cinco electrones, enlaces covalentes con los átomos de silicio que están alrededor. El quinto electrón de valencia del fósforo tiene un nivel de energía tal que necesita solamente 0,04 eV para que abandone

---

<sup>1</sup>Como los electrones involucrados en la conducción por huecos están en la banda de valencia, hablamos de los huecos como "cargas positivas en la banda de valencia". Es un modelo útil, pero se debe tener siempre presente qué significa en realidad.

el átomo de fósforo y se comporte como un electrón de conducción. En ese caso el fósforo queda como un ion positivo fijo habiendo "donado" un electrón para la banda de conducción. Elementos de este tipo se llaman "donadores". Al nivel de energía del quinto electrón que está 0,04 eV por debajo del borde inferior de la banda de conducción se le llama "nivel de donador". La diferencia de energía es tan pequeña que a temperaturas normales de trabajo prácticamente todos los átomos donadores están ionizados, quedando como cargas positivas fijas en el cristal. La concentración de electrones disponibles para la conducción es prácticamente igual a la concentración de átomos donadores. Un semiconductor dopado con donadores se llama *semiconductor n* o *material n* (en general *silicio n*).

## 2.4. Creación de material p

Si al silicio puro lo dopamos en cambio con un elemento del grupo 3 de la tabla periódica, con tres electrones de valencia, como por ejemplo Boro (B) (también puede ser Indio (In)) el átomo agregado se adaptará a la estructura cristalina estableciendo, con sus tres electrones, enlaces covalentes con los átomos de silicio que están alrededor. Se requiere un electrón más para establecer los cuatro enlaces completos. Si el átomo de boro toma un electrón de alguno de sus vecinos para completar el enlace, se transforma en un ion fijo cargado negativamente y crea un "hueco" extra, que contribuye a la conductividad por huecos. El átomo de boro ha "aceptado" un electrón al ionizarse. Elementos de este tipo se llaman "aceptores".

Al nivel de energía que está algo por encima del límite superior de la banda de valencia se le llama "nivel de aceptor", y la diferencia (0,04 eV) es la energía que hay que darle a un electrón de la banda de valencia para que se mueva hasta el átomo aceptor y lo ionice, dejando un hueco.

La energía necesaria es tan pequeña que a temperaturas normales prácticamente todos los aceptores están ionizados, quedando como cargas netas negativas fijas en el cristal.

La concentración de huecos disponibles para la conducción es prácticamente igual a la concentración de átomos aceptores.

## 2.5. Disponibilidad de cargas en el semiconductor

La conductividad de un material depende de los portadores disponibles. Parece claro que en un material *n* los portadores son fundamentalmente electrones y en un material *p* huecos. Sin embargo, si se quiere saber la cantidad de portadores disponibles en un material determinado se debe tener en cuenta el efecto de la recombinación.

La velocidad de recombinación (cantidad de recombinaciones por unidad de tiempo) es proporcional al producto de las concentraciones de huecos y electrones:

$$R \times n \times p = \text{velocidad de recombinación} \quad (2.3)$$

Siendo *n* y *p* los electrones y huecos por unidad de volumen respectivamente y *R* una constante de proporcionalidad.



Si en equilibrio térmico se generan  $G$  pares hueco - electrón por unidad de volumen, entonces:

$$G = R \times n \times p \quad (2.4)$$

la cantidad de pares hueco - electrón generados por unidad de tiempo es igual a la cantidad de pares hueco - electrón recombinados por unidad de tiempo.

Para un semiconductor no dopado la cantidad de huecos es igual a la cantidad de electrones en la banda de conducción:

$$n = p = n_i \quad (2.5)$$

por lo tanto:

$$n \times p = n_i^2 \quad (2.6)$$

$n_i$  es la concentración de portadores de cada tipo en un semiconductor intrínseco.

Se puede demostrar que la ecuación 2.6 vale tanto para el semiconductor intrínseco como para el dopado.

En un material  $n$  a temperaturas normales (las de trabajo de un semiconductor,  $-40^\circ C$  a  $150^\circ C$  por ejemplo) todos los donadores están ionizados y  $n \approx N_D$  ( $N_D$  es la concentración de donadores), por lo tanto:

$$p \approx \frac{n_i^2}{N_D} \quad (2.7)$$

en un material  $p$ ,  $p \approx N_A$  ( $N_A$  es la concentración de aceptores), por lo tanto:

$$n \approx \frac{n_i^2}{N_A} \quad (2.8)$$

Algunos datos para el silicio:

Concentración de portadores intrínsecos  $n_i \approx 1,5 \times 10^{11} m^{-3}$  a  $25^\circ C$

Concentración de átomos en el cristal  $\approx 10^{28} m^{-3}$

Movilidad de electrones:  $0,135 \frac{m^2}{Vs}$

Movilidad de huecos:  $0,040 \frac{m^2}{Vs}$

## 2.6. Creación de zonas p y n en un semiconductor

Las concentraciones de dopajes varían entre  $10^{18}$  y  $10^{25} m^{-3}$ . Estos valores están muy por encima de la disponibilidad intrínseca de portadores, por lo cual las propiedades eléctricas del semiconductor cambian drásticamente con el dopaje.

Sin embargo, están muy por debajo de la cantidad de átomos/ $m^3$  por lo cual las demás propiedades del silicio (físicas, químicas) permanecen inalteradas.

Para que un dispositivo semiconductor tenga las propiedades deseadas se utilizan distintos niveles de dopaje en sus distintas partes.

Un dopaje de  $10^{18} \sim 10^{20}$  átomos por metro cúbico se considera un dopaje bajo, el material tiene alta resistividad y se lo denomina *material  $n^-$  o  $p^-$* .

Un dopaje del orden de  $10^{22}$  se considera un dopaje medio, el material así dopado se lo denomina *material  $n$  o  $p$* .

Un dopaje de  $10^{24} \sim 10^{25}$  es un dopaje alto, el material es muy conductor y se lo denomina *material  $n^+$  o  $p^+$* .

Un material de un tipo puede ser cambiado a otro tipo mediante un dopaje adicional de concentración un par de órdenes de magnitud mayor.

Por ejemplo: un material  $p^-$  con  $10^{19}$  aceptores/ $m^3$  puede convertirse en  $n$  si se lo dopa con  $10^{22}$  donadores/ $m^3$  que predominan claramente.

A su vez, si a este material se lo dopa con  $10^{24}$  aceptores/ $m^3$  se lo convierte en un material  $p^+$ .

De esta forma pueden crearse zonas  $p$  y  $n$  adyacentes en el mismo cristal semiconductor, lo que permite implementar componentes.

Por ejemplo, un diodo (Figura 2.1) está constituido por un trozo de silicio que tiene una parte dopada  $p$  y otra dopada  $n$ .

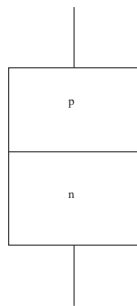


Figura 2.1: Esquema constructivo de un diodo

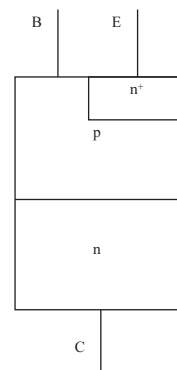


Figura 2.2: Esquema constructivo de un transistor

## Capítulo 3

# Tiristores

### 3.1. Introducción

El tiristor es la primer implementación de una llave de estado sólido para conmutación de potencia. Fue presentado por los laboratorios de General Electric en 1957 y sigue siendo el dispositivo con mayor capacidad de manejo de potencia. Su forma de funcionamiento está directamente asociada con la operación de un convertidor conmutado por la red (Capítulo 1). En ese campo el tiristor sustituyó finalmente a componentes basados en descargas en gases o vapores como los ignitrones, que hasta los años 70 dominaron el área de los convertidores de grandes potencias como el control de grandes motores de corriente continua y la transmisión de potencia en corriente continua y alta tensión.

Si bien su funcionamiento se adapta al convertidor conmutado por la red, su alta capacidad de bloqueo de tensión y de conducción de corriente ha impulsado su uso como llave en inversores y convertidores *CC/AC*, convirtiéndolo en llave apagable mediante componentes adicionales. Los tiristores para este último uso tienen una construcción especial que los hace más rápidos en sus conmutaciones. En nuevos diseños para estas aplicaciones han venido siendo sustituidos por llaves intrínsecamente apagables, como el GTO (Capítulo 5) y el IGBT (Capítulo 8).

El tiristor real se caracteriza por su robustez y su capacidad de manejo de potencia. La difusión de su uso hace imprescindible para el diseñador y el usuario de dispositivos de electrónica de potencia conocer los fundamentos del funcionamiento y aplicaciones de este componente.

### 3.2. Características generales del tiristor real

Consideraremos convertidores conmutados por la red, como el puente de seis pulsos dos vías (Fig. 3.1).

Los tiristores bloquean la tensión de pico de la fuente tanto en directo como en inverso y conducen la corriente  $I_d$  durante el tiempo que le toca conducir a cada uno. Si se consideran tiristores ideales, no hay restricciones a los valores de tensión y corriente. Además, la corriente por tiristores apagados y la tensión sobre tiristores prendidos es cero.

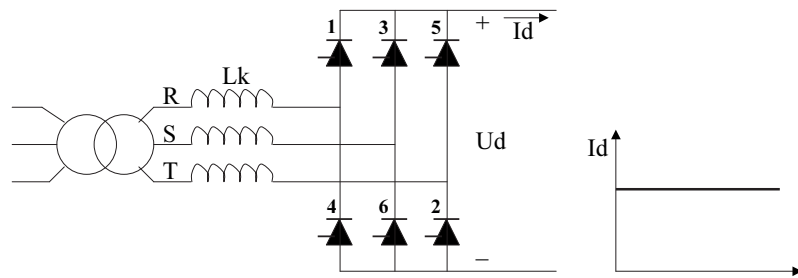


Figura 3.1: Puente de seis pulsos dos vías con corriente lisa

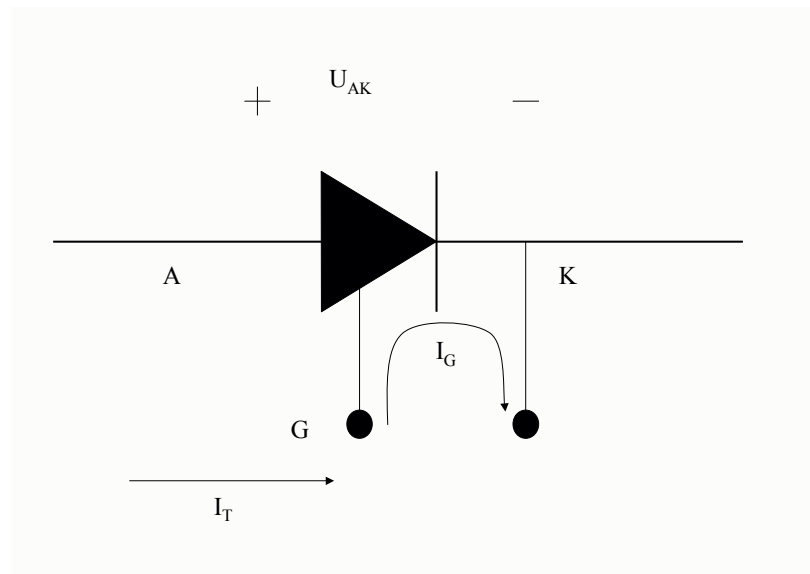


Figura 3.2: Esquema (símbolo) del tiristor

Los tiristores reales, en cambio, presentan limitaciones en cuanto a las tensiones a bloquear y corrientes a conducir que pueden ser caracterizadas mediante análisis de los estados de funcionamiento.

### 3.2.1. El tiristor como llave abierta.

#### Límite de tensión

La figura 3.2 muestra un esquema del tiristor con sus electrodos y las convenciones de signo de sus parámetros.

Cuando el tiristor no está conduciendo, puede estar en bloqueo inverso o en bloqueo directo. En bloqueo inverso  $U_{AK}$  toma un valor  $U_R$  pero con signo negativo:  $U_{AK} = -U_R < 0$ .  $U_R$  es la tensión que el tiristor está bloqueando en inverso.  $U_{RM}$  es la máxima tensión que, aplicada en inverso puede ser bloqueada por el tiristor.

En bloqueo directo:  $U_{AK} = U_D > 0$ .  $U_D$  es la tensión que el tiristor está bloqueando en directo.  $U_{DM}$  es la máxima tensión que, aplicada en directo, puede ser bloqueada por el tiristor.

Usualmente el fabricante da el mismo valor para  $U_{RM}$  y  $U_{DM}$  y la llama  $U_{DRM}$ .

$U_{DRM}$  es entonces la máxima tensión que el tiristor puede bloquear, tanto en directo como en inverso, según los datos del fabricante.

En bloqueo inverso,  $U_{AK}$  debe ser siempre menor en módulo que  $U_{DRM}$

$$|U_{AK}| = |U_R| < U_{DRM} \quad (3.1)$$

En bloqueo directo,  $U_{AK}$  debe ser siempre menor que  $U_{DRM}$

$$|U_{AK}| = |U_D| < U_{DRM} \quad (3.2)$$

### Corriente durante el bloqueo

En estado de bloqueo (llave abierta) la corriente por el dispositivo ideal es cero.

En el tiristor real, a pesar que el dispositivo no esté conduciendo, circula por él una pequeña corriente (corriente de fugas)  $I_f$  en sentido directo o inverso, dependiendo del tipo de bloqueo. Esa corriente depende de la temperatura y desempeña un papel importante en el estado de bloqueo directo.

### 3.2.2. El tiristor en conducción.

#### Límite de corriente

Cuando está conduciendo, el tiristor se comporta como una llave cerrada y circula por él una corriente  $I_T$  impuesta por el circuito externo.  $I_T$  no puede ser mayor que un valor  $I_{T_{max}}$ , el cual depende de la forma de onda de la corriente y del tiempo durante el cual esa corriente circula por el tiristor. El fabricante da varios valores de corrientes máximas en distintas condiciones de funcionamiento.

#### Tensión durante la conducción

En estado de conducción la tensión sobre el dispositivo ideal es cero.

En el tiristor real la tensión en estado de conducción  $U_{AK} = U_T > 0$ .  $U_T$  depende de la corriente y la temperatura y es del orden de 1 a 2 V.

## 3.3. "Ratings" y características

Para un tiristor determinado, el valor de la tensión  $U_{DRM}$  de bloqueo y los distintos valores de corrientes máximas representan límites dentro de los cuales puede operar el dispositivo con seguridad, y determinan en primera instancia qué tiristor es adecuado a una aplicación dada.

Otro ejemplo de límite es la temperatura de trabajo del tiristor. Los límites de este tipo se denominan "ratings" en las hojas de datos en inglés, palabra que se usará en el texto de aquí en adelante.

Considerado en funcionamiento, adquieren relevancia parámetros que no están directamente impuestos por la aplicación misma sino por el dispositivo,

Ratings	Características
$U_{\text{DRM}}$	$U_{\text{T}}$
$I_{\text{Tmax}}$ (average )	$I_{\text{f}}$
$I_{\text{Tmax}}$ (RMS)	$I_{\text{g}}$
$T_{\text{jmax}}$ (temperatura)	$t_{\text{on}}$
	$t_{\text{off}}$

Figura 3.3: "Ratings" y características

y deben ser tenidos en cuenta ya que definen los apartamientos con respecto al componente ideal. Ejemplos de esos parámetros son la corriente de fugas  $I_f$ , cuando el tiristor bloquea, la tensión sobre el tiristor  $U_T$  cuando conduce, los tiempos de pasaje de uno a otro estado y los requerimientos de corriente de *gate* para el disparo.

*Nota: Esta terminología se aplica a todas las llaves implementadas con semiconductores y los parámetros aparecen clasificados de esta forma en las hojas de datos*

### 3.4. Estructura de un tiristor

Para la construcción de un tiristor, se parte de un trozo de silicio  $n^-$  (que conduce esencialmente por movimiento de electrones), al cual se lo dopa de un lado y del otro con aceptores formando dos capas  $p$  (que conducen esencialmente por movimiento de huecos). Finalmente, la mayor parte de uno de esos lados  $p$  se dopa con una concentración muy grande de donadores, por lo que queda una zona  $n^+$ , y el otro lado  $p$  se dopa con una concentración muy grande de aceptores, por lo que queda una zona  $p^+$ . En la figura 3.4 se muestra un diagrama de la estructura que queda luego del proceso descrito.

En la figura 3.5 (Mohan, Underland & Robbins 1995) se muestra el perfil de dopaje de un tiristor común, así como posibles distribuciones del cátodo y el gate en el chip de silicio.

El esquema presentado en la figura 3.4 representa una zona muy pequeña del cristal de silicio que constituye el tiristor. En realidad el tiristor es una oblea de a lo sumo unas décimas de milímetros de espesor y radio que puede ir de algunos milímetros a más de 10 centímetros.

En la figura 3.6 se muestra a qué parte del tiristor puede corresponder la estructura de la figura 3.4. La oblea puede ser circular o rectangular.

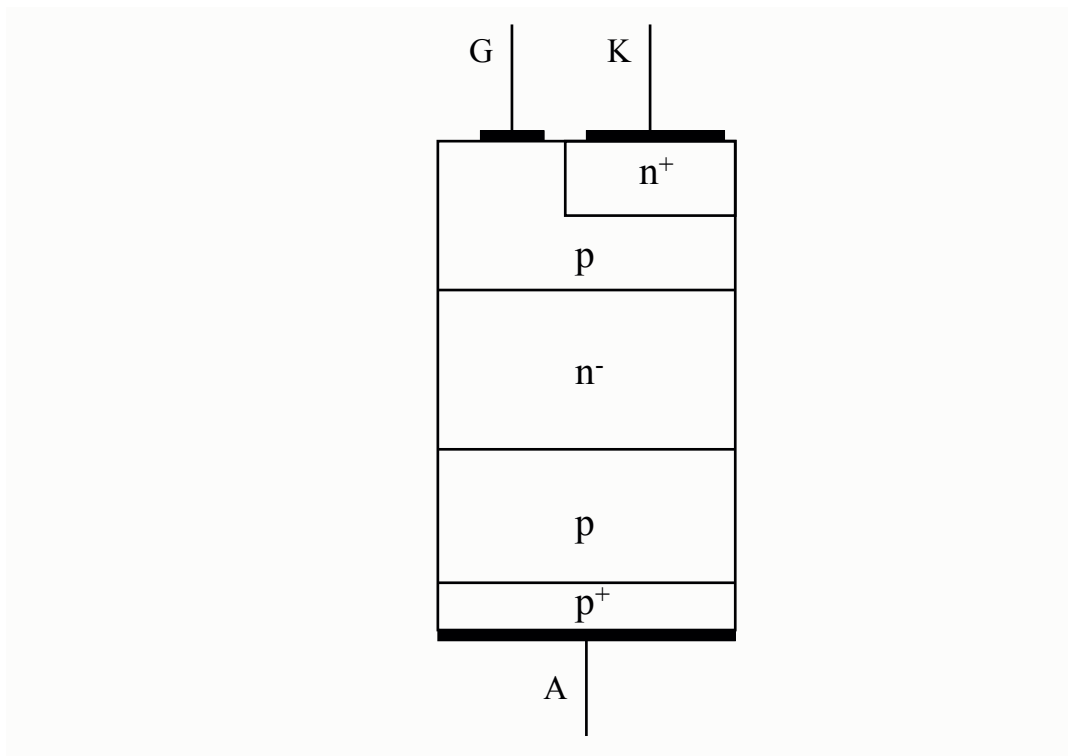


Figura 3.4: Esquema constructivo de un tiristor

La figura 3.7 muestra las capas, su numeración convencional y su conexión a los electrodos metálicos externos. La zona  $n^+$  constituye el cátodo (K) del tiristor (capa 4). La zona  $p$  superior (capa 3) es el gate (G). La zona  $n^-$  (capa 2) constituye la capa de bloqueo y no tiene conexión externa. La zona  $p$  inferior (capa 1) es el ánodo (A).

La zona  $p^+$  es parte del ánodo y se pone para mejorar el contacto del semiconductor con el metal que se conecta al mismo. En general las uniones metal - semiconductor son muy difíciles de lograr si se quiere que actúen como un conductor (unión óhmica) y no como una juntura con capacidad de rectificación (los diodos "schottky" consisten esencialmente en junturas metal - semiconductor).

La capa 4 ocupa superficies bastante extensas del silicio pero tiene que dejar zonas libres por donde se pueda tener un contacto metálico para el Gate (capa 3). El contacto de la capa 1 (a través de la zona  $p^+$ ) ocupa toda la superficie de la oblea de silicio (figura 3.8)

### 3.5. Funcionamiento

En lo que sigue analizaremos cómo funciona la estructura presentada, en tanto aproximación real de un tiristor.

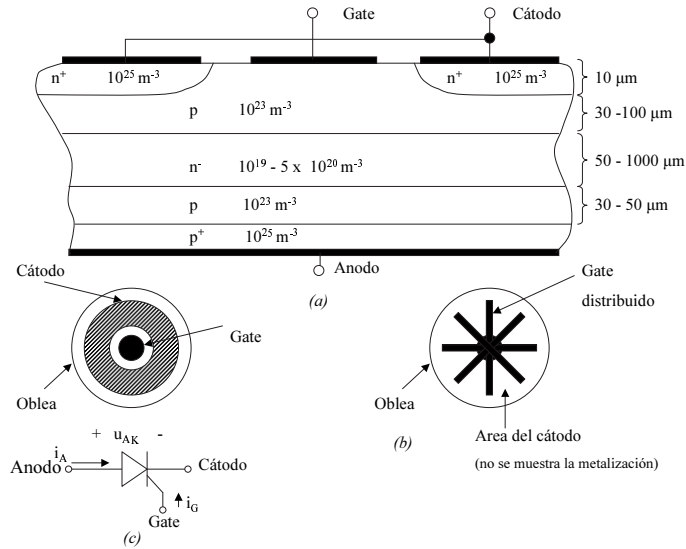


Figura 3.5: Estructura de un tiristor genérico según Mohan et al. 1995 (a) Sección vertical - (b) Distribución de gate y cátodo - (c) Símbolo

### 3.5.1. No conducción: Bloqueo

**Bloqueo inverso:**  $U_{AK} < 0$

Si se analizan las junturas se ve que, dada la tensión aplicada en la juntura 3-4, el lado  $n^+$  está más positivo que el lado p, por lo que se comporta como un diodo polarizado en inverso. Si se aplica el mismo análisis para las junturas 2-3 y 1-2 se ve que están polarizadas en directo y en inverso respectivamente. En resumen:

$J_{34}$  - polarizada en inverso

$J_{23}$  - polarizada en directo

$J_{12}$  - polarizada en inverso

Por lo tanto en el camino de la corriente se tienen dos diodos polarizados en inverso y el tiristor no conduce, a menos que la tensión sea lo suficientemente grande como para que los dos diodos entren en avalancha.

Debido a los dopajes y dimensiones de las capas, la juntura que bloquea la tensión inversa es la 1 - 2 ( $J_{12}$ , figura 3.9) ya que la tensión de avalancha de la juntura  $J_{34}$  es muy baja, debido al bajo espesor y el alto dopaje de las capas que la componen. La división de tensiones entre los dos diodos es tal que prácticamente toda la tensión aplicada en inverso queda bloqueada por  $J_{12}$ .<sup>1</sup> La juntura  $J_{34}$  en una implementación real se modifica de tal manera que su capacidad de bloqueo pierde importancia (ver sección 3.6.3).

El valor  $U_{DRM}$  dado por el fabricante es la máxima tensión inversa aplicable sin que entre en avalancha.

<sup>1</sup>Aunque  $J_{34}$  entrara en avalancha la corriente disponible es muy baja, ya que consiste solamente en las fugas en inverso de  $J_{12}$



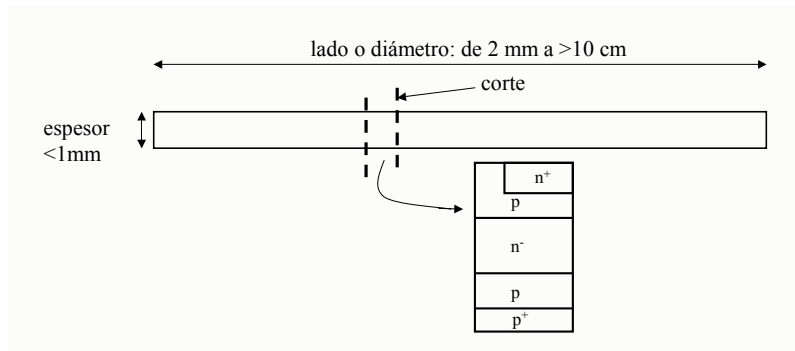


Figura 3.6: Dimensiones de una oblea de silicio para un tiristor

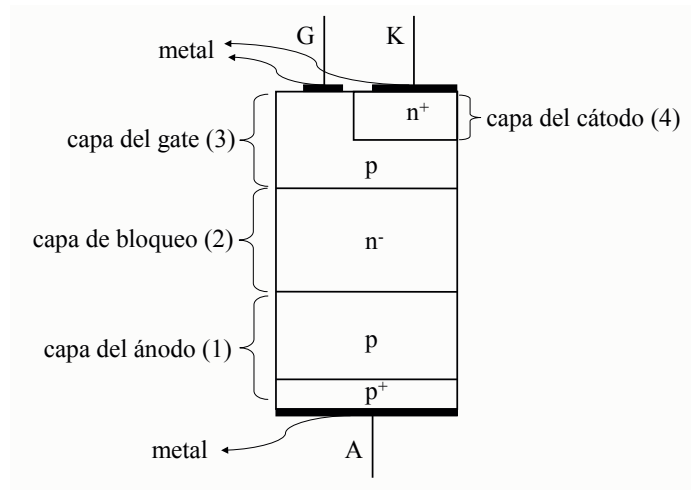


Figura 3.7: Detalles del esquema constructivo de un tiristor

Si la tensión  $U_{AK}$  llega a un valor  $U_{AK} = -U_{RBR}$  el diodo  $J_{12}$  entra en avalancha y el tiristor conduce una corriente determinada por el circuito externo. La tensión de avalancha está determinada por el ancho y el dopaje de la zona de bloqueo. El mecanismo de la avalancha se llama ionización por impacto. Un campo eléctrico suficientemente alto puede hacer que un electrón libre en el cristal adquiriera suficiente energía cinética como para impactar en un átomo de silicio, romper un enlace covalente y generar un nuevo electrón libre, que a su vez es acelerado por el mismo campo eléctrico. Es un proceso que avanza muy rápidamente como una reacción en cadena, creando en muy poco tiempo una gran cantidad de electrones libres en el cristal transformando la zona de empobrecimiento o depleción formada por la polarización inversa en un conductor.

La avalancha depende entonces del campo eléctrico necesario para que se produzca, que a su vez depende de la cantidad de electrones libres disponibles. El campo depende a su vez del espesor de la capa  $n^-$  y de la tensión aplicada, por lo tanto, a mayor espesor de la capa y menor dopaje (menor disponibilidad de electrones libres), mayor es la tensión necesaria para la avalancha. La figura

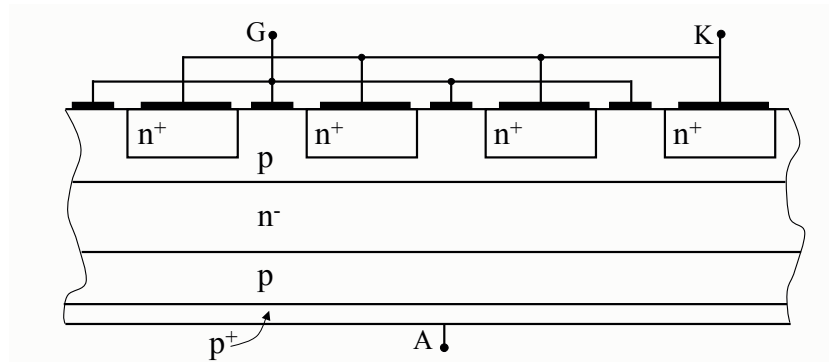


Figura 3.8: Distribución de contactos gate - cátodo de un tiristor

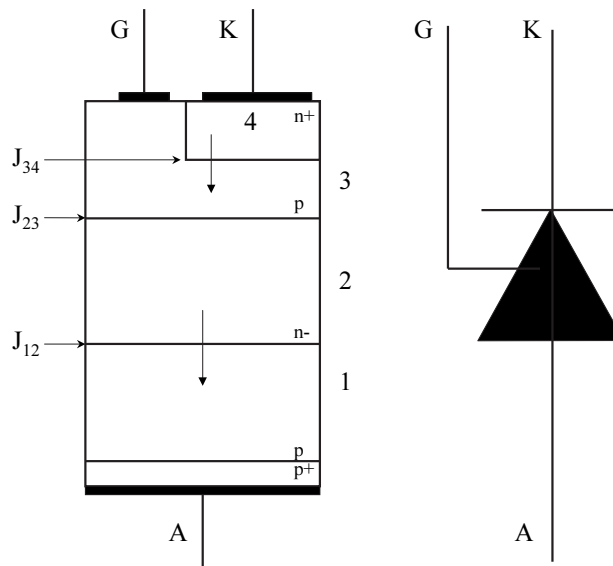


Figura 3.9: Esquema y representación de un tiristor

3.5 muestra la extensa gama de valores que puede tomar el dopaje de la capa 2, correspondiendo al rango de tensiones que pueden bloquear los tiristores.

La estructura muestra claramente que en bloqueo inverso no es posible hacer conducir el tiristor, ya que no hay forma de modificar la juntura  $J_{12}$  la cual se comporta como un diodo de alta tensión.

**Bloqueo directo:**  $U_{AK} > 0$

Haciendo un análisis similar al realizado para el bloqueo inverso, se ve que ahora:

$J_{34}$  - polarizada en directo

$J_{23}$  - polarizada en inverso

$J_{12}$  - polarizada en directo

En este caso se tiene una sola juntura polarizada en inverso, no hay conducción salvo la corriente de fugas de la juntura  $J_{23}$ . Si aumentamos la tensión directa

hasta  $U_{AK} = U_D > U_{R_{avalancha}}$  tendremos una avalancha en esa juntura a una tensión similar que la de avalancha en inverso, dado que la capa  $n^-$  que determina la capacidad de bloqueo es la misma.

Sin embargo, como entre la capa  $p$  y el contacto del cátodo hay una zona  $n^+$  el comportamiento general es distinto.

### 3.5.2. Conducción

#### *Conducción por exceso de tensión $U_{AK} > 0$*

Supongamos que, estando en las condiciones de bloqueo directo, la juntura  $J_{23}$  llega a una tensión del orden de la tensión que produce una avalancha. Si se analiza la construcción del tiristor, se ve que la estructura  $n^+$ ,  $p$  y  $n^-$  es un transistor y la corriente de fugas de la juntura  $J_{23}$  puede asimilarse a una corriente de base que, si tiene un valor suficientemente alto, puede hacer conducir este transistor.

Esa corriente es dependiente de la tensión  $U_{AK}$ , que está en su totalidad aplicada sobre la juntura  $J_{23}$ , la única polarizada en inverso.

Si  $U_{AK}$  es suficientemente grande (del orden de  $|U_{R_{BR}}|$ ) el transistor  $n^+pn^-$  (4 3 2) prende, antes de producirse la avalancha de  $J_{23}$ . El proceso se ilustra en la figura 3.10 y corresponde al encendido de un transistor  $nnp$ . La capa del cátodo ( $n^+$ ) es el emisor, la del gate ( $p$ ) corresponde a la base y la de bloqueo hace de colector. Los dopajes y espesores de las capas son los correspondientes a un transistor común, con lo cual su ganancia en emisor común es la normal. Por lo tanto, si bien la corriente de fugas es muy pequeña en comparación con las corrientes de trabajo previstas para el tiristor, si  $U_{AK} > 0$  es suficientemente grande, llega a un valor que alcanza para hacer conducir el transistor.

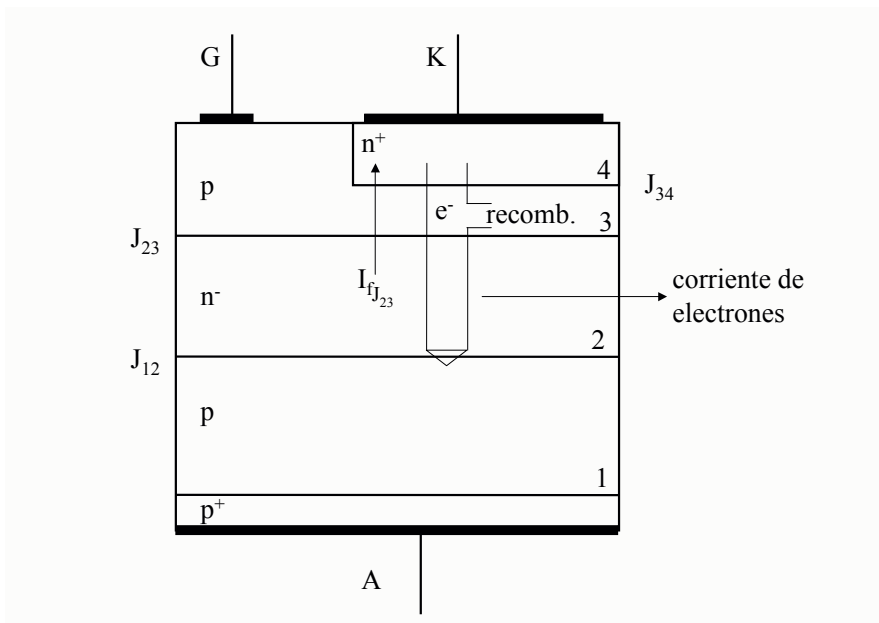


Figura 3.10: Comienzo del encendido del tiristor cuando  $U_{AK} > U_{DRM}$

La corriente de ánodo que empieza a circular porque se prendió el transistor  $n - pn+$  y que está determinada por el circuito externo se puede asimilar a la corriente de base de un transistor  $pn$  constituido por las capas 1 (ánodo,  $p$ ), 2 (bloqueo,  $n^-$ ) y 3 (gate,  $p$ ). La capa 1 (ánodo) actúa como emisor.

Este transistor tiene mucho menos ganancia que el  $npn$ , puesto que tiene una base muy ancha (la capa de bloqueo del tiristor), pero la corriente de base es la corriente de colector del  $npn$ , por lo tanto el  $pn$  empieza a conducir.

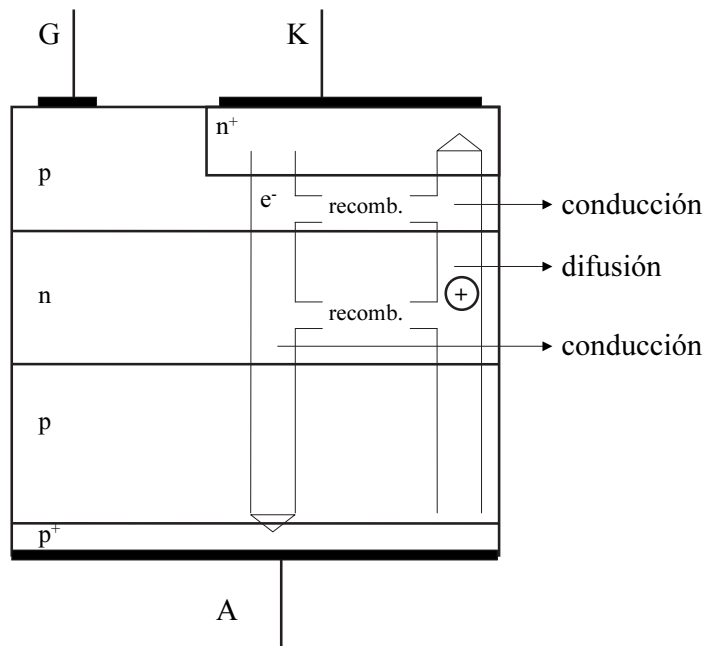


Figura 3.11: Tiristor en conducción

Al prenderse el transistor  $npn$  la corriente está formada esencialmente por electrones que vienen de la capa  $n^+$  hacia la zona 2 y al prenderse el transistor  $pn$ , la corriente está formada esencialmente por huecos que salen de la capa 1, se difunden por la 2 ( $n^-$ ) y llegan a la capa 3, base del  $npn$ , aumentando la corriente de base de ese transistor. En esta situación se tienen dos transistores saturados, la tensión ánodo-cátodo cae, y la corriente total, suma de las corrientes  $npn$  y  $pn$ , queda determinada por el circuito externo (figura 3.11).

El valor  $U_{DRM}$  dado por el fabricante es la máxima tensión directa que soporta el dispositivo sin entrar en conducción (figura 3.14).

### *Conducción comandada por gate*

La característica fundamental del tiristor como llave reside en el hecho de que, con tensión  $U_{AK} > 0$  se puede "prender", es decir se puede comandar de manera que conduzca en el instante apropiado, mediante un electrodo de control, la compuerta o "gate".

Supongamos que tenemos el tiristor en bloqueo directo ( $U_{AK} > 0$ ) con

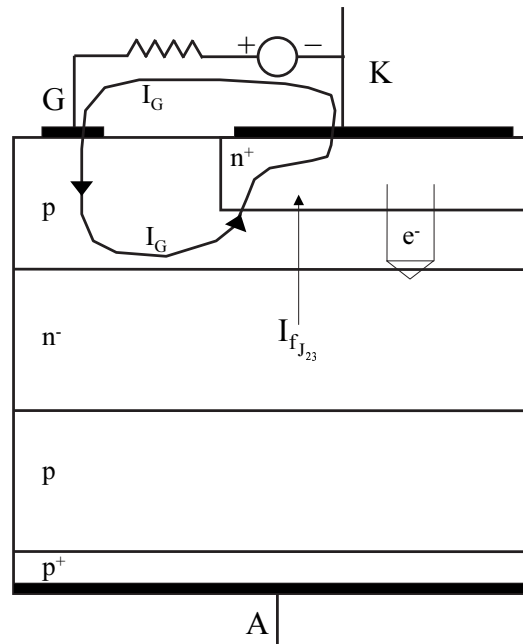


Figura 3.12: Encendido del tiristor con corriente de gate

$U_{AK} = U_D < U_{DRM}$ . La corriente de fugas directa  $I_{fJ_{23}}$  que depende de la tensión  $U_{AK}$ , no alcanza para encender el transistor  $n^+pn^-$ . En esas condiciones se hace circular una corriente  $I_G$  de gate a cátodo pasando por la juntura  $J_{34}$  (figura 3.12). Si la suma de las corrientes  $I_G + I_{fJ_{23}}$  tiene un valor suficientemente grande, comienza a conducir el transistor  $n^+pn^-$ , reproduciéndose el proceso de encendido ya descrito.

Si aplicamos valores cada vez mayores de  $I_G$ , serán necesarios valores menores de tensión directa  $U_D$  para que el tiristor entre en conducción, ya que se necesita menos corriente de fugas para completar la corriente de base necesaria para hacer conducir el transistor  $n^+pn^-$ .

Una vez encendido, la corriente de colector del transistor  $pn$  toma el papel de la corriente de base del  $npn$ . Los dos transistores quedan conduciendo e  $I_G$  no es ya necesaria.

Está claro que, para una aplicación concreta, es deseable que el tiristor dispare para el mayor rango posible de tensiones directas, y la corriente  $I_G$  debe adaptarse a este requerimiento. Los fabricantes dan en general el valor mínimo de  $I_G$  para que los tiristores disparen con seguridad bajo una tensión directa  $U_D \geq 6V$  (o  $\geq 12V$  para tiristores con  $U_{DRM} > 2kV$ ).

En la práctica esto significa que, en un puente de seis pulsos dos vías alimentado con 220 V, el ángulo mínimo de disparo es de  $\arcsin \frac{6V}{\sqrt{2}U} = 1,1^\circ$ , lo que no supone restricción práctica alguna a la controlabilidad del rectificador.

### 3.5.3. Modelo de dos transistores

Los dos transistores identificados en la estructura y funcionamiento del tiristor pueden representarse según el esquema de la figura 3.13.

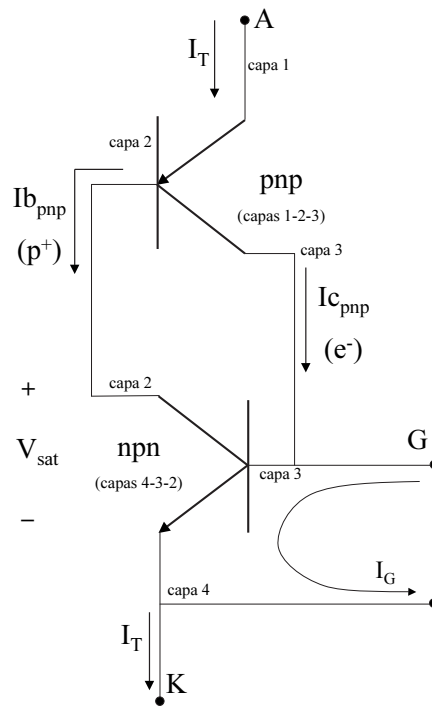


Figura 3.13: Modelo del tiristor como dos transistores

De la representación se deduce que, en conducción y con  $I_G = 0$ :

$$I_{b_{pnp}} = I_{c_{nnp}} \quad (3.3)$$

$$I_{c_{pnp}} = I_{b_{nnp}} \quad (3.4)$$

Además:

$$I_T = I_{b_{pnp}} + I_{c_{pnp}} = I_K \quad (3.5)$$

### 3.5.4. Caída de tensión en conducción

Es fácil ver ahora que la caída de tensión en conducción del tiristor ( $U_T$ ) no será nula y estará compuesta por la caída en conducción de un diodo y el voltaje de saturación de un transistor:

$$U_T = U_{EB_{pnp}} + U_{SAT_{nnp}} \quad (3.6)$$

El primer término de la ecuación varía muy poco con la corriente, mientras que el segundo término corresponde a la tensión de saturación de un transistor

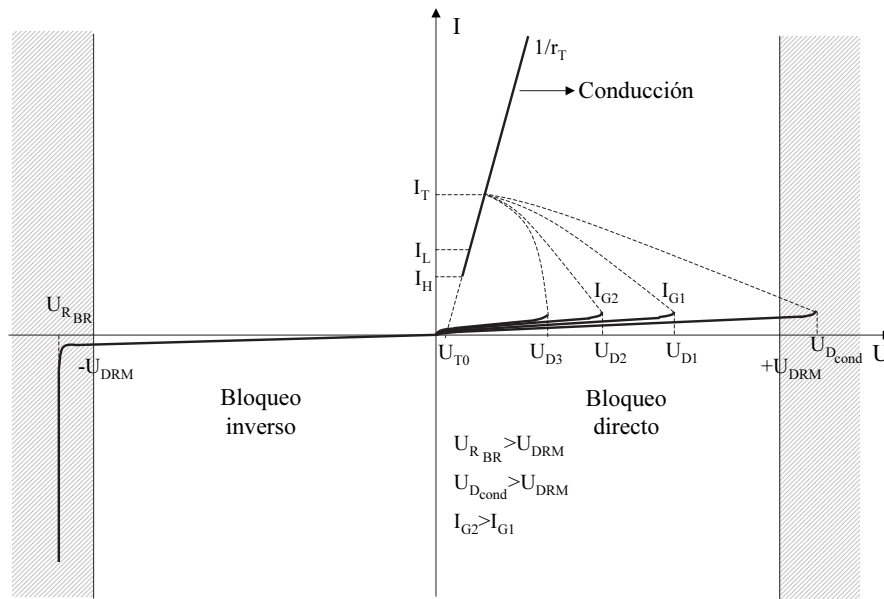


Figura 3.14: Característica ánodo-cátodo del tiristor

con un colector muy ancho y de bajo dopaje, por lo que tiene un comportamiento esencialmente resistivo.

La caída de tensión, a efectos prácticos suele expresarse de esta forma:

$$U_T = U_{T0} + r_T I_T \quad (3.7)$$

Donde  $U_{T0}$  es aproximadamente la suma algebraica de las caídas de tensión correspondientes a las junturas en el camino de la corriente y  $r_T$  la resistencia óhmica de la capa de bloqueo que, sobre todo en tiristores de tensiones medias y altas, ocupa la mayor parte del volumen del dispositivo.

### 3.5.5. Característica ánodo - cátodo

Todo lo anterior se resume en la característica ánodo - cátodo del tiristor (Fig. 3.14)

El valor de  $U_{DRM}$  lo establece el fabricante para definir una zona de operación donde el dispositivo no entra en conducción en forma forzada con polarización directa ni cae en avalancha con polarización inversa.

¿Qué sucedería si se aplicara una corriente de gate que prende el transistor *npn* pero la corriente de colector de éste no es suficiente para prender el transistor *pnP*? El tiristor no prendería. Es por esto que el fabricante define una corriente externa mínima (proporcionada por el circuito externo) para que el tiristor encienda:  $I_L$  (latch).

A su vez, si el tiristor está prendido y no se le está suministrando corriente de gate, si la corriente que circula por el circuito externo baja por debajo de

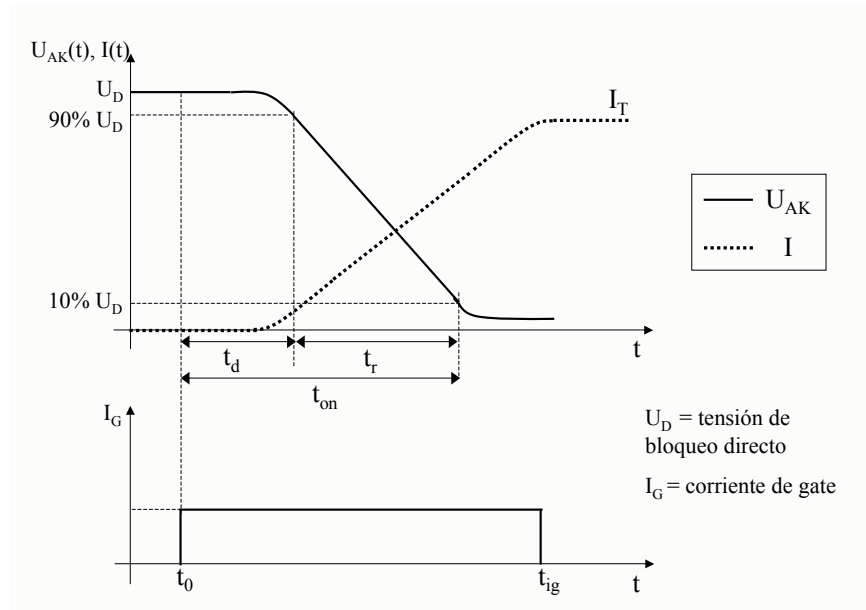


Figura 3.15: Curvas de encendido de un tiristor

determinado valor  $I_H$  (holding) dado por el fabricante, el tiristor se apaga debido a que la corriente por el circuito externo deja de ser suficiente como para mantener prendidos los dos transistores. Si se cumple que

$$I_T \simeq I_{b_{pnp_{minima}}} + I_{b_{nnp_{minima}}} < I_H \quad (3.8)$$

los portadores se recombinan en las bases (capas 2 y 3) a mayor velocidad de lo que son suministrados por el circuito externo.

Se cumple que:

$$I_H < I_L \quad (3.9)$$

### 3.6. Encendido

La figura 3.15 ilustra el proceso de encendido del tiristor. Se supone que la tensión  $U_{AK}$  es  $U_{AK} = U_D > 0$ , con  $U_D$  suficientemente alta como para que el tiristor dispare si se le aplica corriente directa a la juntura gate - cátodo (circuito de gate). La mínima tensión directa práctica está en los datos de los fabricantes y es convencionalmente 6 o 12 V, dependiendo de la capacidad de bloqueo del tiristor.

El proceso de encendido del tiristor que interesa estudiar es el que se inicia con la aplicación de corriente de gate en el instante elegido para el disparo ( $t_0$ ).

Como la corriente que se aplica para el encendido circula entre el gate y el cátodo, la zona que enciende primero es la parte del tiristor que coincide con el borde de la zona del cátodo (Figura 3.16).

El tiempo que demora el tiristor en empezar a conducir es un tiempo de retardo  $t_d$  tal que:

$$t_d > t_{w_{p(n)}} + t_{w_{n(p)}} \quad (3.10)$$



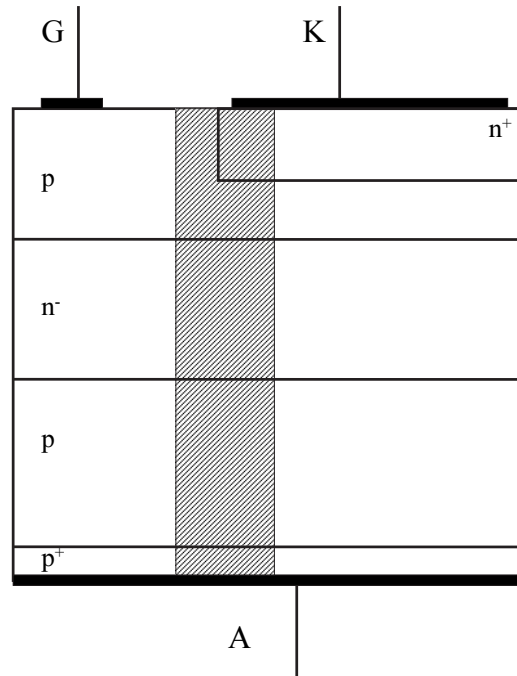


Figura 3.16: Comienzo del encendido - la corriente inicial pasa por la zona sombreada (borde del cátodo)

Donde  $t_{w_{p(n)}}$  es el tiempo de tránsito de un portador  $n$  (electrón) a través de la base  $p$  del transistor  $nnp$  y  $t_{w_{p(n)}}$  es el de un portador  $p$  (hueco) a través de la base  $n$  del transistor  $pnnp$ . El mecanismo de transporte de portadores de un tipo en material cuyos portadores son del otro tipo es la *difusión*. Los electrones (portador  $n$ ) salen del emisor  $n^+$  del transistor  $nnp$  y se difunden a través del material  $p$  de la base hasta llegar al colector  $n^-$ . El tiempo de tránsito es aproximadamente

$$t_{w_{n(p)}} = \frac{W_3^2}{2D_n} \quad (3.11)$$

donde  $W_3$  es el espesor efectivo de la capa 3 ( $p$ ) y  $D_n$  la constante de difusión de los electrones en material  $p$ .

Análogamente:

$$t_{w_{p(n)}} = \frac{W_2^2}{2D_p} \quad (3.12)$$

donde  $W_2$  es el espesor efectivo de la capa 2 ( $n$ ) y  $D_p$  la constante de difusión de los huecos en material  $n$ .

Una vez encendido ese borde la corriente empieza a circular y la tensión  $U_{AK}$  empieza a bajar. El tiempo que demora la tensión en bajar del 90 % al 10 % de la tensión de bloqueo inicial es el tiempo de subida  $t_r$ , durante el cual aumenta algo la superficie de la zona encendida y aumenta además la densidad de corriente.

En convertidores conmutados por la red el crecimiento de la corriente está dado fundamentalmente por el circuito externo.

El tiempo de encendido es

$$t_{on} = t_d + t_r \quad (3.13)$$

$$t_{IG} > t_{on} \quad (3.14)$$

El tiempo de encendido  $t_{on}$  se llama a veces  $t_{gt}$ .

$t_d$  es del orden de 1-2  $\mu s$ , mientras que  $t_r$  puede variar entre 2 y 10  $\mu s$ . Luego de transcurrido  $t_{on}$ , la zona encendida se sigue extendiendo hacia el centro de la zona  $n^+$  de cátodo con una velocidad de algunas décimas de  $mm/\mu s$ . El tiempo que demora el tiristor en quedar prendido totalmente depende por lo tanto de la superficie y de las geometrías del dopaje de emisor y de la conexión de gate que se diseña de manera de que el borde del dopaje de emisor cubra la mayor parte posible del chip de silicio. La complejidad del diseño depende de a qué tipo de aplicaciones está destinado el tiristor. Dispositivos de alta velocidad presentan diseños de mayor complejidad.

### 3.6.1. Valor máximo de la velocidad de subida de la corriente $\left(\frac{dI}{dt}\right)$

Si el circuito externo es tal que cuando el tiristor apenas empieza a conducir la corriente sube muy abruptamente, como se asume cuando se analiza un convertidor conectado a una red fuerte con  $L_{cc} \approx 0$ , como aún no conduce todo el dispositivo se tendría toda la corriente del circuito externo circulando por zonas muy pequeñas, lo que ocasionaría la destrucción del tiristor por calentamiento excesivo de esas zonas. Existe un parámetro,  $dI/dt$ , que especifica cuál es la velocidad máxima admisible de crecimiento de la corriente sin que se dañe el tiristor ( $dI/dt$  crítico). Los valores típicos del  $dI/dt$  crítico van de 50 a 200  $A/\mu s$  en la mayor parte de los tiristores disponibles.

### 3.6.2. Riesgo de falla por $\frac{dI}{dt}$ en aplicaciones prácticas

En convertidores conmutados por la red, el  $\frac{dI}{dt}$  en el encendido queda determinado por la inductancia del circuito de conmutación.

En el caso de un puente rectificador alimentado a través de un transformador, no se corre el riesgo de un crecimiento muy rápido de la corriente pues se tiene la inductancia de cortocircuito del transformador en el circuito de conmutación, que generalmente es suficiente para mantener el  $\frac{dI}{dt}$  muy por debajo del valor crítico, aún durante defectos.

Si se trata de un control de un motor de corriente continua directamente conectado a la red, allí se depende del valor de la impedancia de la red. En estos casos, por seguridad, se debería instalar inductancias en serie ya que puede suceder que la potencia de cortocircuito del lugar de conexión sea muy grande, y los tiempos de conmutación muy cortos. En el caso de instalaciones grandes, como por ejemplo Convertidores para Transmisión en Corriente Continua y Alta Tensión (*HVDC*- High Voltage Direct Current), las corrientes son del orden de miles de A (decenas de miles en caso de defectos). Aún teniendo transformadores, los valores de  $\frac{dI}{dt}$  pueden aproximarse al valor crítico. Se suele entonces conectar

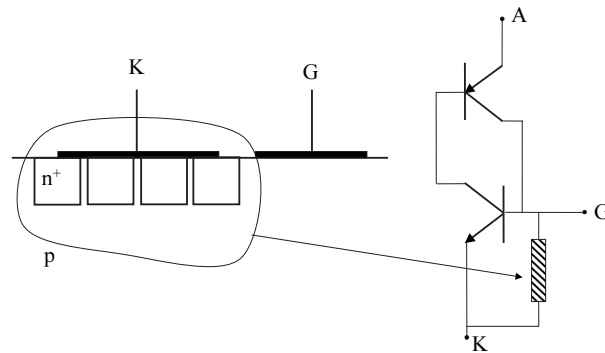


Figura 3.17: Modificación para aumento de corriente de gate

una inductancia en serie con cada válvula de tiristores<sup>2</sup>. Como se trata de limitar el  $\frac{dI}{dt}$  durante el encendido, se conecta generalmente una inductancia saturable, que actúa como inductancia a valores bajos de corriente. Una vez que la corriente crece, la inductancia satura y se comporta como si no estuviera presente en el circuito. En instalaciones de alta tensión cada tiristor del esquema de la Figura 3.18 se implementa con un cierto número de tiristores en serie (pueden llegar a ser varios cientos) disparados simultáneamente. En serie con los tiristores se instalan uno o más reactores (inductancias) saturables.

### 3.6.3. Modificación de cátodo

Si los tiristores en un puente se disparan muy cerca del instante de conmutación natural, algunos encenderán y otros no. Existe una gran dispersión en el comportamiento de los dispositivos. Las hojas de datos garantizan el disparo del tiristor cuando  $U_{AK} > 6V$  (o 12 V dependiendo del tiristor). En la práctica se espera a que la tensión directa sea bastante mayor. Esta es una de las razones para que exista un ángulo de disparo mínimo para los convertidores.

La corriente de fugas que tiene la juntura 23 depende, además de la tensión aplicada, de la temperatura. La densidad de corriente necesaria para que un tiristor como el modelado conduzca es del orden de  $100\mu A/cm^2$ , por lo que, si sube un poco la temperatura, el tiristor disparará solo. En consecuencia, se le debe dar cierta robustez al gate de tal forma que sean necesarias corrientes del orden de por lo menos 20 mA, dependiendo del rating del tiristor, para que el dispositivo encienda. Para lograr esto se hacen pequeños canales en la capa  $n^+$  para que el material  $p$  llegue al cátodo, lo cual en la práctica significa incorporar una resistencia entre el gate y el cátodo como se muestra en la figura 3.17.

Esta modificación consigue fijar la corriente que se tiene que suministrar para encender el transistor, pero ocasiona que la juntura  $n^+p$  no sea relevante en el bloqueo inverso.

<sup>2</sup>Se llama válvula de tiristores a un conjunto de tiristores conectados en serie para obtener tensiones de bloqueo del orden de  $10^2 - 10^3$  kV (un único tiristor bloquea menos de 10 kV)

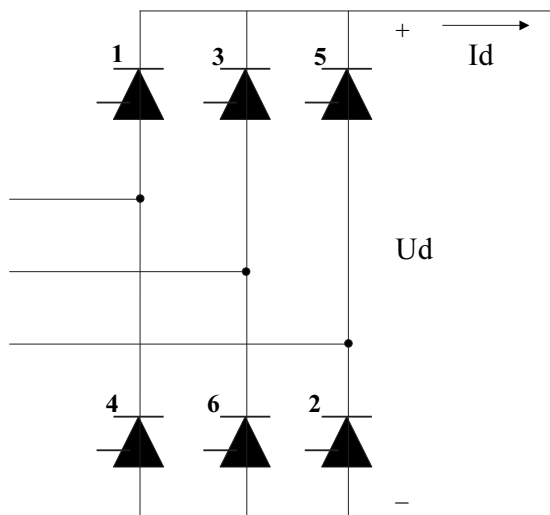


Figura 3.18: Puente de tiristores seis pulsos dos vías

### 3.7. Disparo

Llamamos disparo de un tiristor a la acción necesaria para que en un instante determinado por los requerimientos de operación del circuito el tiristor se encienda, es decir, pase de bloqueo directo a conducción (la terminología equivalente en inglés es *triggering*  $\implies$  *disparo*, *turn - on*  $\implies$  *encendido*).

El disparo se realiza mediante la aplicación de un pulso de corriente en el circuito gate - cátodo, que queda caracterizado por su amplitud, forma de onda y duración.

El comienzo del pulso de  $I_g$  debe ser lo más parecido posible a un escalón de corriente. La duración debe ser por lo menos  $t_d$  ( $\approx$  tiempo de encendido del transistor *npn* + tiempo de encendido del transistor *pnp*). En la práctica lo razonable parece ser aplicar el pulso de gate por lo menos durante  $t_{on} = t_d + t_r$  (Figura 3.15).

En las hojas de datos a veces aparece  $t_d$ , a veces  $t_{on}$  y frecuentemente ningún dato sobre el tiempo de encendido, sobre todo en tiristores para aplicación en baja frecuencia.

Si bien no es necesario, puede mantenerse la corriente de gate todo el tiempo que se prevé que va a conducir el tiristor. En un puente de seis pulsos dos vías (Figura 3.18) se mantendría  $120^\circ$  (6,66 ms en 50 Hz) en estado estacionario. Además de facilitar la implementación en algunos casos, facilita el reencendido de tiristores que se apagan en operación.

Esta práctica puede ser adecuada en convertidores de corrientes de hasta algunos cientos de amperes y potencia del orden de unos cientos de *kW*, con tensiones máximas bloqueables por un solo tiristor. Las corrientes de gate son del orden de 200 *mA* y pueden mantenerse los  $120^\circ$ .

Para potencias más altas y para aplicaciones en las cuales es necesario

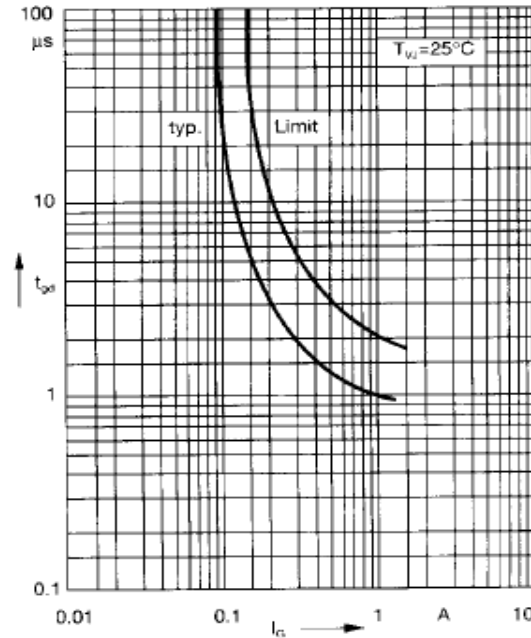


Figura 3.19: Curva "Gate trigger delay time" correspondiente al MCD250 (de hoja de datos de Ixys)

implementar válvulas con tiristores en serie se utiliza un pulso de disparo de duración aproximada  $t_{ig} = t_d + t_r$  y de amplitud mucho mayor que la estrictamente necesaria para encender el tiristor.

Esta implementación evita tener que mantener corrientes relativamente altas de gate durante tiempos prolongados. Como la amplitud de la corriente de gate está limitada solamente por la potencia que se puede disipar en la junta gate-cátodo, durante un tiempo corto puede usarse una corriente mayor que la estrictamente necesaria.

Si se aumenta la corriente de gate  $t_d$  disminuye. Un análisis más detallado muestra que el encendido está controlado por carga eléctrica, y mayor corriente de gate implica menos tiempo de retardo  $t_d$ . La figura 3.19 muestra el retardo en función de la corriente en un tiristor de la compañía IXYS (*IXYS Semiconductors Datasheets*). Disminuir  $t_d$  es particularmente importante en aplicaciones con tiristores conectados en serie, donde es fundamental la simultaneidad del encendido de la cadena para evitar sobretensiones (si un tiristor de la serie no dispara y los otros sí, el tiristor que no disparó tiene sobre sí toda la tensión directa y seguramente se rompe porque no está dimensionado para bloquearla)

Es interesante ver qué consecuencias tiene el empleo de uno u otro método de disparo (pulso durante todo el período de conducción previsto o pulso en el encendido estrictamente) en un convertidor particular.

Un puente rectificador de seis pulsos dos vías como el de la figura 3.18 tiene dos modos estacionarios de funcionamiento denominados conducción continua y discontinua. El análisis y descripción correspondientes pueden verse en textos de Electrónica de potencia (Mohan et al. 1995) (Thorborg 1988)

Si el puente está en conducción continua, cuando se produce la conmutación entre el tiristor 1 y el 3, el tiristor 2 continúa conduciendo sin problemas.

Si el puente está trabajando en régimen de conducción discontinua, cuando se produzca la conmutación mencionada el tiristor 2 estará apagado ya que se anuló la corriente  $I_d$  que circulaba por el mismo. En estos casos, si no se optó por mantener la corriente de gate durante todo el período de conducción del tiristor, es necesario dar un "pulso de refresco" simultáneamente con el encendido de 3, para que la corriente pueda circular. Es claro que este procedimiento se debe aplicar sucesivamente a todos los tiristores que componen el puente.

### 3.7.1. Valor de la corriente de gate

El valor de la corriente de gate necesaria para disparar el tiristor depende de la construcción y tamaño del dispositivo y está generalmente dado en una o más formas en la hoja de datos del fabricante.<sup>3</sup>

Su valor mínimo es la corriente necesaria para hacer conducir por el transistor *npn* suficiente corriente como para a su vez prender el transistor *pnp*, en el modelo de tiristor presentado.

Ese valor depende de la corriente de fugas que se establece al polarizar el tiristor con una tensión mayor o igual a 6 V (12 V) la cual a su vez depende de la temperatura. A mayor temperatura se tiene mayor corriente de fugas hacia la capa del gate y por lo tanto se necesita menos corriente externa para la conducción.

Su valor máximo depende de la máxima generación de calor ( $P_{Gate} = I_G U_{GK}$ ) admisible en el electrodo del gate y en su unión con el silicio (circuito de gate).

Las hojas de datos de los tiristores contienen distinto grado de información a este respecto. En general aparece por lo menos la corriente de gate necesaria para disparar el tiristor con  $T = 25^\circ C$  y  $U_D = 6V$ , las potencias media y máxima que se puede disipar en la juntura gate - cátodo y un diagrama que suelen llamar "Características de disparo de gate" o a veces "Gate characteristics" que permite dimensionar el circuito a emplear para el disparo y que garantice el mismo para todos los ejemplares de tiristores de un mismo tipo, por ejemplo todos los tiristores LS431843 (*Powerex Semiconductors Datasheets*) en un determinado circuito.

### 3.7.2. Característica de gate y características de disparo de gate

Si mediante un circuito como el de la figura 3.20(a) se hace pasar una corriente variable entre el gate y el cátodo de un ejemplar de tiristor dado (por ejemplo un LS431843 elegido al azar) y se mide la tensión  $U_{GK}$ , se obtiene una curva  $U_{GK}(I_G)$  similar a la de un diodo polarizado en directo. Llamaremos a esa curva *Característica de gate del tiristor*. Si repetimos el procedimiento con

<sup>3</sup>Se sugiere analizar las hojas de datos de los componentes MCC250 (*IXYS Semiconductors Datasheets*) y LS43\_43 (*Powerex Semiconductors Datasheets*) para facilitar el seguimiento de los conceptos que se exponen en estas secciones

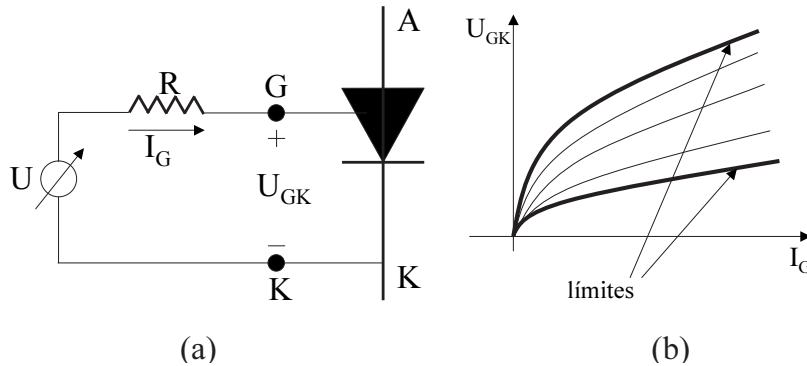


Figura 3.20: Características de gate y circuito

otro ejemplar del mismo código, obtendremos una curva distinta debido a la dispersión en la fabricación .

Lo que hace el fabricante es dar dos curvas límite en un diagrama  $I_G - U_{GK}$  y asegurar que la característica de gate de un ejemplar cualquiera de un tiristor de determinado modelo se encuentra en la zona comprendida entre esos dos límites (Figura 3.20(b)).

No se debe confundir la característica de gate con estos límites.

En la curva de cada tiristor particular hay un punto tal que para una corriente de gate igual o mayor que la que le corresponde, el tiristor dispara. El fabricante da entonces, en el mismo diagrama, una curva que corta todas las características en un punto tal que, para corrientes mayores o iguales a la representada por ese punto, se asegura el disparo. En un diagrama  $U_{GK} - I_G$  de ejes con escala lineal esa curva es una recta como la (a) de la figura 3.21. Si se inyecta una corriente  $I_G$  tal que el punto correspondiente en la característica del ejemplar particular de tiristor está a la derecha de esa recta, el tiristor dispara.

La recta que determina la zona de disparo seguro varía con la temperatura, a mayor temperatura la recta se mueve a la izquierda del diagrama dado que las fugas son mayores y por lo tanto se necesita menor corriente de gate para encender el tiristor. Normalmente se da esta recta para  $T = 25^{\circ}C$  y para  $T = -40^{\circ}C$ .

El fabricante también da otra recta tal que si se opera con valores que quedan por debajo de esta recta, es seguro que el tiristor no disparará. Muchas veces esta recta se da únicamente como un valor de tensión gate-cátodo (recta (b), figura 3.21). Este valor se debe tener en cuenta para las eventuales tensiones inducidas que se tengan en el circuito de disparo que podrían causar disparos no deseados.

Habíamos dicho que la corriente de gate está limitada por la potencia máxima que se puede disipar en la juntura gate - cátodo. En la lista de "ratings" del componente se indica generalmente la potencia media y la máxima. En el diagrama  $U_{GK}(I_G)$  el límite debido a la potencia se representa mediante

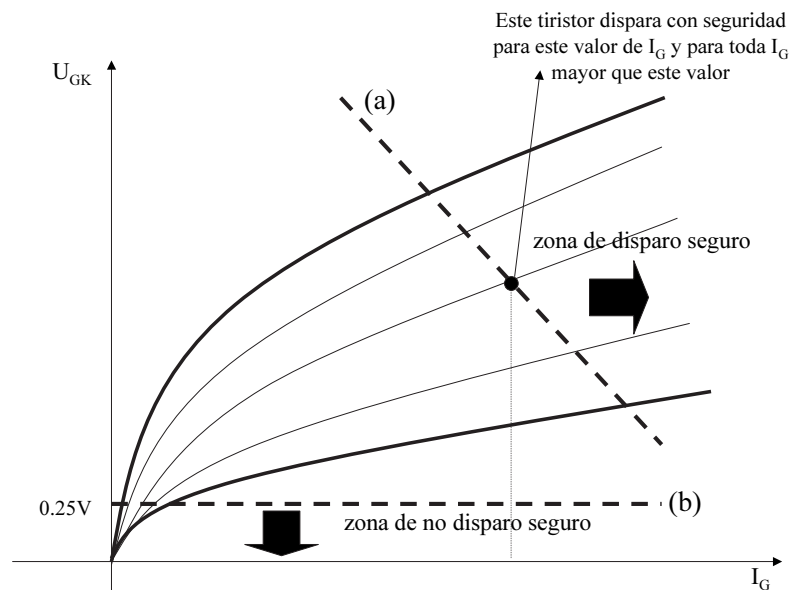


Figura 3.21: Características de disparo de gate

hipérbolas  $P_G = U_{GK}I_G$  (Figura 3.22) paramétricas en la duración del pulso de disparo. Si se elige disparar mediante un pulso corto de amplitud alta se deberá cuidar que el punto de operación quede a la izquierda de la curva de potencia máxima correspondiente al ancho de pulso inmediatamente mayor al elegido, pero se deberá cuidar también que la potencia media no supere el valor máximo establecido.

Por ejemplo, el tiristor C391 (*Powerex Semiconductors Datasheets*) admite una  $P_G$  máxima de 25 W durante 5 ms, pero si lo empleamos con ese valor de  $P_G$  y ese ancho de pulso en un circuito conmutado por la red a 50 Hz, como tendremos un disparo cada 20 ms, la potencia media llegará a 6,25 W, mayor a los 5 W admisibles según la hoja de datos.

### 3.7.3. Circuito de disparo

El circuito de disparo debe asegurar que, al conectarse al dispositivo a disparar, el punto de operación se encuentra en la zona limitada por:

- 1) el límite de disparo seguro elegido (dependiente de la temperatura)
- 2) la curva de potencia máxima de gate correspondiente al ancho de pulso de corriente de gate elegido para la aplicación
- 3) los dos límites entre los cuales se encuentran las características de gate de los distintos ejemplares

Basta entonces con dimensionar adecuadamente un circuito cuyo equivalente de Thévenin sea una resistencia  $R$  en serie con una f.e.m.  $U$  (Figura 3.23)



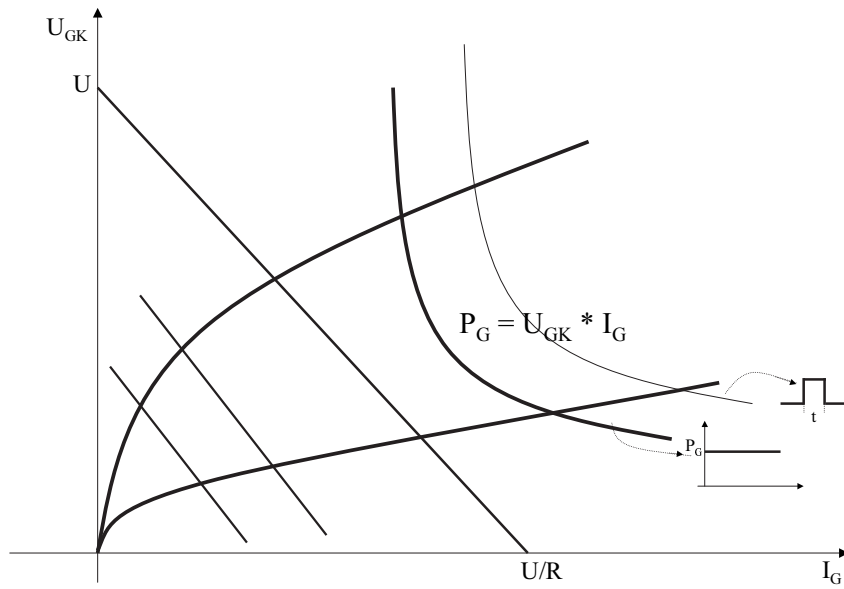


Figura 3.22: Límite de potencia máxima y recta de carga

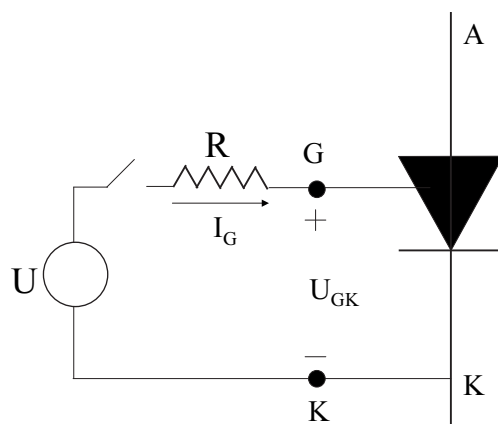


Figura 3.23: Circuito de disparo – Equivalente Thévenin

Su ecuación es:

$$U_{GK} = U - RI_G \quad (3.15)$$

que se representa por una recta en el diagrama de características de disparo de gate. Se elige  $U$  y  $R$  de manera que la recta corte a las características en puntos de operación ubicados en la zona definida por el límite de disparo seguro, la potencia máxima y los dos límites entre los que se encuentra la característica de gate del dispositivo (Figura 3.24).

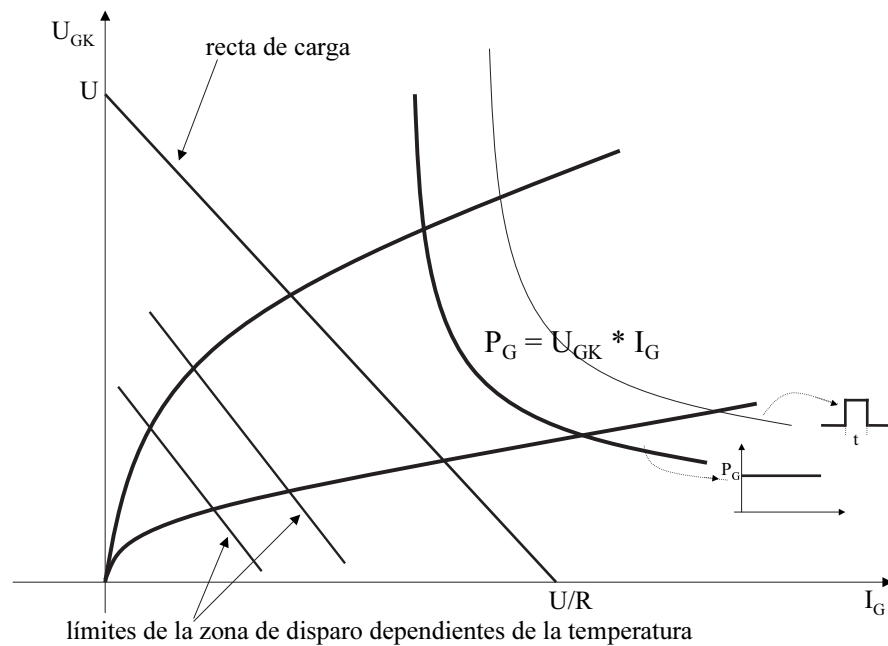


Figura 3.24: Límite de potencia máxima y recta de carga

Como resulta poco práctico poner los límites de disparo seguro y los límites de potencia en un mismo diagrama lineal, se utiliza generalmente un diagrama logarítmico como el de las figuras 3.25 (*Powerex Semiconductors Datasheets*) y 3.26 (*IXYS Semiconductors Datasheets*).

Los límites de disparo seguro se representan por rectángulos definidos por un valor de tensión y una corriente y la recta de carga queda representada por una curva (Figura 3.25).

Los límites de potencia máxima son rectas en este caso.

#### 3.7.4. Implementación práctica del circuito de disparo:

En un puente rectificador de seis pulsos dos vías, los tiristores que tienen los cátodos unidos tienen una referencia común para el disparo. El problema lo presentan los tiristores que tienen los ánodos unidos pues sus cátodos tienen una

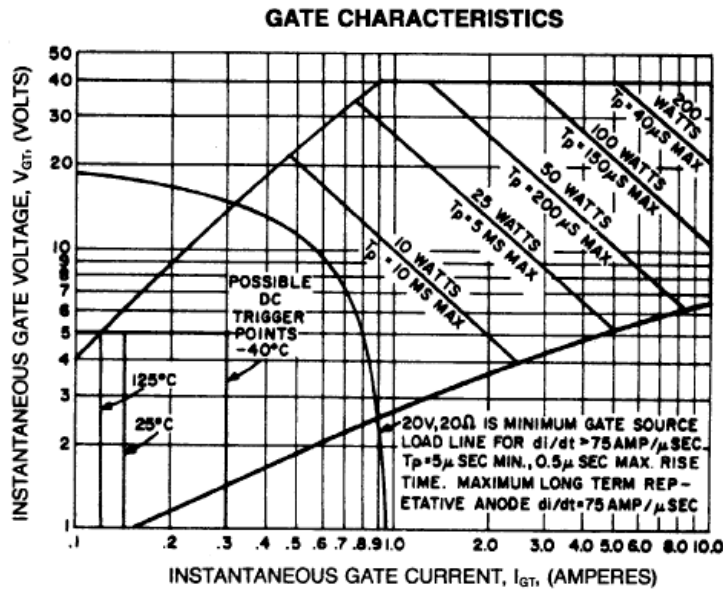


Figura 3.25: Característica de gate del C391 - Powerex

tensión flotante con respecto a cualquier punto del circuito. En consecuencia, el circuito de disparo para estos tiristores deberá tener aislación galvánica.

En general, para potencias medias y grandes (mayores a algunos kW), se aísla galvánicamente toda la parte de potencia de la de señal, por lo tanto los seis tiristores se disparan con aislación galvánica.

La aislación galvánica se puede lograr con un optoacoplador con fibra óptica, tomando la energía para el disparo de la tensión de bloqueo de los tiristores cuando no conducen o usando directamente la luz para encender tiristores contruidos especialmente para este tipo de disparo. Cuando no es necesario poner tiristores en serie o no se manejan tensiones muy altas (hasta algunos kV), alcanza con un circuito con transformador aislador, que transmite tanto la información de disparo como la potencia para efectuarlo. En circuitos sencillos, se puede utilizar el circuito de disparo que se detalla en la figura 3.27 a).

Se necesita aplicar desde una fuente de tensión  $U$  una corriente a través de una resistencia  $R$  con una llave comandable y a la vez tener aislación galvánica. Para lograr esto último, se utiliza un transformador capaz de transformar tensión continua, por lo que, para que la tensión en el secundario del mismo sea constante, deberá haber un flujo linealmente creciente a través del transformador (recordar que la tensión es proporcional a la derivada del flujo). El transformador se puede considerar como ideal pero teniendo en cuenta la inductancia de magnetización.

El transformador se deberá diseñar para que no llegue a saturar durante el tiempo de conducción. Si el transformador satura, el flujo deja de crecer, la tensión del primario es prácticamente cero y toda la tensión de la fuente queda aplicada sobre el transistor prendido, el cual naturalmente se destruiría.

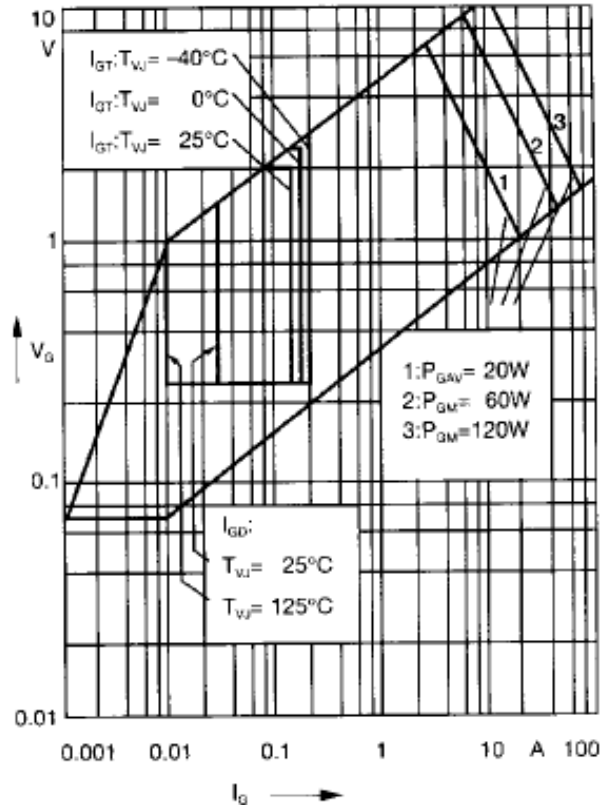


Figura 3.26: Característica de gate del MCD250 - Ixys

Para prender el tiristor, se prende el transistor  $Q_1$  se prende el transistor durante el tiempo en que queremos que circule corriente  $I_G$ . El circuito magnético se magnetiza linealmente (según la  $L_m$  del modelo del transformador) y durante ese tiempo aparece en el secundario:

$$U = \frac{n_2}{n_1} V_{cc} \quad (3.16)$$

que con  $R$  dan la corriente para el disparo requerido.

Para finalizar el pulso de disparo se apaga el transistor llevando  $I_B$  a cero.

La corriente por el transistor es:

$$I_Q = I_m + \frac{n_2}{n_1} I_G \quad (3.17)$$

Si se corta  $I_m$ , la inductancia magnetizante genera en el primario del transformador una tensión:

$$U_P \approx L_m \frac{\widehat{I}_m}{t_{off}} \quad (3.18)$$

( $t_{off}$ , apagado del transistor) cuya polaridad es inversa a la anterior. La tensión sobre el transistor queda:

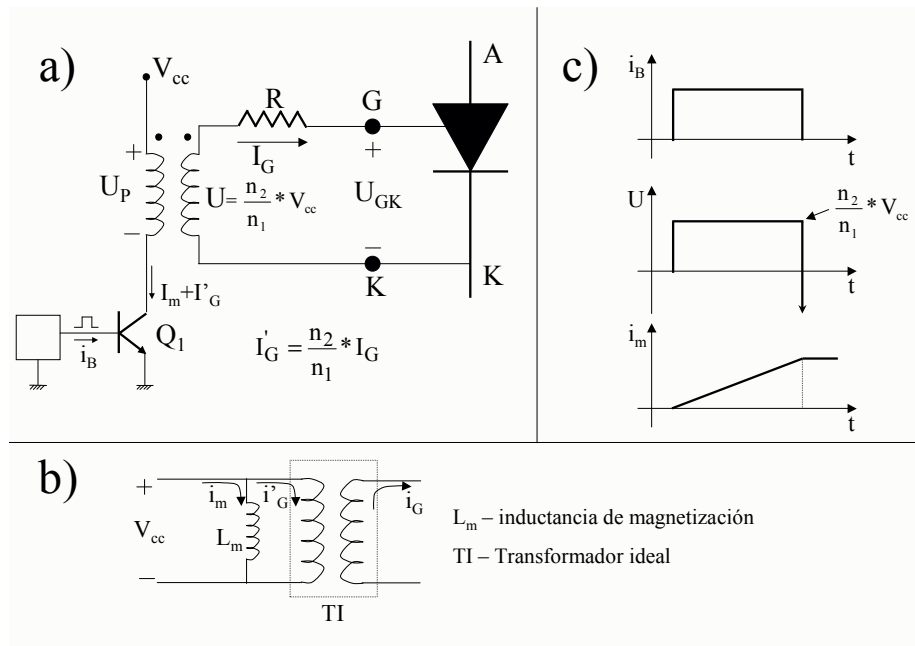


Figura 3.27: Circuito de disparo del tiristor - Encendido - a) Circuito de disparo con transformador real - b) Modelo utilizado para el transformador - c) Formas de onda para un pulso de corriente

$$U_{transistor} \approx V_{cc} + L_m \frac{\widehat{I}_m}{t_{off}} \quad (3.19)$$

valor que excede largamente su capacidad de bloqueo, ya que el tiempo de apagado  $t_{off}$  es muy corto. El transistor puede destruirse.

Esa sobretensión inversa se transforma en una tensión negativa en el secundario, polarizando el diodo  $G - K$  en inverso con un valor que puede dañarlo.

En consecuencia, el circuito de disparo se modifica agregando un diodo en serie con la resistencia que se conecta al gate de tiristor y otro diodo del lado del primario para dar un camino para la corriente de magnetización cuando corta el transistor, por lo que el circuito de disparo se modifica de acuerdo a la figura 3.28.

Se puede ver que cuando corta el transistor, la tensión inversa provocada por  $L_m$  y la corriente magnetizante hacen conducir el diodo D1 y se genera una tensión inversa en el secundario que corta el diodo D2. La tensión que se ve en el secundario del transformador es la caída en el diodo D1 ( $V_\gamma$ ) como tensión negativa, afectada por la relación de transformación.

Al conducir el diodo D1 se le da un camino a la corriente  $i_m$  para la desmagnetización del transformador, la cual se realiza mediante la tensión negativa  $-V_\gamma$ . Este circuito puede funcionar si el disparo consiste en un pulso de duración mucho más corta que el tiempo entre disparos, por ejemplo un pulso de algunos  $\mu s$  para un tiempo de encendido del orden de algunos  $ms$ . Esto se debe a que

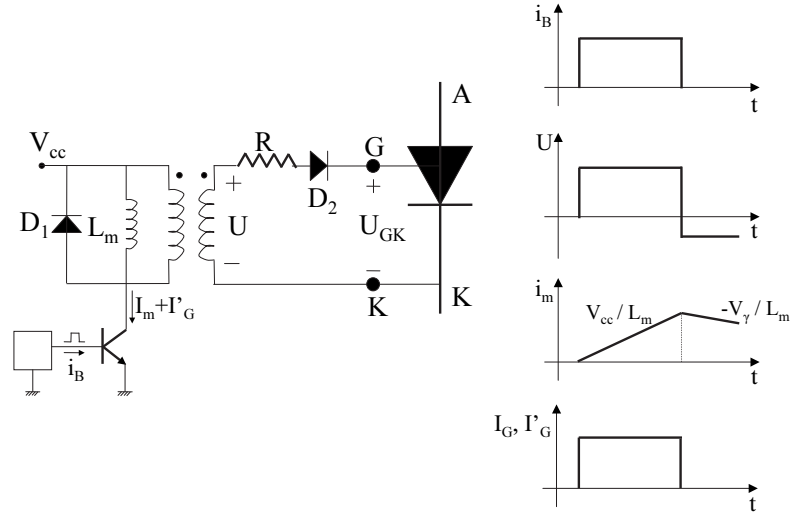


Figura 3.28: Circuito de disparo modificado

$V_\gamma$  es muy pequeño frente a  $V_{cc}$ , por lo que el tiempo de desmagnetización va a ser mucho más largo que el de magnetización. El transformador debe estar desmagnetizado antes de un nuevo disparo. Con la tensión  $-V_\gamma$  aplicada la desmagnetización puede llevar un tiempo excesivamente largo para muchas aplicaciones en que el tiempo de conducción requerido es comparable al tiempo disponible para desmagnetizar. Para solucionar este inconveniente se suele colocar un zener en serie con el diodo  $D_1$  de forma de aumentar la tensión negativa en la fase de la desmagnetización disminuyendo de esa forma el tiempo empleado en la misma (Figura 3.29).

La ecuación 3.20 describe el circuito durante el proceso de magnetización y la ecuación 3.21 describe el circuito durante el proceso de desmagnetización.

$$\frac{di_m}{dt} L_m = V_{cc} \quad (3.20)$$

$$\frac{di_m}{dt} L_m = -V_\gamma - V_Z \quad (3.21)$$

La tensión  $U_{CE_{max}}$  es:

$$U_{CE_{max}} = V_{CC} + V_\gamma + V_Z \quad (3.22)$$

$V_Z$  se elige de manera de disminuir el tiempo de desmagnetización manteniendo  $U_{CE}$  del transistor por debajo de su valor de avalancha.

En un puente de 6 pulsos 2 vías, por ejemplo, se necesitará un transformador de pulsos tal que no sature al aplicarle  $V_{CC}$  durante 7 ms o más. Se requiere

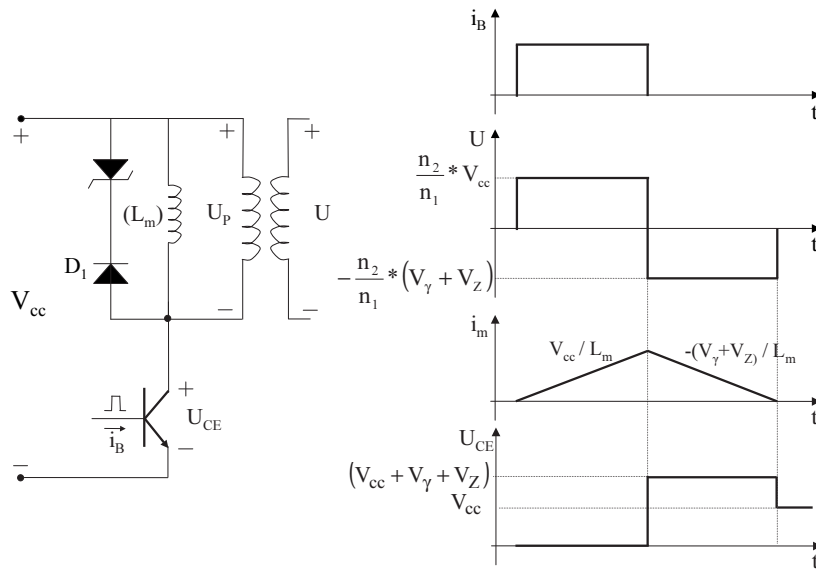


Figura 3.29: Circuito de disparo con zener para aumento de tensión de desmagnetización

entonces una  $L_m$  alta, el transformador tendrá muchas vueltas en el primario, y seguramente no se podrá despreciar la inductancia de fugas, que hará que la tensión en el secundario se aparte del escalón (Figura 3.30).

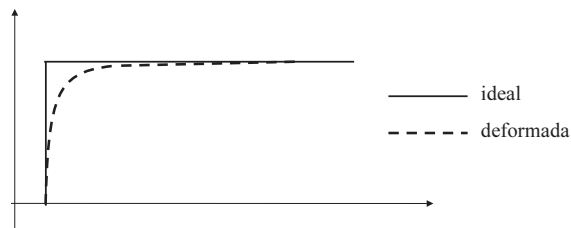


Figura 3.30: Tensión en el secundario

Esto trae como consecuencia una imprecisión muy grande en el instante del disparo.

Lo que usualmente se hace, en vez de mantener un disparo durante  $120^\circ$ , es dar un tren de pulsos a  $i_B$  durante los  $120^\circ$ . En la figura 3.31 se ve que un tren de pulsos de corta duración permite tener un transformador con  $L_m$  mucho más baja, menos vueltas, mucho más pequeño y con mucho menor inductancia de fugas, con los que se logra una subida de tensión mucho más rápida.

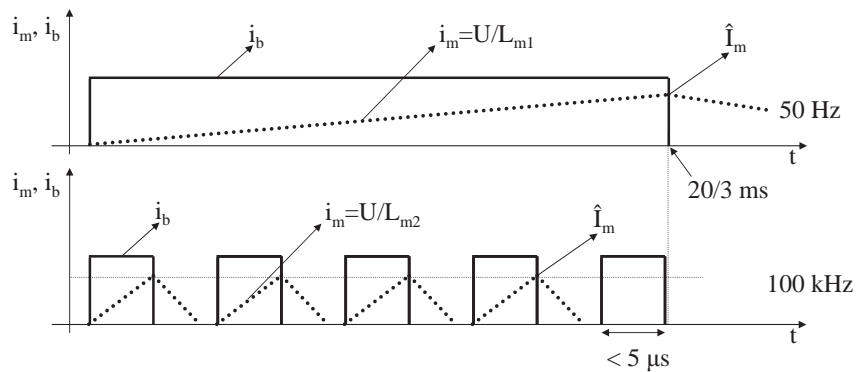


Figura 3.31: Único pulso vs tren de pulsos para el encendido

## 3.8. Apagado

### 3.8.1. Imposibilidad estructural del apagado

Si se analiza el circuito del modelo del tiristor visto como dos transistores, se podría pensar que así como se lo pudo prender, se lo puede apagar, sacando por el gate la corriente necesaria para que el transistor *npn* entre en corte. Esta corriente tiene que ser por lo menos del orden de la corriente de colector del transistor *pnp* y el problema es que la distribución de esta corriente circulando de cátodo a gate no es uniforme ya que la capa del gate tiene una resistencia lateral importante. La corriente tendería a circular por el camino de menor resistencia, por lo que se concentraría en el borde del dopaje del cátodo, por lo que el centro del cátodo no se va a apagar. Como esta zona constituye la mayor parte del tiristor, éste no se apagará (Figura 3.32).

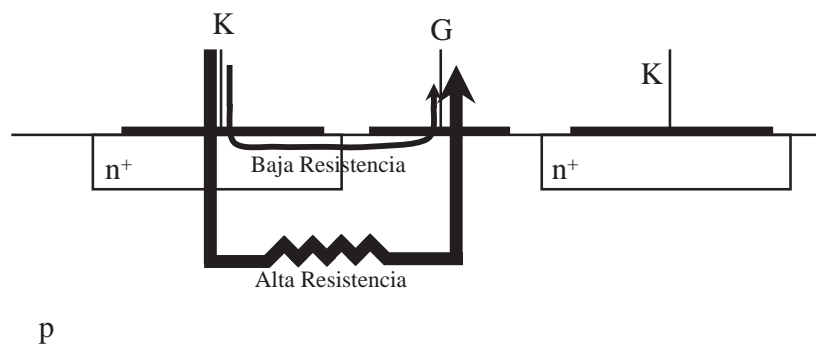


Figura 3.32: Camino para una eventual corriente de apagado

En la práctica se hacen tiristores apagables combinando en la misma oblea de silicio muchos tiristores pequeños puestos en paralelo que se pueden apagar.



Es el principio de operación de otro dispositivo llamado GTO (Gate Turn-Off Thyristor).

Para apagar un tiristor hay que anular la corriente que circula por el mismo ( $I_T$ ), o mejor dicho, disminuir la corriente hasta que sea menor que un valor  $I_H$ , por debajo del cual las corrientes de base no son lo suficientemente grandes como para mantener encendidos los transistores que conforman el modelo visto del tiristor.

### 3.8.2. Procesos de apagado

Se pueden ver dos procesos por los cuales se hace disminuir la corriente apagando el tiristor:

#### 1) "Quenching"

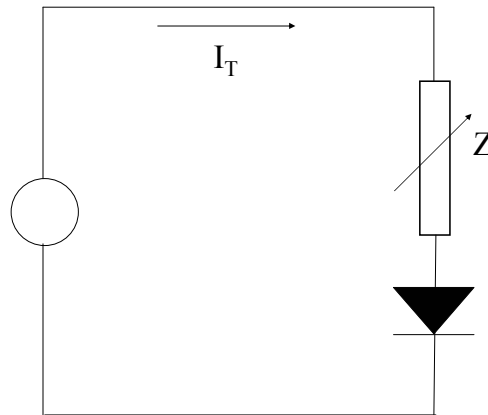


Figura 3.33: Apagado del tiristor: Quenching

En este proceso, por disminución de la carga (aumento de la impedancia  $Z$ ),  $I_T$  va bajando hasta que  $I_T < I_H$ , por lo que el tiristor se apaga (Figura 3.33).

#### 2) Corriente inversa:

Se actúa de manera que el circuito externo haga circular una corriente inversa por el tiristor de forma de forzar la corriente por el mismo a cero, estando el tiristor en conducción y con el consiguiente exceso de portadores en la base de los dos transistores que lo componen. Esto es lo que sucede en las conmutaciones en el puente de seis pulsos dos vías, donde al disparar el tiristor 3 para conmutar con el tiristor 1, se forma el circuito de conmutación de la figura 3.34.

### 3.8.3. Apagado en un rectificador conmutado por la red - conducción inversa

Se estudiará el apagado de un tiristor en el caso del puente rectificador de seis pulsos dos vías (Figuras **INTRODUCCIÓN** y 3.18); el proceso es

esencialmente el mismo en otras aplicaciones. La figura 3.34 ilustra el proceso. En determinado momento están prendidos  $T1$  y  $T2$ .  $I_d$  es constante y no hay caídas de tensión en  $L_{cc}$ . Cuando la tensión  $U_{SR}$  se hace positiva,  $T3$  entra en bloqueo directo y está en condiciones de conducir. Si se lo dispara, queda en estado de conducción y se forma el circuito de conmutación de la figura 3.34, que consiste en una tensión de conmutación  $u_k$  en serie con dos de las inductancias de línea  $L_{cc}$  (suele despreciarse la resistencia) y los dos tiristores que funcionan como llaves cerradas, al estar ambos en conducción.

La tensión de conmutación  $u_k(t)$  es en este caso la tensión compuesta  $U_{SR}$ .

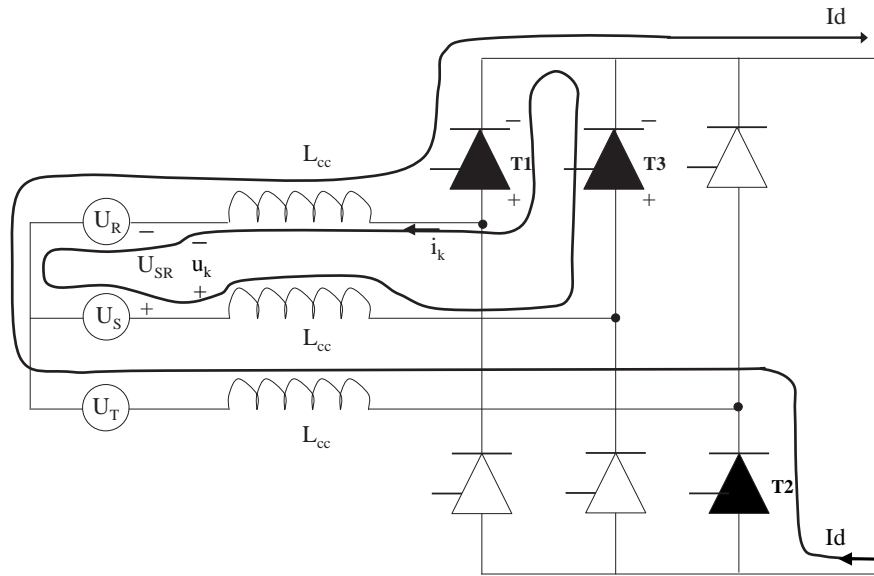


Figura 3.34: Circuito de conmutación

### Apagado del tiristor ideal

El circuito de conmutación, considerando tiristores ideales ( $u_T = 0$ ) se rige por la ecuación:

$$u_k(t) = 2L_{cc} \frac{di_k}{dt} \quad (3.23)$$

donde  $u_k(t) = U_{SR}(t)$ ,  $L_{cc}$  es la impedancia de línea (que puede considerarse inductiva) e  $i_k(t)$  es la corriente, que crece desde cero a partir de que se dispara  $T3$  y se cierra el circuito.

Se considera  $t = 0$  el instante a partir del cual  $T3$  entra en bloqueo inverso y  $t_\alpha = \alpha/\omega$  el instante en que se dispara  $T3$ .

En ese caso:

$$u_k = U_{SR} = U\sqrt{2}\text{sen}(\omega t) \quad (3.24)$$

Haciendo el cambio  $\omega t = \nu$  la ecuación queda:

$$U_{SR}(\nu) = 2\omega L_{cc} \frac{di_k}{d\nu} \quad (3.25)$$

La corriente de conmutación es:

$$i_k(\nu) = \frac{\sqrt{2}U}{2\omega L_{cc}} (\cos \alpha - \cos \nu) \quad (3.26)$$

Idealmente el proceso de conmutación finaliza cuando  $i_k(\nu) = I_d$  en el instante  $\tau$  (ángulo  $\omega\tau$ , figura 3.35).  $T1$  se abre y por  $T3$  circula  $I_d$ .

Cabe resaltar que el tiempo en que se prende un tiristor es apreciablemente menor que el tiempo en que se apaga, por lo que se puede considerar, para discutir el proceso de apagado del tiristor 1, que el proceso de prendido del tiristor 3 es prácticamente instantáneo.

Las formas de onda sobre los tiristores cuando el puente está funcionando como rectificador ( $\alpha < 90^\circ$ ) son las que se detallan en la figura 3.35 (tiristor ideal).

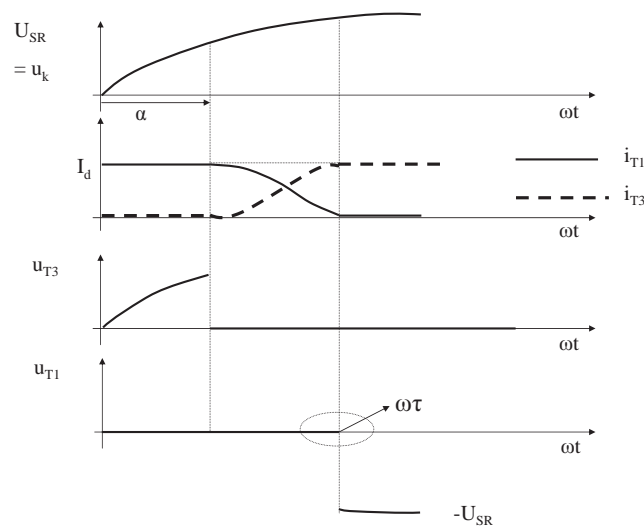


Figura 3.35: Formas de onda durante la conmutación del rectificador (tiristor ideal)

### Apagado del tiristor real

Se estudiará en detalle cómo es el apagado de un tiristor real en un puente funcionando como rectificador. Esto significa ver qué pasa realmente en el instante  $\tau$  (ángulo  $\omega\tau$ ) de la figura 3.35.

Tomando en cuenta las caídas de tensión en conducción que tienen los tiristores, la ecuación de conmutación queda:

$$U_{SR}(\nu) - U_{T_3} + U_{T_1} = 2wL_{cc} \frac{di_k}{d\nu} \quad (3.27)$$

En conducción, el tiristor tiene un gran exceso de portadores, las junturas base colector en los dos transistores están polarizadas en directo y tienen en sus bases una gran concentración de portadores minoritarios

Cuando el tiristor 3 comienza a prender, la corriente y la tensión por el tiristor 1 son:

$$i_{T_1} = I_d - i_k(\nu) \quad (3.28)$$

$$U_{T_1} = U_{T_0} + (I_d - i_k(\nu))r_T \quad (3.29)$$

Donde  $U_{T_0}$  y  $r_T$  son parámetros comunes a todos los tiristores del puente.

Cuando  $i_k(\nu)$  llega al valor  $I_d$  la corriente por el tiristor 1 se anula, pero las junturas base colector siguen polarizadas en directo debido al exceso de portadores minoritarios en las bases, por lo que la caída de tensión positiva se mantiene y la carga almacenada sustenta una corriente inversa que responde a la ecuación 3.27, la cual escrita en términos de  $i_T$  queda:

$$U_{SR}(\nu) - U_{T_3} + U_{T_1} = -2wL_{cc} \frac{di_{T_1}}{d\nu} \quad (3.30)$$

Cuando una de las dos junturas base colector se vacía de exceso de portadores, el tiristor se polariza en inverso y la tensión  $U_{T_1}$  se hace bruscamente negativa. La corriente llegará a un valor mínimo (máximo de corriente inversa) cuando  $di_{T_1}/d\nu$  se anula:

$$U_{T_1} = -U_{SR} + U_{T_3} \quad (3.31)$$

Como el tiristor 3 es un tiristor en conducción,  $U_{T_3} \ll U_{SR}$  y  $U_{T_1} \approx -U_{SR}$ .

En ese instante el tiristor tiene bloqueo inverso y una corriente inversa máxima de valor  $I_{RM} = -i_{T_1}$ . Esta corriente se debe a los portadores minoritarios que quedan en las capas que actúan como bases y su valor tiende a cero más o menos rápidamente dependiendo de la velocidad de recombinación de los portadores en esas capas.

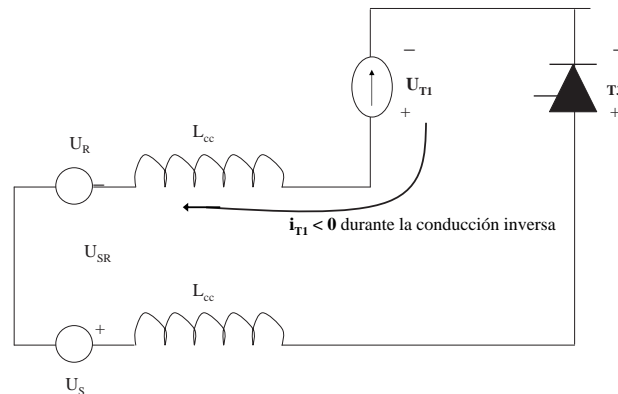


Figura 3.36: Tiristor como fuente de corriente

Desde el momento en que el tiristor 1 se polariza en inverso hasta que la corriente inversa se anula, el tiristor actúa como una fuente de corriente  $i_{T_1}(t) < 0$  (figura 3.36), y la tensión sobre el mismo está dada por:

$$U_{T_1} = -U_{SR} + U_{T_3} - 2L_{cc} \frac{di_{T_1}}{dt} \quad (3.32)$$

Esa tensión tiene módulo máximo con  $\frac{di_{T_1}}{dt}_{max}$

$$U_{T_{1max}} = -U_{SR} + U_{T_3} - 2L_{cc} \frac{di_{T_1}}{dt}_{max} \quad (3.33)$$

La última ecuación expresa la máxima tensión que debe bloquear el tiristor en el corte. De acuerdo a las consideraciones hechas, la forma de onda de la corriente y la tensión en el momento del apagado son las que se dibujan en la figura 3.37. La carga conducida en sentido inverso representa la carga almacenada en el tiristor y desaparece por conducción y por recombinación.  $t_{rr}$  es el tiempo de recuperación inversa que se define a veces como el tiempo desde que  $i_{T_1}$  baja a cero al llegar  $i_k(\nu)$  a  $I_d$ , hasta que  $i_{T_1}$  llega a  $-I_{RM}/4$  o a  $-I_{RM}/10$  luego de haber alcanzado su máximo valor negativo  $|i_{T_1}| = I_{RM}$ .

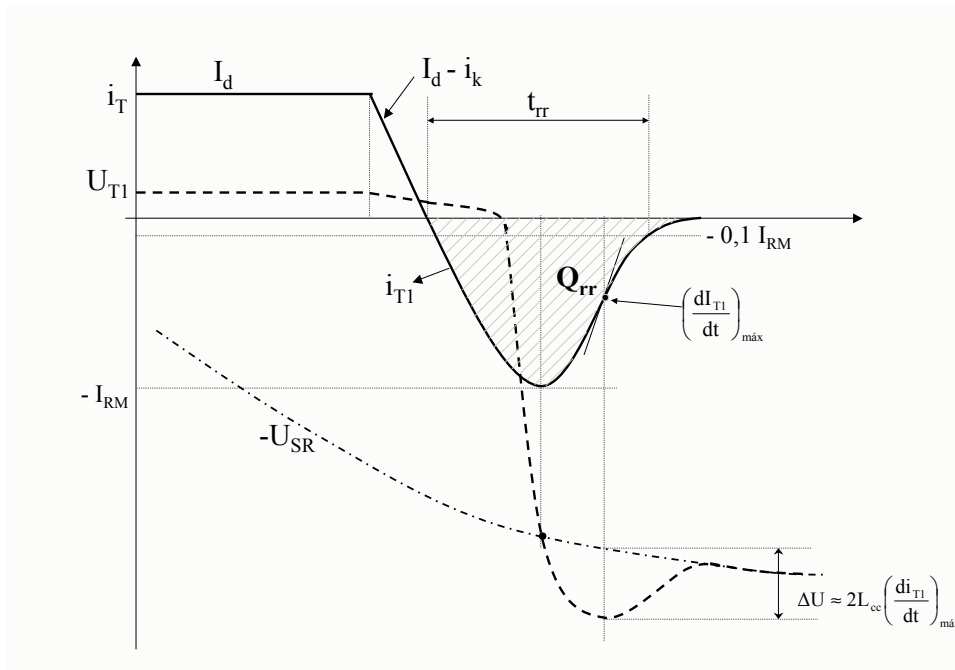


Figura 3.37: Formas de onda en el apagado del tiristor

Se ve que aparece una sobretensión que se agrega a la tensión inversa  $-U_{SR}$  que se consideraba en el caso ideal. En la figura 3.37 se considera  $U_{T_3} \ll U_{SR}$

La sobretensión dependerá de cuán rápido se recombinen las cargas y de la inductancia del circuito externo. Un tiristor rápido en un circuito muy inductivo provoca una sobretensión muy grande.

De las curvas presentadas se aprecia que el comportamiento del tiristor real se aparta fuertemente del tiristor ideal en el apagado.

El problema mayor a superar es que la tensión que debe bloquear no es la tensión de fase, sino un valor de tensión mucho mayor, pues se agrega la sobretensión vista.

En el diseño y dimensionado del circuito se hace lo siguiente:

1- Se dimensiona el tiristor con un factor de seguridad mayor que 2. Por ejemplo, si la tensión de red ( $U_{SR}$  en el caso visto) es de 380 V, se estima el pico que debe soportar el tiristor como:

$$\hat{U}_{SR} = (1,25 \times 380) \times \sqrt{2} \times 2 \quad (3.34)$$

Donde se agrega un 25 por ciento al valor de la tensión nominal de la red para considerar eventuales variaciones de tensión en la misma y se multiplica por dos como el factor de seguridad.

El resultado dice entonces que el pico de la tensión sinusoidal de una red de 400 V puede llegar a más de 700 V, por lo que para este caso se utilizará un tiristor con  $U_{DRM}$  mayor a 1400 V.

2- Se hace que una parte de la corriente circule por un circuito amortiguador como se detalla en la figura 3.38

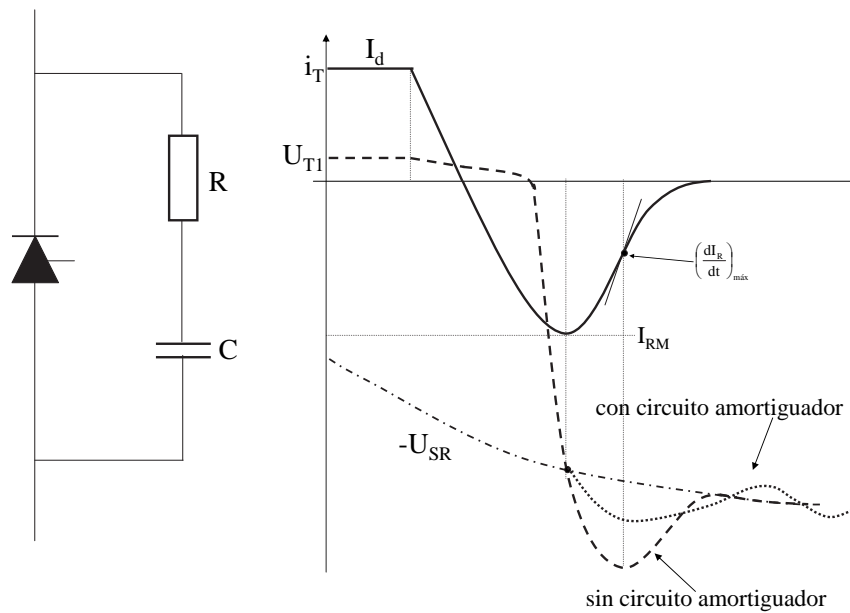


Figura 3.38: Circuito amortiguador y formas de onda resultantes

Este circuito logra amortiguar el pico de tensión en el apagado. Los valores para R y C los da el fabricante en las hojas de datos. El único parámetro que se debe calcular es la potencia de la resistencia que dependerá de la carga que tenga la capacidad y de la frecuencia de trabajo.

### 3.8.4. Apagado en un inversor conmutado por la red - $t_q$

Este caso presenta un interés especial al entrar en juego otras características y limitaciones del tiristor.

Al funcionar como inversor, el ángulo de disparo  $\alpha$  será mayor que  $90^\circ$ . Las curvas correspondientes en la conmutación en el caso ideal son las que se muestran en la figura 3.39.

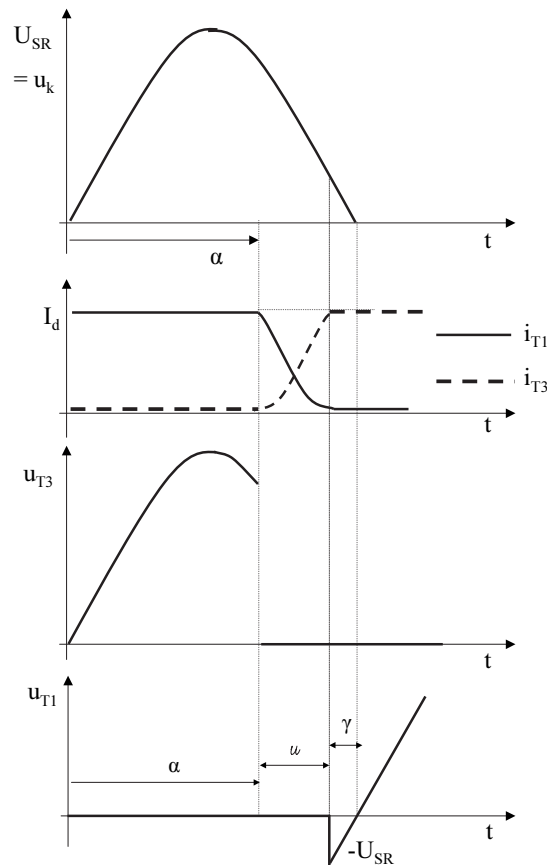


Figura 3.39: Curvas de conmutación en funcionamiento como inversor

El ángulo  $\gamma$  corresponde al margen de conmutación. Este margen evita, entre otras cosas, el fenómeno de reencendido del tiristor real. La tensión que queda aplicada entre el ánodo y el cátodo del tiristor 1 es  $-U_{SR}$ . Si esta tensión  $U_{AK}$  se hace positiva en un tiempo demasiado corto después que la corriente por el tiristor se anuló, se corre el riesgo de que cargas aún sin recombinar provoquen el reencendido del tiristor.

El punto  $A$  de la figura 3.40, instante a partir del cual el tiristor vuelve a tener tensión  $U_{AK} > 0$  luego de la conducción y posterior apagado y bloqueo

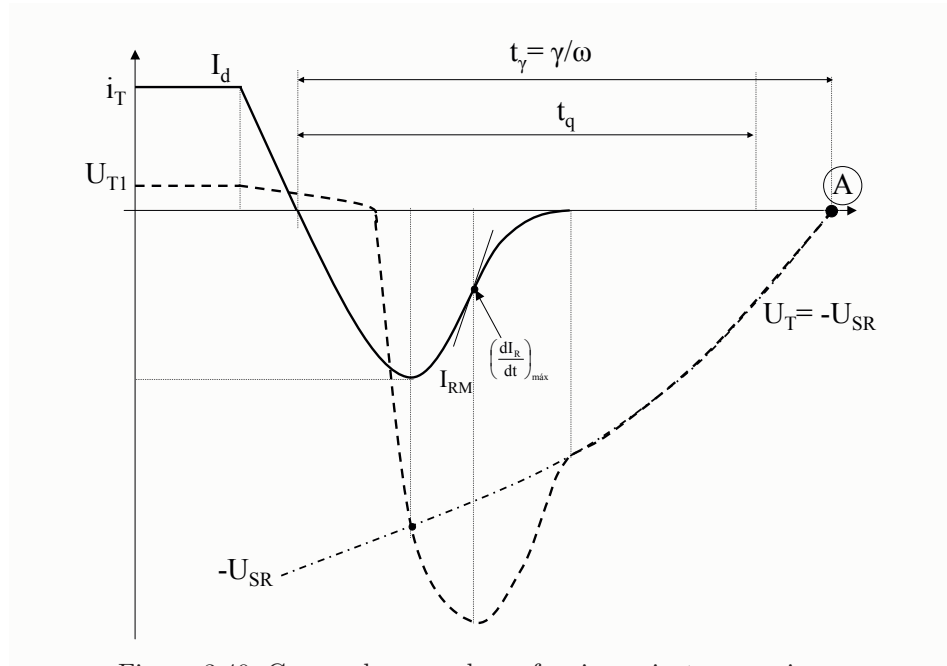


Figura 3.40: Curvas de apagado en funcionamiento como inversor

inverso, debe estar por lo tanto lejos de la finalización del proceso de apagado, de manera que se tenga un bloqueo directo seguro.

El fabricante especifica el parámetro  $t_q$  como el tiempo mínimo que el tiristor debe permanecer en el modo de bloqueo inverso luego del apagado y antes que se le pueda aplicar un voltaje directo. El valor de  $t_q$  es mayor que  $t_{rr}$ . En general el valor de  $t_q$  ( $200\mu s \approx 3.6^\circ$ ) no afecta al margen de conmutación  $\gamma$  ya que el valor mínimo del mismo se determina de acuerdo a otros factores. Un  $\gamma$  muy bajo puede implicar excesiva baja tensión en el momento del disparo. Una sobrecarga que ocurra inmediatamente después del disparo del tiristor hace crecer el ángulo de conmutación  $u$  a expensas del  $\gamma$  y puede llegar a producirse una falla de conmutación. En la práctica el  $\gamma$  mínimo es del orden de  $15-25^\circ$ .

Otro aspecto que debe cuidarse es el valor que tiene  $dU_{AK}/dt$  luego del punto A, cuando el tiristor entra en bloqueo directo. En ese caso  $U_{AK} = U_D > 0$  (tensión de bloqueo directo). Ese valor  $dU_{AK}/dt = dU_D/dt$  debe estar debajo de un valor máximo dado por el fabricante. Esto se debe a que la juntura que sostiene el bloqueo directo (juntura 2-3) tiene una capacidad de polarización inversa  $C_{23}$ , por lo que al crecer  $U_D$  aparece una corriente que vale:

$$i \approx C_{23} \frac{dU_D}{dt} + U_D \frac{\partial C_{23}}{\partial t} \quad (3.35)$$

$C_{23}$  depende de otros factores, por eso se usa la derivada parcial. Si  $dU_D/dt$  es suficientemente alta, la corriente  $i$  puede disparar el tiristor.

En general las hojas de datos dan un valor de  $dU_D/dt$  para el caso en que el tiristor estuvo conduciendo ( $200 - 1000 V/\mu s$ ).

Es posible encender el tiristor por saltos de tensión cuando no ha estado conduciendo inmediatamente antes. El valor de  $dU_D/dt$  que lo enciende en este caso es bastante más grande.



## 3.9. Manejo térmico

### 3.9.1. Generación de calor

Uno de los apartamientos del modelo ideal de más importancia práctica es la generación de calor en el tiristor.

La potencia instantánea disipada en el tiristor en forma general es:

$$p(t) = u_{AK}(t)i_T(t) \quad (3.36)$$

En la práctica para determinar la potencia disipada o pérdida de potencia resulta útil calcularla en cada uno de los estados del tiristor. Se distinguen entonces pérdidas en el encendido, pérdidas en el apagado, pérdidas en estado de bloqueo y pérdidas en conducción.

La potencia de las pérdidas en estado de bloqueo es el producto de la corriente de fugas por la tensión bloqueada. Como la corriente de fugas es generalmente 4 a 5 órdenes de magnitud menor que la corriente de trabajo estas pérdidas pueden despreciarse frente a las otras en una primer aproximación.

En particular, la potencia disipada por el tiristor en conducción vale:

$$p(t) = u_T(t)i_T(t) \quad (3.37)$$

Sustituyendo  $u_T(t)$  por el valor dado por la ecuación 3.7:

$$p(t) = (U_{T_0} + r_T i_T(t))i_T(t) = U_{T_0} i_T(t) + r_T i_T^2(t) \quad (3.38)$$

El comportamiento en el encendido y apagado se muestra en la figura 3.41

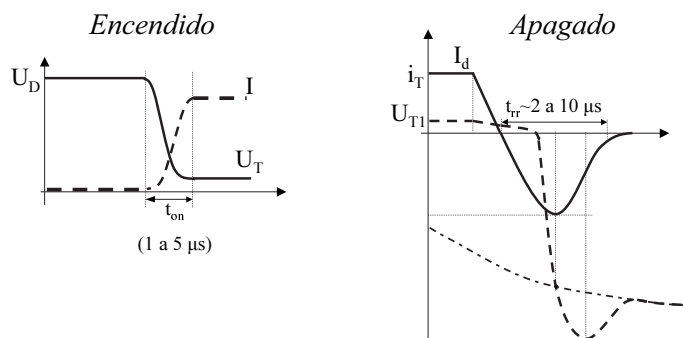


Figura 3.41: Encendido y apagado

Las pérdidas en el encendido y apagado se pueden estudiar a partir de la evolución de la tensión y corriente en las transiciones (Figura 3.41).

Las pérdidas en el encendido dependen de las formas de onda de  $u_T(t)$  e  $i_T(t)$  en ese proceso, lo cual depende fuertemente del circuito externo. Puede hacerse

una estimación suponiendo que la tensión baja al mínimo y la corriente crece al máximo al mismo tiempo y linealmente. En ese caso (tomando  $U_T \ll U_D$ ) la energía disipada en el encendido puede expresarse como:

$$W_{on} = \int_0^{t_{on}} u_T(t) i_T(t) \approx \int_0^{t_{on}} \left( U_D - \frac{U_D}{t_{on}} t \right) \frac{I_d}{t_{on}} dt = \frac{U_D I_d}{6} t_{on} \quad (3.39)$$

La potencia disipada es:

$$P_{encendido} = W_{on} f \quad (3.40)$$

siendo  $f$  la frecuencia de las transiciones en un funcionamiento periódico.

Las pérdidas en el apagado son más difíciles de calcular, pero se puede dar una expresión aproximada (Wallmark & Zweygbergk 1973):

$$P_{apagado} = \frac{U_D I_T}{2} f \tau_2 \quad (3.41)$$

Donde  $\tau_2$  es el tiempo de vida media de los huecos en la capa n, o sea el tiempo que un hueco puede viajar por el material n- del tiristor sin recombinarse con un electrón.

Tanto las pérdidas en el encendido como en el apagado a 50 Hz son despreciables frente a las pérdidas en conducción, por lo que las pérdidas que se considerarán serán estas últimas.

$$p(t) = U_{T_0} i_T(t) + r_T i_T^2(t) \quad (3.42)$$

$$P = \langle p(t) \rangle = U_{T_0} \langle i_T(t) \rangle + r_T \langle i_T^2(t) \rangle \quad (3.43)$$

$$P = U_{T_0} I_{AV} + r_T I_{rms}^2 \quad (3.44)$$

Esta última expresión es útil dado que en las hojas de datos, el rating de corriente del tiristor aparece en forma de dos parámetros que son  $I_{AV}$  e  $I_{rms}$ , valor medio y valor eficaz de la corriente respectivamente.

El parámetro límite del tiristor para la disipación de potencia es la temperatura del silicio, (o más precisamente la temperatura de la junta 1 - 2). Se la llama  $T_j$  por analogía con la temperatura de junta de un diodo.

La temperatura admisible máxima varía entre  $T_j = 125^\circ C$  y  $140^\circ C$ , según el tiristor.

Para una corriente dada, el área del chip debe ser tal que la resistencia térmica de contacto del silicio con los conductores sea suficientemente chica como para que  $T_j$  se mantenga por debajo del máximo, fijando la temperatura del encapsulado en un valor que puede ser  $25^\circ C$ ,  $75^\circ C$  u  $85^\circ C$  según lo especificado por el fabricante.

### 3.9.2. Modelo térmico de un tiristor en un montaje práctico: Resistencia térmica

La potencia que se disipa en conducción en el chip de silicio que constituye el tiristor es tal que, sin ningún elemento adicional, puede elevar su temperatura a valores inadmisibles. Por lo tanto el tiristor se encapsula de tal manera que el encapsulado (llamado *case* en inglés) se pueda adosar a un dispositivo, que

llamaremos disipador, al cual transmitirle el calor. En general el encapsulado no es suficiente para transferir al medio ambiente la potencia generada por el tiristor (o por cualquier llave semiconductor de potencia). El disipador es un objeto conductor de calor cuya función es aumentar la superficie de contacto entre el encapsulado metálico y el aire como medio refrigerante (convección). La superficie aumentada permite además que una parte del calor se disipe por radiación (Figura 3.42) (Wallmark & Zwegbergk 1973).

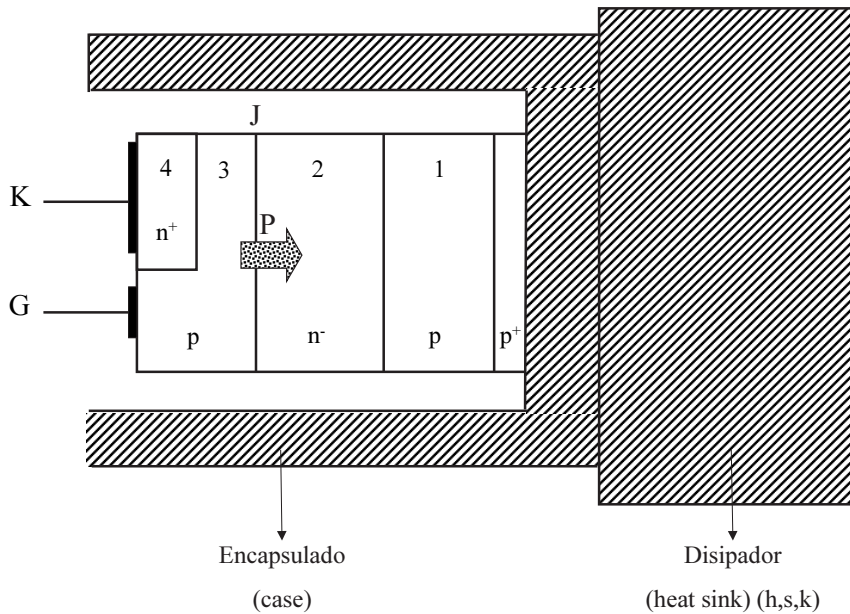


Figura 3.42: Diagrama Tiristor - Case - Disipador

Para potencias grandes, el intercambio puede ser entre el metal y un fluido que se mantiene a baja temperatura.

Cuando el tiristor está conduciendo, la potencia disipada puede expresarse, según lo visto anteriormente, como:

$$p(t) = [U_{T_0} + r_T i_T(t)] i_T(t) \quad (3.45)$$

Para simplificar el modelo suponemos que el calor se genera en el medio del chip, en la capa 2.<sup>4</sup>

De acuerdo al esquema de la figura 3.43, se utilizará la ecuación sencilla de transmisión de calor en estado estacionario:

$$R_\theta = \frac{T_1 - T_2}{P} \quad (3.46)$$

Donde  $R_\theta$  es la resistencia térmica del material.

<sup>4</sup> $U_{T_0} i_T(t)$  es esencialmente la potencia en la juntura 1-2 y  $r_T i_T^2(t)$  es la potencia por la caída resistiva en la capa 2

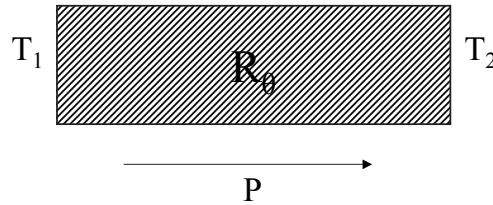


Figura 3.43: Esquema de transmisión de calor

Si la potencia varía con el tiempo se debe considerar además el calor necesario para variar la temperatura de los cuerpos involucrados, lo cual se puede expresar mediante la capacidad calorífica:

$$C = \frac{\Delta Q}{\Delta T} = \frac{P \Delta t}{\Delta T} \quad (3.47)$$

Donde  $\Delta Q$  es la cantidad de calor absorbida o disipada por el cuerpo al subir o bajar su temperatura.

Las ecuaciones 3.46 y 3.47 nos permiten utilizar una analogía eléctrica para construir el modelo térmico del tiristor en el cual la temperatura  $T$  corresponde a la tensión, la potencia  $P$  corresponde a la corriente y  $R_\theta$  y  $C$  corresponden a la resistencia eléctrica de un conductor y a la capacidad de un condensador respectivamente.

Si se considera la potencia como una corriente que va desde una juntura a temperatura  $T_j$  hasta la temperatura ambiente  $T_a$ , el modelo térmico del tiristor puede representarse por el circuito de la figura 3.44 en la cual:

$R_{\theta_j}$  = resistencia térmica del silicio

$R_{\theta_{jc}}$  = resistencia térmica del encapsulado

$R_{\theta_{cs}}$  = resistencia térmica del contacto encapsulado - disipador

$R_{\theta_s}$  = resistencia térmica del disipador

$R'_{\theta_{sa}}$  = resistencia térmica entre la superficie del disipador y el aire circundante

$C_j$  = capacidad calorífica del silicio

$C_c$  = capacidad calorífica del encapsulado

$C_s$  = capacidad calorífica del disipador

El modelo aproximado utilizado es análogo al modelo de una línea con resistencia serie y capacidad entre conductores.

La temperatura en el punto A es la temperatura superficial del dispositivo.

En particular, en estado estacionario y con potencia constante, los materiales están a temperatura constante y no hay transferencia de calor para el calentamiento. "Las capacidades no se recargan" - se tiene entonces una distribución de temperaturas estable, independiente del tiempo, por lo que el circuito 3.44 puede simplificarse de acuerdo a la figura 3.45.

$R_{\theta_{jc}}$  es la resistencia térmica entre la juntura y el encapsulado o case;  $R_{\theta_{cs}}$  es la resistencia térmica dada por el fabricante entre las superficies del encapsulado

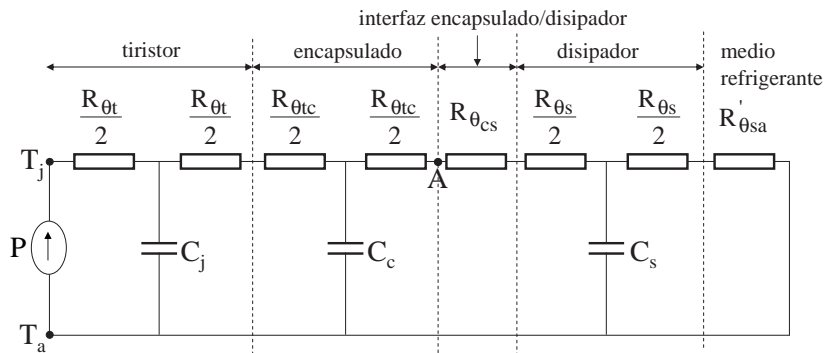


Figura 3.44: Circuito térmico equivalente del tiristor

(case) y el disipador (sink), suponiendo que el dispositivo está correctamente montado (tornillos del tamaño especificado apretados con el par especificado, grasa siliconada o similar entre las superficies).

Para el modelo estacionario con  $P$  constante vale:

$$T_j = T_a + P(R_{\theta_{jc}} + R_{\theta_{cs}} + R_{\theta_{sa}}) \quad (3.48)$$

Si  $P$  no es constante sino periódica estacionaria, puede usarse la misma ecuación para valores medios:

$$\langle T_j \rangle = T_a + \langle P \rangle (R_{\theta_{jc}} + R_{\theta_{cs}} + R_{\theta_{sa}}) \quad (3.49)$$

### 3.9.3. Cálculo de la temperatura media - Ejemplo:

El módulo MCC250 (*IXYS Semiconductors Datasheets*) consiste en dos tiristores conectados formando una rama de un puente y montados en un mismo encapsulado. Utilizando este módulo se quiere construir un puente de seis pulsos dos vías utilizando un solo disipador sobre el que se montarán los tres módulos (la hoja se obtiene en [www.ixys.com](http://www.ixys.com)).

De acuerdo a lo que establecen las hojas de datos correspondientes  $T_{j_{max}} = 140^\circ C$ . Como se quiere dar un cierto margen de seguridad en la eventualidad de una sobrecarga del circuito, se tomará como  $\langle T_{j_{max}} \rangle = 110^\circ C$ , con lo cual se utiliza la ecuación correspondiente a potencia media constante y régimen estacionario.

Como datos adicionales, se sabe que:  $T_a = 40^\circ C$  y que  $R_{\theta_{sa}} = 0,1^\circ K/W$

Para saber cuánto vale la  $I_d$  que puede entregar un puente armado con estos componentes se tiene que averiguar primero cuánto vale la potencia máxima que puede disipar cada tiristor individualmente.

En la figura 3.46 se muestra el comportamiento de la corriente por un tiristor, el cual conduce una corriente de valor  $I_d$  durante  $120^\circ$  y está cortado durante  $240^\circ$ .

En la hoja de datos del módulo se da el valor de la resistencia térmica junta - disipador (usualmente se llama  $R_{\theta_{js}}$  pero en esta hoja de datos figura como  $R_{\theta_{jk}}$ ) por tiristor y por módulo. El valor de la resistencia por módulo es el que se obtiene cuando los dos tiristores del módulo están en funcionamiento. Esto no

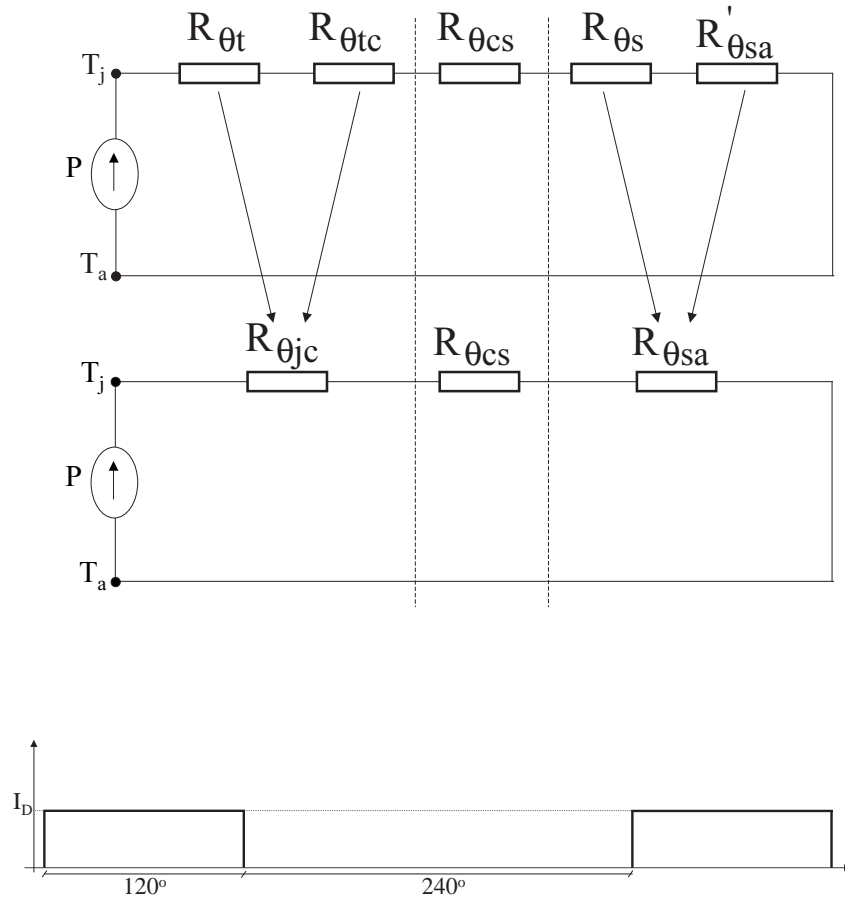


Figura 3.46: Esquema de corriente del tiristor

implica que estén encendidos simultáneamente, sino que los dos están generando el mismo calor por estar activos durante tiempos iguales.

En la figura 3.47 se muestra el circuito térmico equivalente de los tres módulos montados en un mismo disipador. En el primer módulo se muestran las resistencias térmicas que existen realmente: la de cada juntura con el encapsulado y la de todo el encapsulado con el disipador, así como las potencias que circulan por ellas. En el segundo módulo se muestran las resistencias equivalentes por tiristor de acuerdo a la hoja de datos. En el tercer módulo se muestran las resistencias por módulo de acuerdo a la hoja de datos. Se usa el subíndice  $s$  para designar el disipador en lugar del subíndice  $k$  de la hoja de datos de este fabricante en particular.

De la hoja de datos se obtiene:

$$U_{T_0} = 0,85V$$

$$r_T = 0,82 \cdot 10^{-3}\Omega$$

De acuerdo a lo visto anteriormente, la potencia  $\langle P \rangle$  disipada por cada tiristor es:

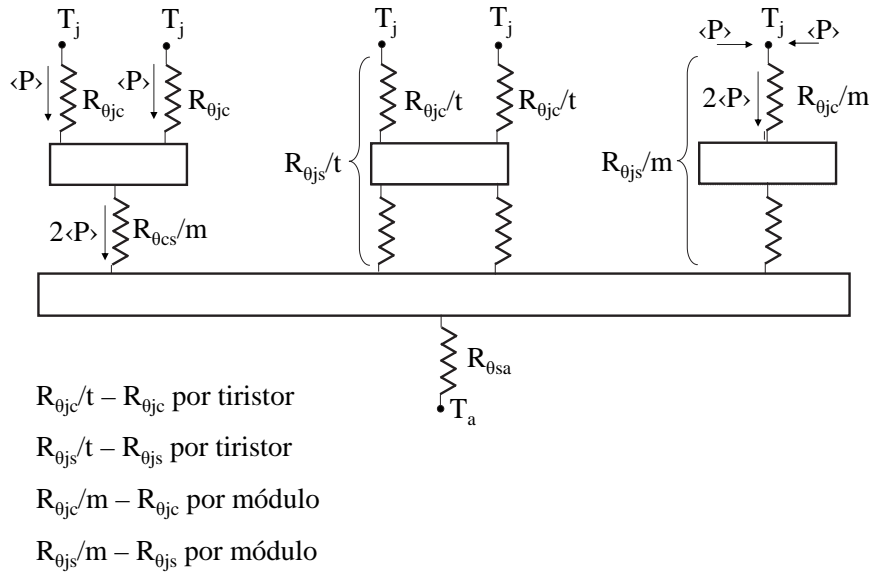


Figura 3.47: Circuito térmico del tiristor

$$\hat{P} = U_{T_0} I_d + r_T I_d^2 \quad (3.50)$$

$$\langle P \rangle = \frac{\hat{P}}{3} \quad (3.51)$$

Dado que el tiristor conduce durante 1/3 del período.

Suponiendo que todos los tiristores están disipando una potencia media  $\langle P \rangle$  se tiene:

$$T_j - T_a = \langle P \rangle R_{\theta_{jk}} + R_{\theta_{sa}} 6 \langle P \rangle \quad (3.52)$$

$$\langle P \rangle = \frac{T_j - T_a}{R_{\theta_{jk}} + 6R_{\theta_{sa}}} = 91W \quad (3.53)$$

$$\hat{P} = 273W \Rightarrow I_d = 257A \quad (3.54)$$

Cada tiristor tiene una corriente media de 85 A.

La hoja de datos indica una corriente media máxima de 287 A. En el ejemplo la corriente queda limitada por el tamaño del disipador disponible.

### 3.9.4. Temperatura instantánea: Impedancia Térmica Transitoria

Para resolver el problema planteado se asumió que la temperatura es uniforme. Si se quisiera hacer un cálculo más detallado, se debería contemplar que la temperatura instantánea de juntura no es constante dado que la potencia instantánea tampoco lo es.

Si tenemos en cuenta la forma de onda de la potencia ( $P = I_r(t)u(t)$ ), la evolución de la temperatura es la que se muestra en la figura 3.48.

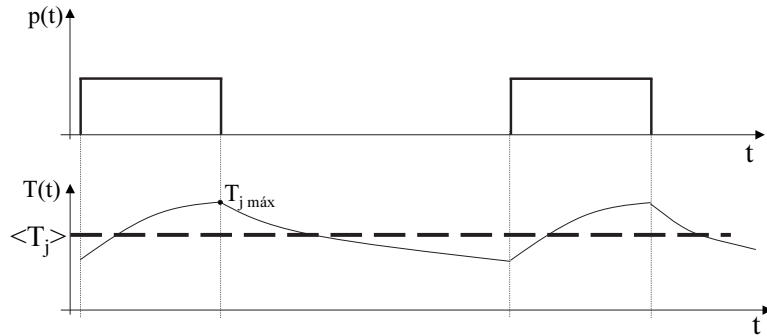


Figura 3.48: Evolución de la potencia y la temperatura

Se ve que si se trabaja solamente con la temperatura media, puede suceder que la temperatura máxima instantánea exceda el límite dado por el fabricante.

Para resolver el problema exactamente, se debería considerar el circuito térmico que incluye las capacidades. Este método no es práctico pues el fabricante no proporciona datos sobre estas capacidades. Lo que se hace es un cálculo aproximado basado en un parámetro que sí está en las hojas de datos: la *Impedancia Térmica Transitoria* ( $Z_{\theta}(t)$ )(fig.3.49).

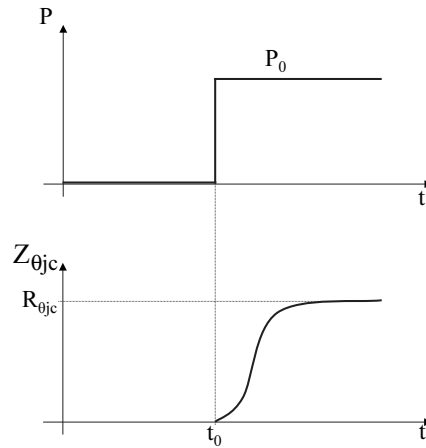


Figura 3.49: Impedancia térmica transitoria

La impedancia térmica transitoria representa la evolución en la temperatura de junta con respecto a una temperatura fija (si se indica  $Z_{\theta_{jc}}$ , la temperatura fija es  $T_c$ ) cuando se le aplica un escalón de potencia de 1 W.

Los fabricantes establecen cómo evoluciona la temperatura de junta con respecto a una temperatura fija. Si se indica  $Z_{\theta_{jc}}$ , se asume que la temperatura del encapsulado es constante y que la que varía es la temperatura de junta. Algunos también dan la impedancia térmica transitoria entre la junta y el



disipador ( $Z_{\theta_{js}}$ ).

Para calcular la temperatura de junta en el tiempo  $t$  se utiliza la ecuación:

$$T_j(t) - T_c = P_0 Z_{\theta_{jc}}(t) \quad (3.55)$$

la cual da la evolución de la temperatura de junta con respecto a la temperatura de encapsulado constante cuando se suministra un escalón de potencia de duración infinita a partir de  $t_0$ .

Observación:

$$\lim_{t \rightarrow \infty} Z_{\theta_{jc}}(t) = R_{\theta_{jc}} \quad (3.56)$$

Con esta herramienta, cuando se tiene un pulso finito de potencia, como se trata de un sistema lineal, se aplica superposición. La figura 3.50 muestra cómo, aplicando superposición, se calcula la diferencia de temperatura  $T_j(t) - T_c$  en un instante  $t_2$  luego de aplicar un pulso de potencia constante entre los instantes  $t_0$  y  $t_1$ .

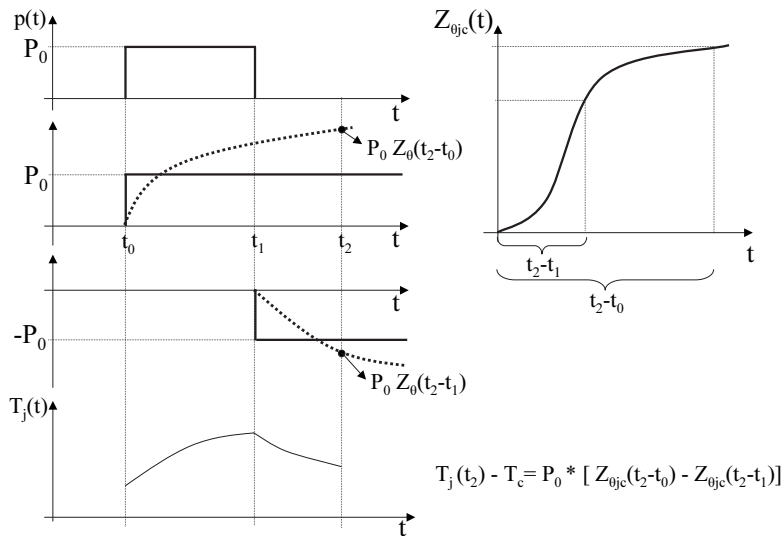


Figura 3.50: Superposición

Nota 1: el asumir la temperatura de encapsulado como constante en rigor es un error, pero lo que se asume en realidad es que sus variaciones son despreciables frente a las variaciones de la temperatura de junta.

Nota 2: el asumir que la temperatura de encapsulado es constante implica un error mayor que asumir que la temperatura del disipador es constante.

Anteriormente, la mayoría de las hojas de datos daban el valor de la Impedancia Térmica Transitoria en forma de curva, la cual es difícil de leer para tiempos cortos que son los que aparecen en general. En las hojas de datos de componentes

mas modernos, se dan los coeficientes  $k_i$  y  $\tau_i$  (Thermal Impedance Coefficients) para una expresión analítica de la curva del tipo:<sup>5</sup>

$$Z_{\theta}(t) = \sum_i k_i (1 - e^{-\frac{t}{\tau_i}}) \quad (3.57)$$

El fabricante da el dato de la Impedancia Térmica Transitoria para un escalón de potencia. Si se tiene una evolución de la potencia como se muestra en la figura 3.51, se calcula la variación de temperatura suponiendo un pulso rectangular con el mismo valor máximo que la curva ( $P_{max}$ ) y con una duración tal que la integral del pulso coincida con la integral de la curva de potencia original.

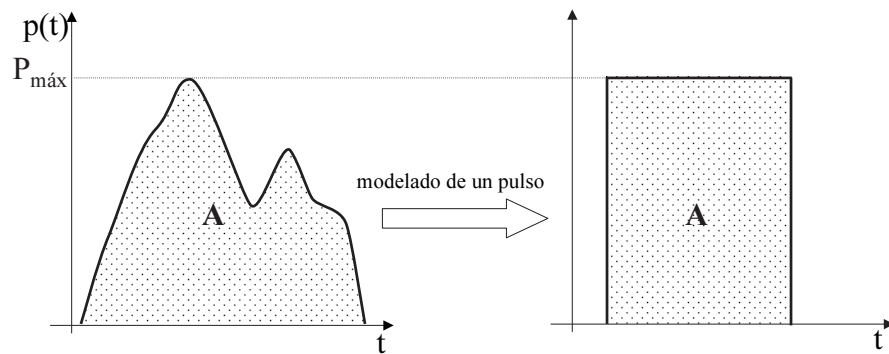


Figura 3.51: Modelado de un pulso

### 3.9.5. Cálculo de la temperatura instantánea en régimen estacionario

En un convertidor funcionando en régimen estacionario la potencia disipada en las llaves semiconductoras suele ser una onda periódica, que puede sustituirse por un tren de pulsos rectangulares de acuerdo a lo anterior (en un puente de tiristores funcionando en régimen con corriente continua de salida lisa y red de alterna fuerte la potencia es efectivamente un tren de pulsos rectangulares).

La temperatura instantánea de junta evolucionará también como una onda periódica según la figura 3.52

Su valor instantáneo podría ser calculado mediante una suma de curvas de temperatura producidas por infinitos pulsos de potencia desfasados consecutivamente un tiempo  $T$ .

Este cálculo converge rápidamente al valor buscado con un error muy pequeño frente a los errores inherentes a las aproximaciones del modelo. La figura 3.53 muestra una forma aproximada de calcular la temperatura instantánea de una junta en la cual se genera un tren de pulsos de potencia estacionario. La figura 3.53 a) muestra la evolución real de la temperatura. En la figura 3.53 b)

<sup>5</sup>ver hoja de datos del tiristor *MCD250* en [www.ixys.com](http://www.ixys.com)

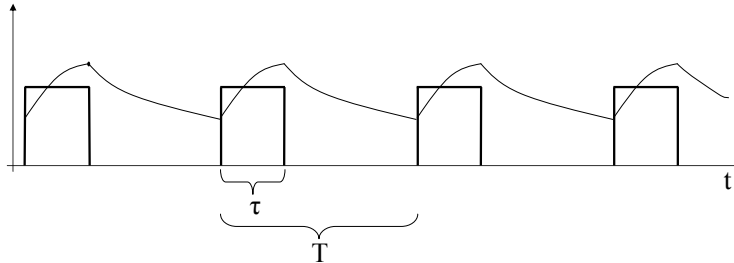


Figura 3.52: Evolución de la temperatura de junta

se sustituye todos los pulsos anterior al instante  $t_0$  por una potencia constante igual a la potencia media, que cause una temperatura de junta  $T_j$  constante de valor  $\langle T_j \rangle$ . Sumando las contribuciones de dos pulsos se obtiene una buena aproximación de la temperatura de junta después de los mismos. Por lo tanto si se quiere calcular la temperatura en un instante cualquiera se realiza el cálculo substituyendo los pulsos anteriores a los dos últimos pulsos enteros por una potencia constante (igual a la potencia media), la cual se toma como valor inicial para el cálculo. El valor obtenido es una buena aproximación del valor instantáneo

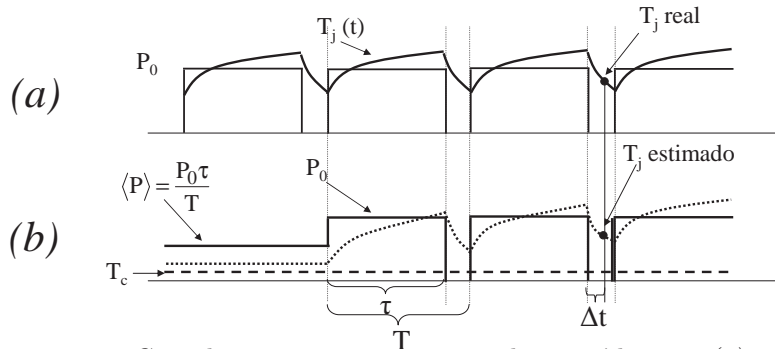


Figura 3.53: Consideraciones para una onda periódica - (a) pulsos de potencia estacionarios y temperatura de junta - (b) cálculo aproximado de la temperatura un tiempo  $\Delta t$  luego de la finalización de un pulso individual

Si se dispone de la curva o la expresión  $Z_{\theta_{jc}}(t)$ , se considera  $T_c$  constante.

Si se desea calcular la temperatura un instante luego de un pulso se substituyen los pulsos anteriores a los dos últimos por una potencia constante.

$$\Delta T_{jc}(t) = T_j(t) - T_c \quad (3.58)$$

$$\Delta T_{jc}(t) \approx \langle P \rangle R_{\theta_{jc}} + (P_0 - \langle P \rangle) Z_{\theta_{jc}}(\Delta t + T + \tau) - P_0 Z_{\theta_{jc}}(\Delta t + T) + P_0 Z_{\theta_{jc}}(\Delta t + \tau) - P_0 Z_{\theta_{jc}}(\Delta t) \quad (3.59)$$

---

Observación: No debe confundirse los tramos de la curva de temperatura con la curva  $Z(t)$  para un escalón. Los tramos son, como se indicó, suma de infinitas curvas desfasadas un período  $T$  entre sí.

## Capítulo 4

# Llaves completamente controlables mediante electrodo de comando

### 4.1. Introducción

En los convertidores de potencia implementados con tiristores como llaves basta con determinar el momento de encendido de cada dispositivo. El apagado se produce al llevar la corriente de carga a cero, ya sea por una disminución de la carga o por el encendido de otro tiristor que, de acuerdo a las condiciones del circuito, toma la corriente de carga del primer tiristor, que naturalmente se apaga. Este proceso está descrito en el capítulo 3 y es típico en los convertidores alimentados con tensión alterna que además basan su funcionamiento en las inversiones de polaridad de la misma (convertidores conmutados por la red de *CA*)

Los convertidores que funcionan a partir de fuentes de tensión continua (inversores, convertidores *DCDC*) requieren por el contrario llaves electrónicas capaces de cortar una corriente distinta de cero en el instante conveniente para la operación del circuito. El electrodo de comando (como el gate del tiristor) debe poder ser utilizado para este propósito. Llamaremos a estos dispositivos llaves completamente controlables mediante electrodo de comando o simplemente "llaves apagables".

### 4.2. Llave apagable básica

En prácticamente todos los convertidores prácticos la llave empleada tiene las siguientes características básicas:

- 1) Tres conexiones o electrodos, dos de potencia y uno de comando.
- 2) Capacidad de bloqueo de la tensión continua de trabajo del convertidor con una sola polaridad, que llamamos positiva y que define los electrodos de potencia como positivo y negativo.
- 3) Corriente controlable en un solo sentido que definimos como positivo, y que coincide con el sentido de positivo a negativo definido por la capacidad de

bloqueo de tensión del dispositivo. La corriente circulando en este sentido puede prenderse y apagarse mediante el electrodo de comando.

4) Conducción no controlada en sentido inverso. El dispositivo polarizado en el sentido inverso al de bloqueo de tensión se comporta como un diodo. Este diodo puede existir por una característica intrínseca de la estructura del dispositivo o puede conectarse en forma externa.

5) Señal de comando aplicada entre el electrodo de comando y el electrodo negativo.

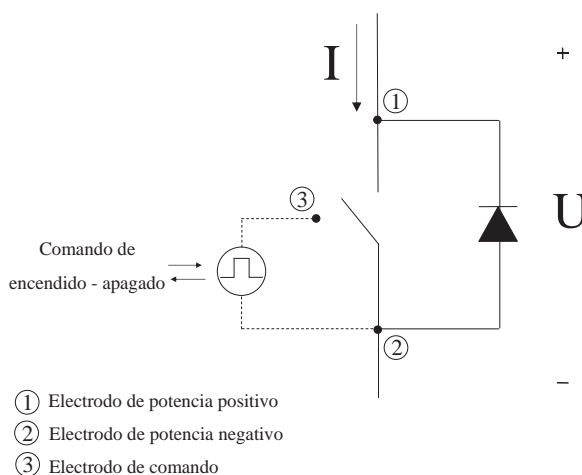


Figura 4.1: Llave apagable básica

### 4.3. Conmutación con carga inductiva limitada en tensión

La carga cuya corriente debe ser controlada por la llave apagable es, en casi la totalidad de las aplicaciones, lo que se llama "carga inductiva limitada en tensión por una fuente de tensión de impedancia interna cero". La expresión en inglés es "clamped inductive load". En este texto, exclusivamente por comodidad y sin pretender que sea idiomáticamente correcta, utilizaremos la expresión "carga inductiva clampeada" para referirnos a este tipo de carga. Su caracterización se presenta mediante dos configuraciones de convertidores usuales.

#### 1. Inversor de salida sinusoidal

Consideremos la rama de inversor controlado por PWM (pulse width modulation) de la figura 4.2. En gran parte de las aplicaciones, como por ejemplo alimentación controlada de motores de inducción o generación de tensión alterna sinusoidal para energía eléctrica auxiliar (UPS de salida sinusoidal) la carga del inversor puede modelarse en cada fase como una inductancia en serie seguida de una FEM sinusoidal (la fem del motor o la tensión de salida del inversor sobre

un condensador de filtro). La llave 1 se prende y apaga un número de veces relacionado con el número de armónicos eliminados o atenuados. La corriente es prácticamente una senoide de la frecuencia fundamental de la tensión a generar con un rizado superpuesto de la frecuencia base para el PWM utilizado. Por lo tanto la corriente no cambia de sentido durante el prendido y apagado de las llaves. Incluso, si la frecuencia base del PWM es mucho mayor que la de la fundamental de la tensión de salida generada, podemos suponer que la corriente cambia muy poco entre un encendido y un apagado consecutivos de la llave . Normalmente la frecuencia base es entre 20 y 1000 veces la fundamental, lo cual justifica la suposición.

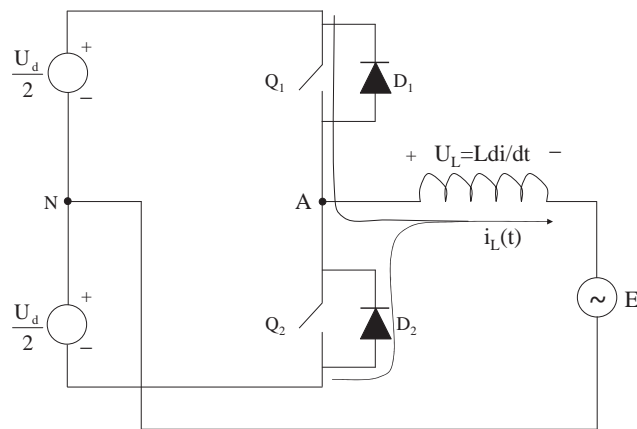


Figura 4.2: Rama de inversor PWM con carga inductiva - Esquema

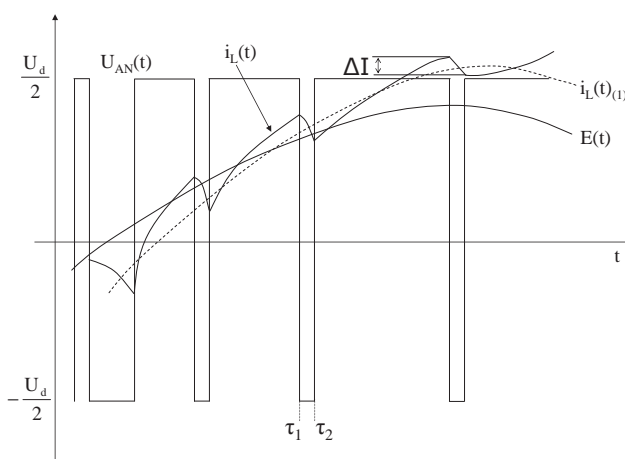


Figura 4.3: Rama de inversor PWM con carga inductiva - Formas de onda de tensión y corriente

Analicemos el comportamiento de las llaves alrededor de los instantes  $\tau_1$  y  $\tau_2$ . Antes de  $\tau_1$  la llave  $Q_1$  está prendida y la corriente  $i_L$  tiene el sentido positivo indicado en la figura 4.2, es decir, saliente del punto  $A$ . La corriente está circulando por  $Q_1$ . En  $t_1$  se genera el comando de apagado de  $Q_1$  y el de prendido para  $Q_2$ . Como el sentido de la corriente no cambia (lo mantiene la  $L$ ) la corriente sigue circulando enteramente por  $Q_1$ , porque no tiene otro camino.  $Q_1$  se está apagando y por lo tanto se está creando una tensión rápidamente creciente entre sus bornes de potencia, la tensión de bloqueo. Cuando esta tensión llega a algo más de  $U_d$ , el potencial del punto  $A$  llega a un valor por debajo de  $-U_d/2$  y el diodo  $D_2$  se polariza en directo. En ese momento se produce la conmutación de la corriente de salida de  $Q_1$  a  $D_2$ ; a partir de allí toda la corriente pasa por  $D_2$ .

Se concluye que:

**I. Al apagarse, la llave  $Q_1$  mantiene toda la corriente de carga hasta alcanzar la tensión final de bloqueo ( $U_d$ ) impuesta por el circuito.**

En el instante  $\tau_2$  se prende nuevamente  $Q_1$ . La corriente de carga mantiene el sentido. La tensión sobre la llave es  $U_d$ . La llave está polarizada en directo y empieza a conducir tomando la corriente del diodo  $D_2$ . Recién cuando toda la corriente pasa de  $D_2$  a  $Q_1$  el diodo se polariza en inverso y el potencial de  $A$  sube hasta que la tensión inversa del diodo llega prácticamente a  $U_d$ . La tensión sobre  $Q_1$  baja al valor de conducción.

Se concluye que:

**II. Al prenderse, la tensión sobre  $Q_1$  se mantiene en el valor de bloqueo impuesto por el circuito (en este caso  $U_d$ ) hasta que la corriente de carga circula totalmente sobre la llave.**

Tanto en el encendido como en el apagado la tensión sobre la llave y la corriente sobre la misma llegan simultáneamente a sus valores máximos impuestos por el circuito. El comportamiento sintetizado en *I.* y *II.* corresponde a lo que llamaremos una carga inductiva clampeada.

## 2. Convertidor DCDC tipo boost.

La figura 4.4 representa un convertidor *DCDC* tipo "boost" o chopper elevador. La llave controlable se prende y apaga con un período  $T$ . Convierte una tensión  $U_d$  en una tensión mayor  $U_o$ , controlada por el ciclo de trabajo  $\delta = (\text{tiempo de conducción de } Q \text{ en cada período}) / (\text{Período } T)$

La corriente de entrada  $i_L(t)$  circula por la llave encendida un tiempo  $\tau$ . Al recibir el comando de apagado la tensión  $U_A$  crece, pero la corriente mantenida por la inductancia sigue circulando enteramente por  $Q$ . Recién cuando la tensión  $U_A$  llega a algo más de la tensión de salida  $U_o$  el diodo se polariza en directo y se produce la conmutación de la corriente de  $Q$  a  $D$ . Cuando  $Q$  vuelve a prender, comienza la conmutación de corriente de  $D$  a  $Q$ . La corriente por la llave crece, pero la tensión se mantiene en  $U_o$  mientras haya corriente por el diodo. Recién



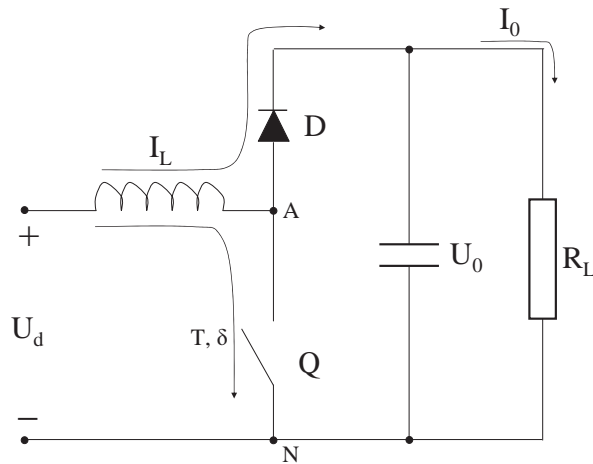


Figura 4.4: Convertidor DCDC tipo "boost" - Esquema

cuando la corriente del diodo se anula y toda la corriente  $i_L(t)$  circula por  $Q$ , el diodo se polariza en inverso y la tensión  $U_A$  sobre  $Q$  cae al valor de conducción. Aquí también, tanto en el encendido como en el apagado, hay un instante en la conmutación en que la llave conduce la totalidad de la corriente teniendo entre sus electrodos de potencia la tensión que debe bloquear de acuerdo al circuito externo.

La mayor parte de las llaves apagables de los convertidores trabajan con este tipo de carga, por lo tanto, para estudiar el funcionamiento de llaves apagables por electrodo de comando reales, alcanza con emplear el modelo de la figura 4.6

#### 4.4. Formas de onda y potencia disipada en la llave. Relación con "Ratings" y "Características"

Las tensiones de bloqueo y las corrientes de conducción en las llaves reales están limitadas por valores llamados "ratings" en las hojas de datos, valores que dependen del uso y de diversas condiciones. Existen además dos limitaciones importantes relacionadas con la conmutación: *la temperatura*, que depende de la potencia disipada en el dispositivo y *la zona de operación segura*, que comprende los puntos en un diagrama Corriente-Tensión en los cuales el dispositivo puede funcionar en forma permanente o transitoria sin dañarse. La característica principal de la conmutación inductiva clampeada es la ocurrencia simultánea de tensiones y corrientes máximas de acuerdo al circuito, lo cual sugiere por un lado una contribución adicional a la potencia disipada, y por otro puntos de trabajo cercanos a los límites de la zona de operación segura.

El comportamiento en conducción, corte y en las transiciones se describe mediante parámetros denominados características, como los tiempos de prendido y apagado, la caída de tensión en conducción y la corriente de fugas en estado de bloqueo, parámetros que definen las formas de onda de conmutación y la potencia disipada y por lo tanto determinan el grado de aproximación a una llave ideal logrado por el dispositivo real.

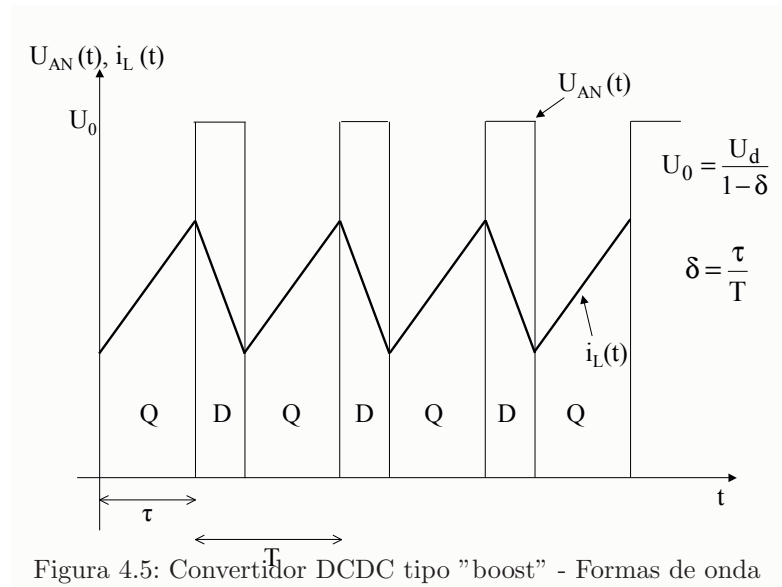


Figura 4.5: Convertidor DCDC tipo "boost" - Formas de onda

#### 4.4.1. Formas de onda

Estudiaremos la conmutación en el circuito de la figura 4.6. La llave se abre y cierra según un comando periódico de período  $T$ . El tiempo de conducción es  $\delta T$ , siendo  $\delta$  el ciclo de trabajo con  $0 < \delta < 1$ .  $E$  representa una fuente de tensión o un condensador de valor suficientemente grande como para mantener una tensión fija con impedancia interna muy baja.

En la figura 4.7 se presentan en forma esquemática las formas de onda de la corriente y la tensión en la llave durante el encendido y el apagado.

En la primera parte de la figura 4.7, la llave está apagada por lo que la corriente que circula por la misma es nula y la tensión que tiene aplicada en bornes de potencia es  $E$ . La corriente circula por el diodo  $D$ .

Cuando se da la orden de encendido de la llave, comienza a aumentar la corriente que circula por la misma y a disminuir la que circula por el diodo. Este último permanecerá conduciendo hasta que su corriente se anule y se polarice en inverso. A partir de este momento, la corriente  $I$  circula totalmente por la llave, la cual tiene una caída de tensión en conducción que está expresada en la figura 4.7 como  $U_{cond}$ .

En este modelo la llave soporta tensión máxima y corriente máxima simultáneamente en los instantes  $\tau_1$  y  $\tau_2$ , lo cual es característico de la carga inductiva clampeada.

La parte más a la derecha de esta figura representa el proceso del apagado de la llave. Una vez dada la señal para el apagado la tensión sobre la llave comienza a aumentar. Cuando llega al valor  $E$  el diodo se polariza en directo y se produce la conmutación de la corriente de la llave al diodo.

En realidad la tensión debe llegar a un valor  $E + U_F$ , siendo  $U_F$  la caída de tensión del diodo en conducción.

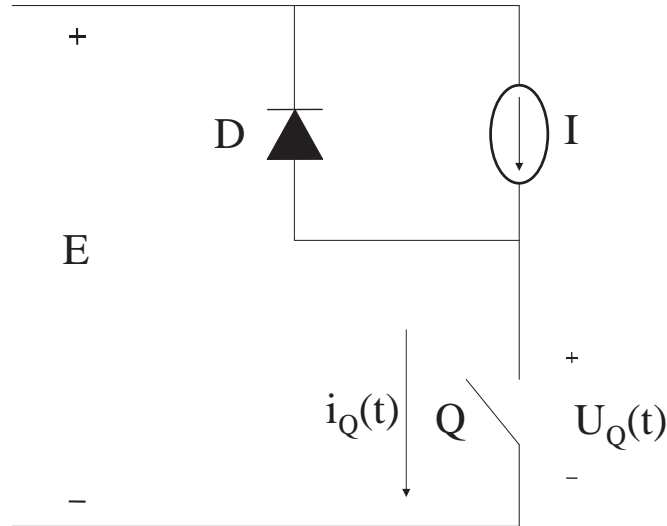


Figura 4.6: Circuito de conmutación con carga inductiva clampeada

#### 4.4.2. Potencia disipada

Una de las diferencias fundamentales entre la llave ideal y la llave real es que la llave real disipa potencia en forma de calor. Las formas de onda del modelo nos permiten realizar un cálculo aproximado de la potencia disipada.

La potencia instantánea disipada es  $p(t) = u_Q(t) \cdot i_Q(t)$ , función periódica con período  $T$ .

La potencia media es la integral de esta expresión en un período (energía disipada) multiplicada por la frecuencia. Suponemos  $U_{cond} \ll E$  y  $t_{on}, t_{off} \ll \delta T$ . En estas condiciones podemos considerar la energía disipada en un período como la suma de las energías disipadas en el encendido, en el apagado, en conducción y en corte.

La energía disipada en estado de corte consiste en la corriente de fugas multiplicada por la tensión bloqueada, y a efectos prácticos puede considerarse nula.

Pérdidas (energía disipada) en el encendido:

$$W_{ON} = \int_0^{t_{ri}} \left[ \frac{E \cdot I \cdot \eta}{t_{ri}} \right] d\eta + \int_{t_{ri}}^{t_{ri}+t_{fv}} \left[ I \cdot \left( E - \frac{E(\eta - t_{ri})}{t_{fv}} \right) \right] d\eta \quad (4.1)$$

$$W_{ON} = \frac{1}{2} E \cdot I \cdot t_{ri} + \frac{1}{2} E \cdot I \cdot t_{fv} = \frac{1}{2} E \cdot I (t_{ri} + t_{fv}) = \frac{1}{2} E \cdot I \cdot t_{on} \quad (4.2)$$

donde  $t_{ri}, t_{fv}$  son los tiempos de subida de la corriente y de bajada de la tensión, respectivamente. ( $t_{on} = t_{ri} + t_{fv}$ )

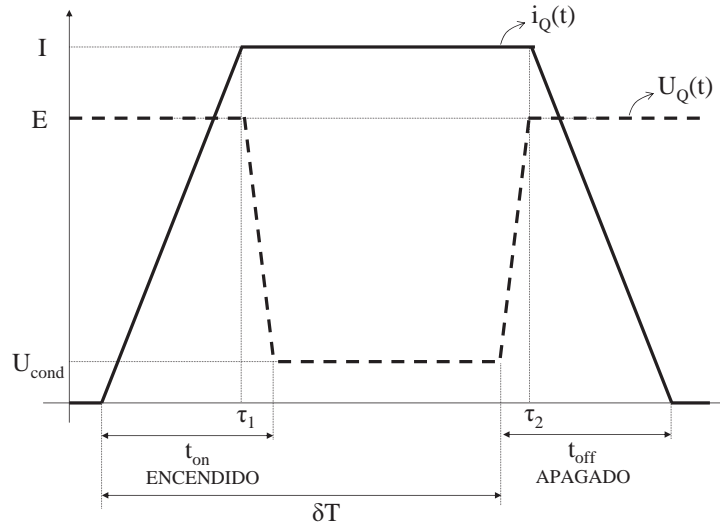


Figura 4.7: Formas de onda en la conmutación

Pérdidas en el apagado:

$$W_{OFF} = \int_0^{t_{rv}} \left[ \frac{E \cdot I \cdot \eta}{t_{rv}} \right] d\eta + \int_{t_{rv}}^{t_{rv} + t_{fi}} \left[ E \cdot \left( I - \frac{I(\eta - t_{rv})}{t_{fi}} \right) \right] d\eta \quad (4.3)$$

$$W_{OFF} = \frac{1}{2} E \cdot I \cdot t_{rv} + \frac{1}{2} E \cdot I \cdot t_{fi} = \frac{1}{2} E \cdot I (t_{rv} + t_{fi}) = \frac{1}{2} E \cdot I \cdot t_{off} \quad (4.4)$$

donde  $t_{rv}$ ,  $t_{fi}$  son los tiempos de subida de la tensión y de bajada de la corriente respectivamente ( $t_{off} = t_{rv} + t_{fi}$ ).

Pérdidas en conducción:

$$W_{COND} = U_{cond} \cdot I \cdot \delta T \quad (4.5)$$

Sumando las energías y multiplicando por la frecuencia se obtiene la ecuación 4.6 que expresa la potencia total disipada.

$$P = \frac{1}{2} E I t_{on} f + \frac{1}{2} E I t_{off} f + U_{cond} I \delta T f \quad (4.6)$$

es evidente que en el último término de la ecuación 4.6  $Tf = 1$

La figura 4.8 muestra la potencia instantánea disipada en la llave.

La expresión de la potencia permite identificar los parámetros que caracterizan una llave real y tener un criterio para la selección de la llave apropiada para cada aplicación. En aplicaciones de baja frecuencia se buscará un dispositivo con baja caída de tensión de conducción, tratándose de que se cumpla que  $U_{cond} \ll E$ . En frecuencias altas se elegirán llaves tales que  $t_{on}$  y  $t_{off} \ll \delta T$ .

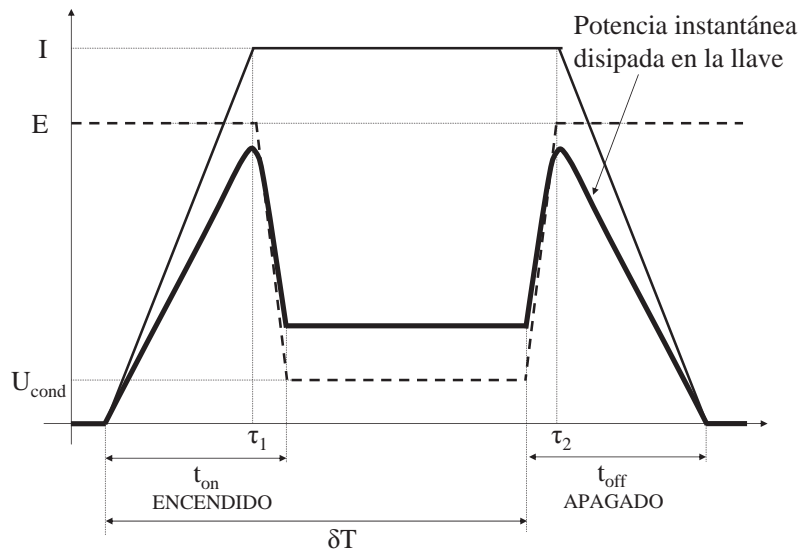


Figura 4.8: Potencia y formas de onda en la conmutación

#### 4.4.3. Trayectorias de encendido y apagado

Es útil representar el proceso de encendido y apagado en un diagrama tensión - corriente. Usualmente se representa con la corriente en las ordenadas y la tensión en las abscisas. Las trayectorias se muestran en la figura 4.9. Se muestra además la trayectoria con una carga puramente resistiva.

En el mismo diagrama pueden representarse los valores de corriente y tensión que el dispositivo puede soportar sin daños, y que definen lo que se llama zona de operación segura del dispositivo, que abreviamos como *SOA* (safe operating area). Los límites de esta zona varían con la temperatura y eventualmente con el tiempo en que el dispositivo permanece en un estado, usualmente en forma no repetitiva. En algunas casos los límites son distintos para el encendido y para el apagado.

#### 4.4.4. Sobretensiones y sobrecorrientes en la conmutación inductiva clampeada

En principio basta elegir el dispositivo a emplear o los valores máximos de tensión y corriente de la aplicación de manera que las trayectorias de conmutación queden dentro de la *SOA*. En la práctica se deben considerar sin embargo otros factores. En primer lugar se debe tener en cuenta que la disipación en el encendido y el apagado es mayor cuanto más alejadas de los ejes estén las trayectorias correspondientes. Esta disipación puede ser la dominante en equipos que trabajan a frecuencias muy altas, como inversores *PWM* o convertidores *DCDC*.

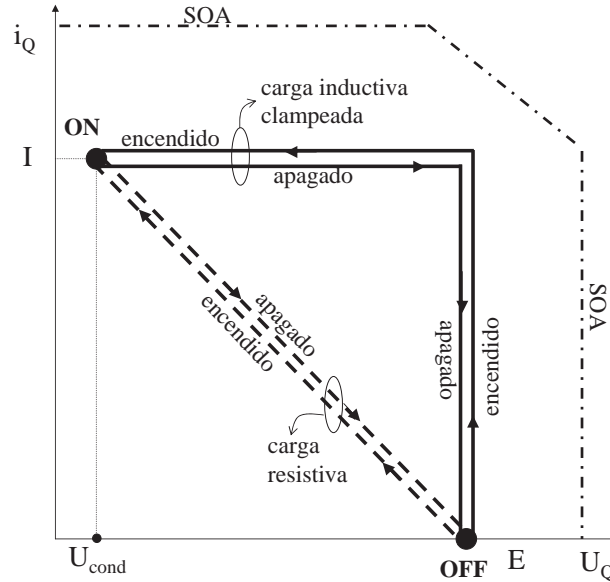


Figura 4.9: Trayectorias

En segundo lugar las trayectorias pueden apartarse fuertemente de la forma "rectangular" de la figura 4.9.

### Sobrecorriente en el encendido

Supongamos que en la figura 4.6 que representa el modelo utilizado para estudiar la conmutación inductiva clampeada tenemos un diodo real. Cuando en el encendido la corriente por la llave llega al valor  $I$  de la fuente de corriente la corriente del diodo se anula. Como se trata de un diodo real, los portadores almacenados mantienen la conducción y al igual que en un tiristor empieza a circular la corriente de recuperación inversa que, si bien en un diodo rápido como el que se usa en estas aplicaciones tiene muy corta duración (entre decenas y centenas de  $ns$ ), puede tener valores de pico  $I_{RM}$  del orden de la corriente de carga. Por lo tanto la corriente máxima por la llave en el encendido puede llegar a

$$I_{Q_{pico}} \approx I + I_{RM} \quad (4.7)$$

Valor que puede hacer que la trayectoria salga de la zona de operación segura.

### Sobretensión en el apagado

Consideremos la figura 4.10. Representa el modelo utilizado para estudiar la conmutación inductiva clampeada, pero en el que se toma en cuenta la

inductancia parásita de todos los conductores en serie con la llave, representada por  $L_\lambda$ .

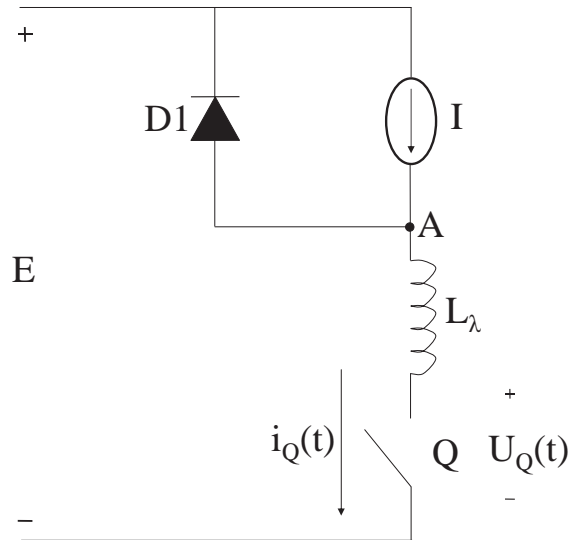


Figura 4.10: Llave con inductancia parásita serie

En el encendido la inductancia retrasa algo la subida de la corriente con respecto a la bajada de la tensión debido a la tensión adicional  $L_\lambda di/dt$  que tiende a bajar la tensión sobre la llave con corriente creciente.

En el apagado, la corriente baja con el diodo en conducción, por lo tanto la tensión en el punto  $A$  se mantiene en un valor  $U_A \approx E + V_\gamma$ . La corriente rápidamente descendente genera en la inductancia parásita una tensión  $\Delta U_L \approx L_\lambda \cdot I/t_{fi}$ . La tensión máxima sobre la llave llega a

$$U_{Q_{pico}} \approx E + U_F + \Delta U_L \quad (4.8)$$

Llamamos  $U_F$  a la caída de tensión del diodo en conducción, considerada constante para simplificar el análisis.

*Ejemplo:* El convertidor Boost de la figura 4.4 tiene una tensión de salida de 100 V. La llave tiene un tiempo de caída de corriente en el apagado de 35 ns. Los conductores en serie con la llave tienen una inductancia serie de 100 nH (correspondiente a unos 10 cm de conductor por ejemplo en circuito impreso). Estimar la tensión sobre la llave si en el momento del apagado circulan 20 A por la misma.

$$U_{Q_{pico}} \approx 100V + 100nH * 20A/35ns = 157V \quad (4.9)$$

En las figuras 4.11 y 4.12 se representan las trayectorias de la conmutación inductiva clampeada tomando en cuenta la recuperación inversa del diodo y la inductancia parásita en serie con la llave.

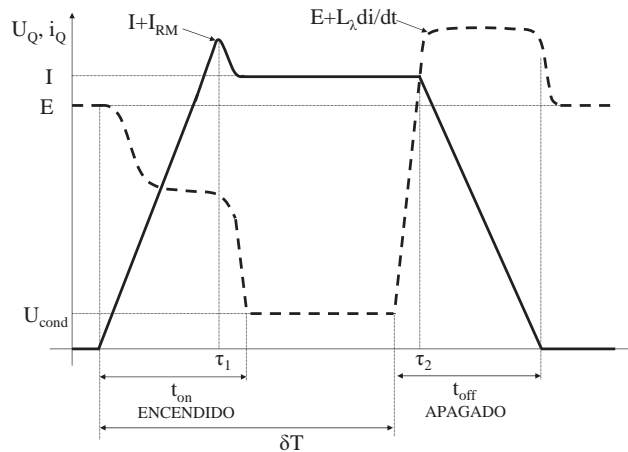


Figura 4.11: Formas de onda del circuito de la figura 4.10 considerando un diodo real

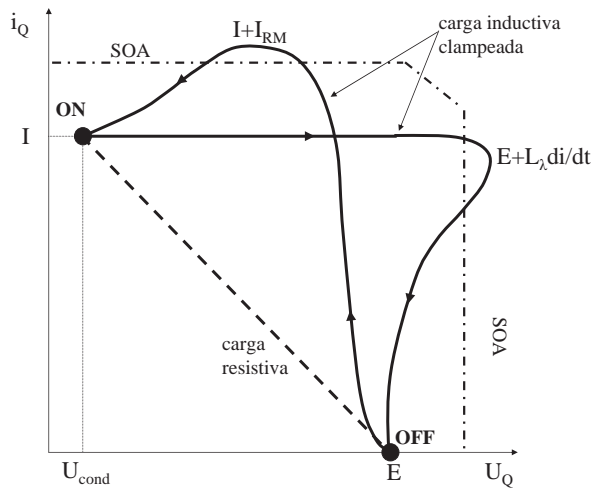


Figura 4.12: Formas de onda del circuito de la figura 4.10 considerando un diodo real

Cuando el diodo se apaga y pasa a bloqueo inverso, también está expuesto a sobretensiones causadas por la corriente de recuperación inversa y su efecto sobre las eventuales inductancias parásitas en serie con el diodo.



### Sobretensiones debidas a resonancias parásitas

Debido a su estructura, los diodos, tiristores y llaves apagables tienen capacidades entre los tres electrodos de conexión (los dos de potencia y el de comando). Las conmutaciones excitan circuitos resonantes parásitos como el formado por las inductancias parásitas del circuito y la capacidad entre los electrodos de potencia de la llave, muchas veces llamada capacidad de salida. Las resonancias producen fundamentalmente sobretensiones en el apagado, con oscilaciones de muy alta frecuencia y amplitud que puede exceder largamente el valor debido a  $L_{\lambda} di/dt$ .

## 4.5. Circuitos de ayuda a la conmutación ("snubbers")

En un circuito práctico con componentes reales interesa modificar las formas de onda de corriente y tensión características de la conmutación inductiva clampeada. Hay dos objetivos básicos:

a) Mantener los puntos de operación dentro de la zona de operación segura, limitando sobretensiones y sobrecorrientes.

b) Disminuir la disipación de potencia en la llave durante la conmutación evitando que valores altos de tensión y corriente ocurran simultáneamente.

Para cumplir con estos objetivos se usan circuitos de 4 tipos básicos:

- Amortiguador de oscilaciones, generalmente basado en un condensador en serie con una resistencia.
- Limitador del valor máximo de pendiente de subida de la corriente sobre la llave durante el encendido. A este circuito se le llama **circuito de ayuda al encendido o "snubber de encendido"**.
- Limitador del valor máximo de tensión sobre la llave. A este circuito se le suele llamar **"clamp" de tensión**
- Limitador del valor máximo de la pendiente de subida de la tensión sobre la llave durante el apagado. A este circuito se le llama **circuito de ayuda al apagado o "snubber de apagado"**.

En lo que sigue se presentan las implementaciones básicas de estos circuitos y se analiza con cierto detalle el circuito de ayuda al apagado

### 4.5.1. Circuito RC de amortiguación de oscilaciones.

El circuito *RC* de amortiguación de oscilaciones se muestra en la figura 4.13. En esta figura se muestra además la capacidad parásita de salida, que es una característica de la llave, y la inductancia parásita del circuito cuyas sobretensiones no son limitadas por el diodo *D*. La oscilación de la tensión durante la conmutación, que produce sobretensiones elevadas por encima del valor *E*, se debe fundamentalmente a resonancias entre estos componentes parásitos. El circuito *RC* debe ser dimensionado de tal forma que elimine o atenúe las sobretensiones con un mínimo de disipación de energía en la resistencia.

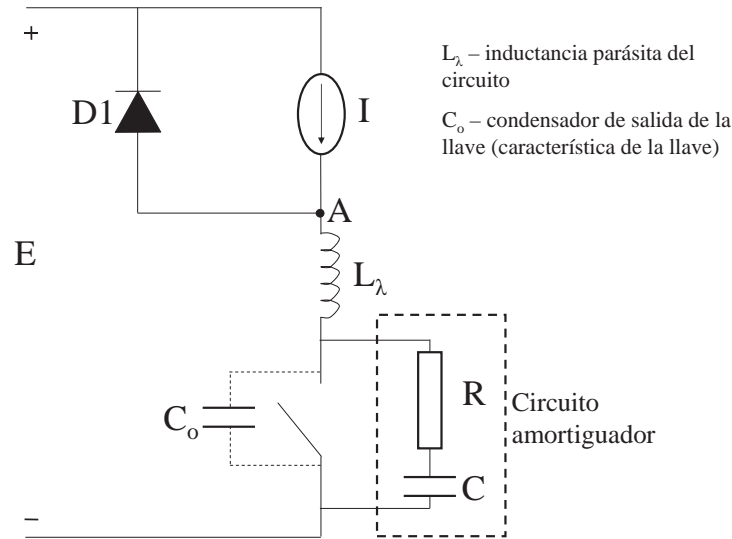


Figura 4.13: Circuito RC

En general es difícil calcular los valores de  $RC$  y debe hacerse un ajuste experimental a partir de la estimación de los valores de los componentes que producen la resonancia. La capacidad de salida de la llave está generalmente indicada en su hoja de datos. La inductancia puede estimarse analizando los conductores, midiendo la frecuencia de oscilación sin snubber a tensión reducida en un prototipo, o calculando la inductancia de fugas de transformadores presentes.

A continuación se enumeran algunas reglas de diseño dadas por fabricantes de componentes (Todd 1994):

- El condensador debe ser lo suficientemente grande como para limitar la frecuencia de la oscilación, pero no debe tener un valor demasiado alto, a efectos de limitar la disipación de potencia en la resistencia. Se recomienda empezar el diseño con un valor 2 a 4 veces mayor que la capacidad parásita del componente.
- Se recomienda un valor inicial de la resistencia igual a la impedancia característica del circuito resonante original  $Z_C = (L/C)^{1/2}$ .
- La resistencia debe ser dimensionada para una potencia  $P = 2 * (1/2) * C * V^2 * f$ , siendo  $f$  la frecuencia de funcionamiento y  $V$  la tensión máxima a la que se cargará el condensador. En el circuito de la figura puede tomarse  $V = E$ .

#### 4.5.2. Circuito de ayuda al encendido (turn on snubber)

La función de este circuito consiste en retrasar la subida de la corriente en el encendido, disminuyendo su pendiente. Una implementación común consiste en una inductancia en serie con la llave. Al cerrar la llave la tensión cae sin

necesidad de que corte el diodo y la corriente sube con la pendiente dada por la inductancia hasta que llega a su valor máximo, tomando toda la corriente del diodo. En el apagado esta inductancia produciría una sobretensión inaceptable. El circuito se complementa por lo tanto con una resistencia en serie con un diodo que permite la desmagnetización de la inductancia limitando la sobretensión al valor máximo de la corriente multiplicado por la resistencia. Las figuras 4.14 y 4.15 muestran el funcionamiento en un circuito sin inductancia parásita en serie.

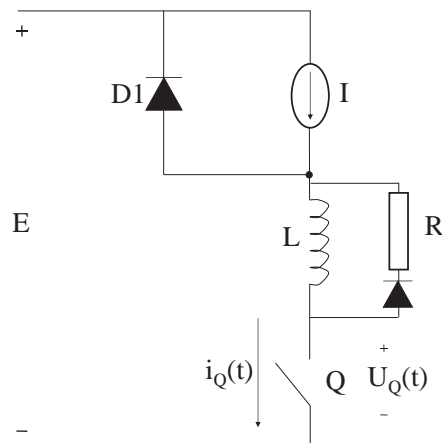


Figura 4.14: Circuito de ayuda al encendido - esquema

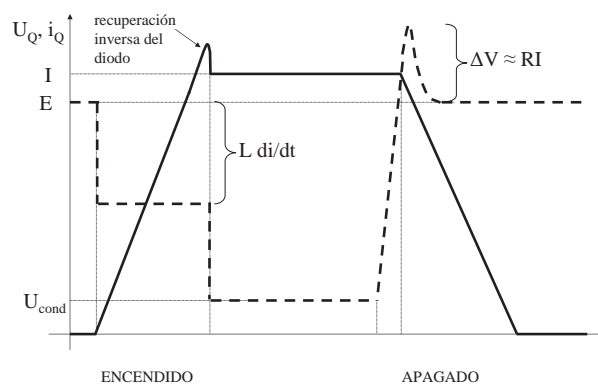


Figura 4.15: Circuito de ayuda al encendido - formas de onda

La potencia disipada en la resistencia será  $P \approx 1/2LI^2f$  siendo  $I$  la corriente de la fuente.

### 4.5.3. Circuito limitador de sobretensión (clamp de sobretensión)

En muchas aplicaciones, para proteger la llave alcanza con limitar las sobretensiones producidas por inductancias parásitas, de manera que las formas de onda durante el apagado se acerquen a las de una conmutación inductiva clampeada ideal. Se asegura que las trayectorias queden dentro de la zona de operación segura. Este procedimiento es aplicable a dispositivos en los cuales una tensión y una corriente del orden de las nominales del circuito aplicadas simultáneamente no crean problemas adicionales a la disipación de potencia, la cual, con un adecuado dimensionado, puede ser manejada por el dispositivo.

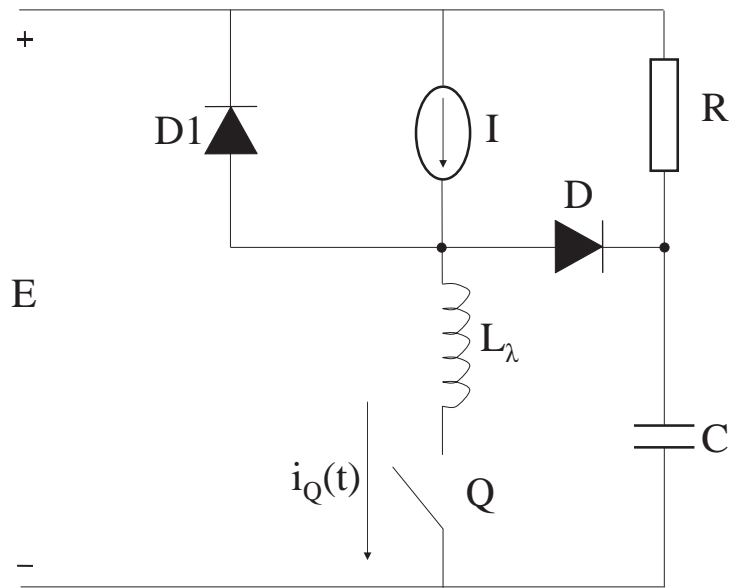


Figura 4.16: "Clamp" de sobretensiones

El condensador está siempre cargado a una tensión de valor  $E$ . En el apagado, cuando la tensión de la llave llega a un valor apenas mayor que  $E$ , la corriente mantenida por la inductancia parásita circula por el diodo hacia el condensador, transfiriéndoles su energía. Dimensionando adecuadamente el condensador puede limitarse la sobretensión. Luego del transitorio de apagado el condensador descarga el exceso de energía a través de la resistencia  $R$ , volviendo al valor  $E$ . El dimensionado se puede realizar estableciendo la sobretensión admisible y utilizando la expresión de la energía almacenada en las inductancias parásitas. (Mohan et al. 1995)

### 4.5.4. Circuito de ayuda al apagado (snubber de apagado)

En la figura 4.12 se puede apreciar que si las curvas de apagado y encendido se parecieran a las del tipo resistivo bajaría la disipación en las transiciones y las trayectorias del punto de operación estarían más alejadas de los límites

de la zona de operación segura, por lo que sería mucho menos probable que la influencia de efectos parásitos hiciera que se operara fuera de dicha zona.

El objetivo del snubber es entonces retrasar la subida de la tensión de manera que comience a subir recién cuando la corriente empieza a bajar, (como sucede con carga resistiva) y disminuir su pendiente de manera que la trayectoria del apagado se acerque al eje horizontal de tensión e incluso, si el diseño lo permite, coincida en parte con el mismo. El circuito se muestra en la figura 4.17. Nota: este circuito no debe confundirse con el limitador de sobretensiones de la figura 4.16.

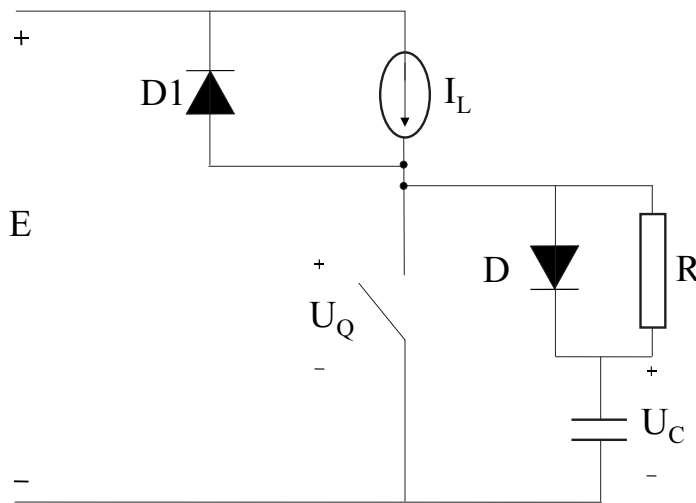


Figura 4.17: Circuito de ayuda al apagado ("turn off snubber")

Antes del apagado la llave está cerrada, y la tensión del condensador es igual a la caída de tensión sobre la llave en conducción, debido a la resistencia que permite su descarga. Se supone en este caso que la llave estuvo cerrada el tiempo suficiente como para que el condensador se haya descargado totalmente a través de la misma y de la resistencia. Simplificaremos el análisis asumiendo que esa tensión es cero. Los diodos se considerarán ideales y se asumirá que en el apagado la corriente cae en forma lineal desde el valor  $I$  hasta cero en un tiempo  $t_f$  (tiempo de caída, fall time).

Al abrirse la llave la tensión  $U_Q$  tiende a subir. Como el condensador está descargado el diodo  $D$  se polariza en directo y empieza a conducir. La corriente  $I$  de la fuente de corriente del modelo, que sin snubber hubiera seguido circulando por la llave, comienza a circular por el diodo cargando el condensador. La tensión  $U_Q$  sobre la llave es prácticamente igual a la tensión  $U_C$  que va tomando el condensador. La corriente por la llave cae con pendiente constante  $I/t_f$  del valor  $I$  hasta cero. Entre 0 y  $t_f$  la corriente por el condensador vale

$$I_C = I - I_Q = I - \left(I - \frac{It}{t_f}\right) = \frac{It}{t_f} \quad (4.10)$$

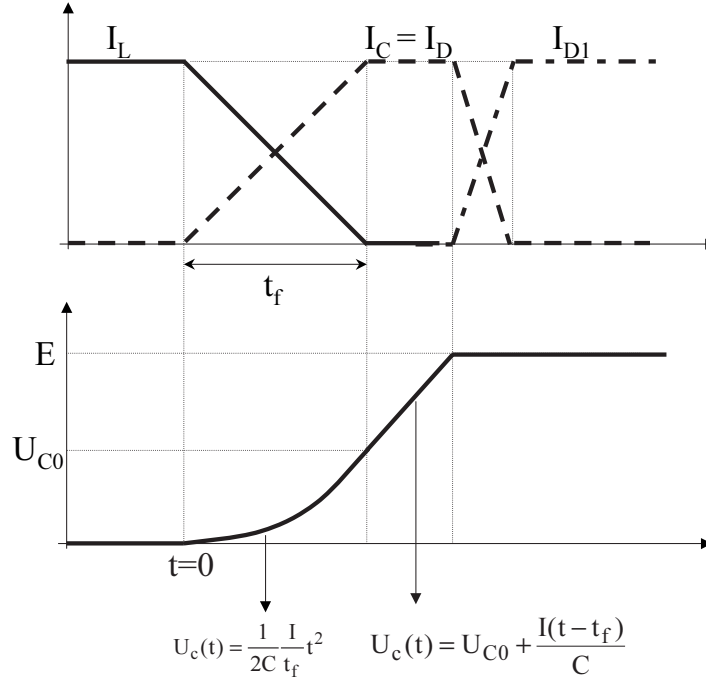


Figura 4.18: Formas de onda en el apagado con snubber

La tensión sobre la llave entre 0 y  $t_f$  es entonces

$$u_Q(t) = u_C(t) = \frac{Q_C(t)}{C} = \frac{1}{C} \int_0^t \frac{I\eta}{t_f} d\eta = \frac{1}{2} \frac{It^2}{Ct_f} \quad (4.11)$$

la tensión sobre la llave aumenta entonces cuadráticamente con el tiempo.

Si el valor de  $C$  es suficientemente grande, en el instante  $t_f$  la tensión del condensador y de la llave llega a un valor  $U_{C0} < E$ . Como la corriente por la llave se anula y el diodo  $D1$  no conduce pues sigue polarizado en inverso (con tensión inversa  $(E - U_{C0})$ ), toda la corriente constante  $I$  va al condensador, que a partir de ese momento se carga linealmente. (figura 4.18)

$$u_Q(t) = u_C(t) = U_{C0} + \frac{\Delta Q_C(t)}{C} = U_{C0} + \frac{I(t - t_f)}{C} \quad (4.12)$$

Cuando la tensión de la llave y del condensador llega a  $E$  (tensión constante) la corriente hacia el condensador se anula circulando a partir de ese momento por el diodo  $D1$ , que se polariza en directo y empieza a conducir, completándose la conmutación de la llave al diodo.

La figura 4.19 muestra la trayectoria de apagado con snubber.

Se obtuvo:

- Menor disipación en la llave al disminuir drásticamente el valor de la tensión durante el tiempo de apagado  $t_f$ .

- Mejor trayectoria, más alejada de los límites de una eventual zona de operación segura.

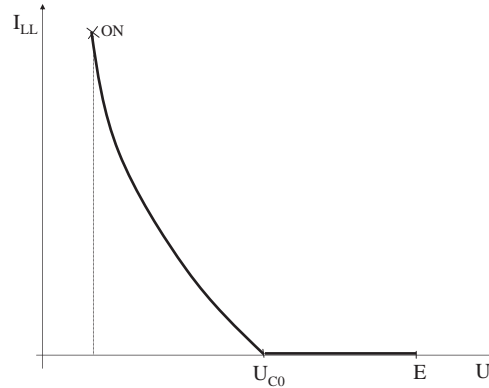


Figura 4.19: Trayectoria con snubber

El funcionamiento del snubber depende de la selección del valor de sus componentes pasivos. El diodo se selecciona de acuerdo a los valores de corriente y tensión previstos. Un criterio para dimensionar el condensador consiste en elegir a qué tensión  $U_Q$  se anula la corriente por la llave. Se elige  $U_{C0}$ . (la performance de un tipo de llaves reales, el *GTO*, depende de cómo se elija este valor)

De acuerdo con 4.11, si en  $t_f$  la tensión sobre el condensador vale  $U_{C0}$ , el valor de la capacidad debe ser

$$C = \frac{1}{2} \frac{t_f I}{U_{C0}} \quad (4.13)$$

A mayor capacidad se tiene menor  $U_{C0}$  y por lo tanto menor disipación y mayor distancia de los límites de la *SOA*.

Para dimensionar la resistencia se debe tener en cuenta su función, que consiste en descargar el condensador a través de la llave en el encendido, de manera que tenga tensión prácticamente cero en el momento del apagado, permitiendo el funcionamiento del snubber. Para su valor en Ohms se deben tener en cuenta dos factores:

1) Mientras la llave está apagada, el valor de la tensión del condensador es  $E$ . Por lo tanto, en el encendido, a la corriente  $I$  que circulará por la llave se le sumará la que se genera por la descarga del condensador, que tendrá un pico de valor  $E/R$  que debe ser acotado convenientemente al elegir  $R$ . En general se trata de que la sobrecorriente sea a lo sumo del orden de la recuperación inversa del diodo  $D1$ , lo cual en diseños usuales lleva a que (Mohan et al. 1995)

$$\frac{E}{R} < 0, 2I \quad (4.14)$$

2) Para un correcto funcionamiento del snubber, el condensador debe poder descargarse durante el tiempo de conducción de la llave, que en general varía en un rango muy amplio en relación al período de funcionamiento impuesto

por la aplicación. Un ejemplo típico es el inversor controlado mediante *PWM*. Un condensador que se descarga a través de una resistencia se puede considerar descargado luego de tres constantes de tiempo. La resistencia debe tener entonces un valor suficientemente bajo como para que se cumpla que

$$3RC < \delta_{min}T \quad (4.15)$$

siendo  $\delta_{min}$  el ciclo de trabajo mínimo y  $T$  el período de funcionamiento de la llave.

Dado que las dos condiciones pueden ser contradictorias ya que por ejemplo el valor mínimo de la primera puede no cumplir la segunda, la determinación del valor de  $R$  es un compromiso que puede llegar a implicar que para períodos de conducción muy cortos el condensador no se descargue totalmente.

El dimensionado completo de la resistencia implica el cálculo de la potencia disipada, que es igual a la energía almacenada en el condensador multiplicada por la frecuencia:

$$P_R = \frac{1}{2}CE^2f \quad (4.16)$$

Las expresiones 4.15 y 4.16 muestran que un valor demasiado alto de  $C$ , si bien mejora las condiciones de operación de la llave, puede ser contraproducente para el funcionamiento general del circuito. En particular puede ser complicado montar una resistencia que disipe demasiada potencia. En muchas aplicaciones es importante además mejorar el rendimiento general del convertidor.

Si disminuimos el valor del condensador aumenta la tensión  $U_{C0}$ . Puede suceder que la tensión del condensador y por lo tanto de la llave llegue al valor  $E$  para  $t < t_f$ , es decir antes de que se anule la corriente por la llave. La figura 4.20 muestra las formas de onda de las corrientes y la tensión para este caso. Se asume que la conmutación entre  $D$  y  $D1$  es prácticamente instantánea.

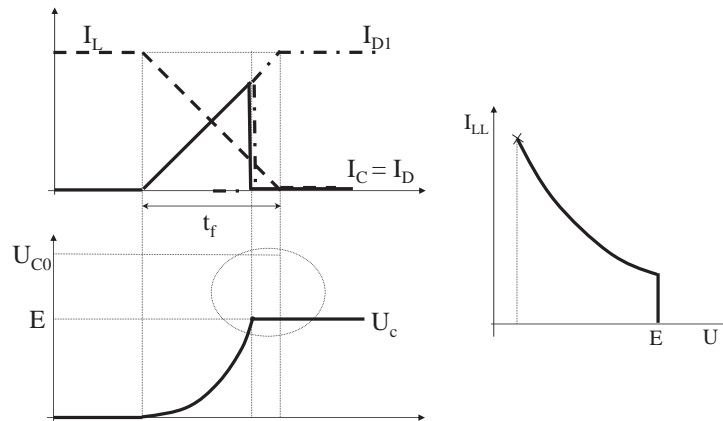


Figura 4.20: Formas de onda cuando  $U_{C0} > E$



La tensión en el condensador nunca llega al valor  $U_{C0}$  correspondiente al valor de su capacidad, pues al alcanzar la tensión  $E$ , la corriente deja de circular por  $D$  y empieza a conducir  $D1$ , que termina la conmutación con la llave conduciendo finalmente toda la corriente de carga.

Se puede calcular un valor  $C = C_1$ , para el cual la corriente por la llave llegue a cero cuando la tensión de la misma llegue al valor  $E$ .

La figura 4.21 muestra las trayectorias para los tres casos.

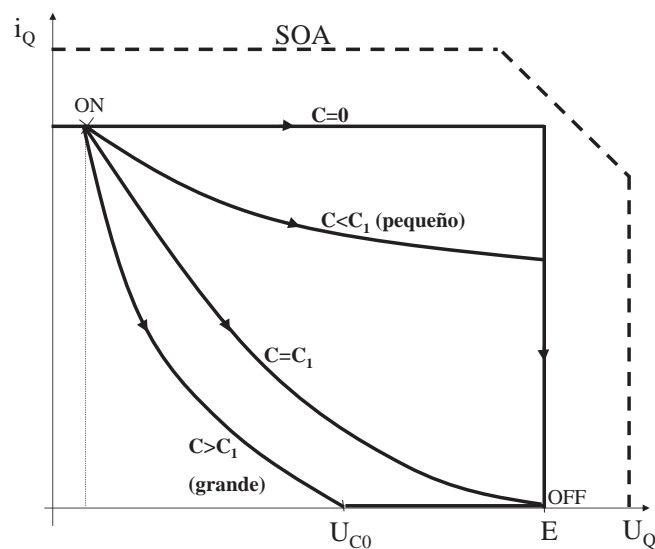


Figura 4.21: Trayectorias durante el apagado para varios valores del condensador del snubber (adaptado de Mohan et al. 1995)

Desde el punto de vista térmico, lo que se logra con el snubber es que parte de las pérdidas de la llave en conmutación inductiva clampeada las disipe una resistencia. Es de interés analizar qué sucede con las pérdidas totales en el apagado. La energía disipada en el apagado sin snubber se estima como  $W_{(C=0)} = 1/2 E \cdot I \cdot t_f$  (energía con  $C$  del snubber igual a cero) y es decreciente con el aumento del condensador. Por otro lado la energía disipada en la resistencia es directamente proporcional al valor del condensador. Si la energía de apagado de la llave decrece lo suficientemente rápido la energía total puede presentar un mínimo. En todo caso queda claro que un valor muy grande de  $C$  disminuye el rendimiento general del dispositivo tomado en su totalidad.

El uso de circuitos de ayuda al apagado está determinado por el tipo de componente y por la aplicación. Componentes que no lo requieren desde el punto de vista de su zona de operación segura pueden necesitarlos para disminuir las pérdidas en una aplicación concreta. En el *GTO* el valor del condensador determina la corriente que el dispositivo es capaz de cortar.

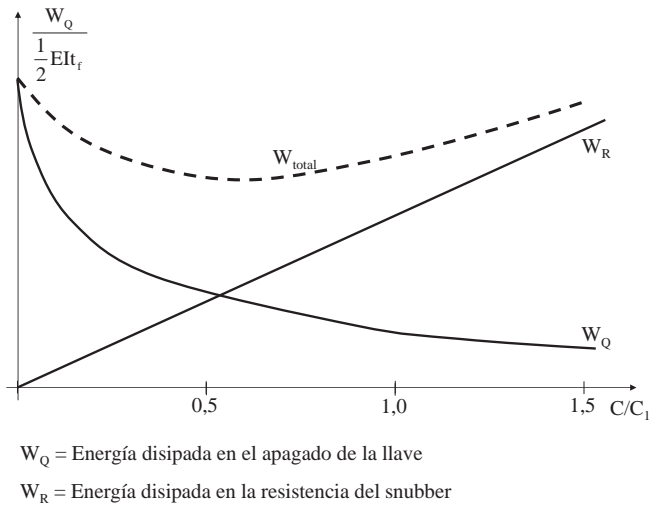


Figura 4.22: Energía de apagado de una llave con snubber en función del valor de la capacidad del snubber (adaptado de Mohan et al. 1995)

#### 4.5.5. Snubbers no disipativos

Las exigencias de mayor rendimiento y mayor densidad de potencia sobre los convertidores han impulsado el desarrollo de snubbers no disipativos. La potencia almacenada en los condensadores necesarios para controlar la tensión durante el apagado no se disipa en este caso en una resistencia, sino que, mediante circuitos pasivos o activos se la almacena transitoriamente en una inductancia a la cual se la desmagnetiza contra una fuente de tensión, que puede ser por ejemplo el condensador de alimentación de entrada de un convertidor por fuente de tensión.

#### 4.5.6. Llaves apagables de uso corriente

Las llaves de uso práctico que se emplean y que se analizarán con cierto detalle son las siguientes.

1. GTO (**G**ate **T**urn **O**ff thyristor) y GCT (**G**ate **C**ontrolled **T**hyristor o **G**ate **C**ommutated **T**hyristor)

Consiste en un tiristor modificado de manera que pueda ser apagado a través del gate. Se modifica la estructura de manera de minimizar la resistencia lateral en la zona del gate. De esta forma se lo puede apagar con una corriente inversa de gate de muy corta duración pero del orden de la corriente de ánodo. Se emplea en inversores de gran potencia. Su capacidad de bloqueo llega a varios miles de V y su capacidad de corriente a varios miles de A. El GCT (de Gate Commutated Thyristor, tiristor conmutado por gate) es una variante del GTO desarrollada para optimizar su funcionamiento y simplificar el diseño de potencia de un convertidor. Consiste esencialmente en un módulo compuesto por un GTO de gate

modificado y estructura general optimizada y un circuito de comando (driver) capaz de generar las corrientes de encendido y apagado correspondientes. Al conjunto de GTO modificado y driver se lo denomina también IGCT (Integrated Gate Commutated Thyristor). El IGCT es un de los dispositivos de elección para implementación de convertidores de alta potencia (cientos de MW) como los utilizados en sistemas FACTS (Flexible AC Transmission Systems)

2. Transistor bipolar BJT (**B**ipolar **J**unction **T**ransistor)

Es una versión modificada del transistor bipolar de potencia que permite bloquear tensiones de hasta 1200 V y conducir corrientes de hasta 600 A. Fue el componente que permitió el desarrollo de convertidores para uso relacionado con la red de baja tensión (220 V, 380 V), tales como fuentes, inversores para *UPS* y para controles de motores y aplicaciones similares, desarrollo que tuvo lugar entre 1970 y 1990. Si bien ha sido desplazado por el *MOSFET* en fuentes y convertidores *DCDC* y por el *IGBT* en inversores de potencia para control de motores y *UPS*, quedando solamente para algunas aplicaciones especiales, muchos conceptos importantes relacionados con las llaves apagables derivan de su desarrollo. Sus características eléctricas básicas de operación son fundamentales para el funcionamiento de los otros dispositivos de conmutación de potencia. Corresponde entonces incluir una presentación de sus aspectos principales.

3. Transistor de efecto de campo metal-óxido-semiconductor MOSFET (**M**etal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor).

Es un transistor *MOS* modificado para funcionar como llave apagable, que se caracteriza por su velocidad de conmutación y su control de gate, más simple que el requerido por los otros dispositivos nombrados. Es el componente de elección para aplicaciones en baja tensión y en potencias de hasta 10 kW, tales como convertidores *DCDC*, inversores desde fuentes de baja tensión y fuentes conmutadas. Los dispositivos disponibles comercialmente bloquean tensiones de más de un kV (dispositivos de algo más de 30 A) y controlan corrientes de hasta algunas centenas de A (dispositivos que bloquean hasta 60 V), con tiempos de conmutación del orden de las decenas de ns.

4. Transistor bipolar de compuerta aislada IGBT (**I**nsulated **G**ate **B**ipolar **T**ransistor)

Es una estructura que combina el *MOSFET* con el *BJT*. Tiene las ventajas de comando de un *MOSFET* aunque no es tan rápido (Sus tiempos de conmutación se miden generalmente en centenas de ns) y tiene además pérdidas en conducción comparables a las de un transistor bipolar, mucho más bajas que las de un *MOSFET*. Bloquea tensiones desde cientos de V a varios kV y controla corrientes de hasta algunos kA. Es el dispositivo de elección para inversores, tanto para los utilizados en control de motores y UPS de todo porte, como para los empleados en transmisión en corriente continua y alta tensión de potencias de hasta cientos de MVA. En estas aplicaciones compite con el *GCT*.



## Capítulo 5

# GTO - GCT

### Resumen

El *GTO* (de **G**ate **T**urn **O**ff thyristor, tiristor apagable por gate) consiste en un tiristor modificado de manera que pueda ser apagado a través del gate. Se modifica la estructura de manera de minimizar la resistencia lateral en la zona del gate. De esta forma se lo puede apagar con una corriente inversa de gate de muy corta duración aunque del orden de la corriente de ánodo. Se emplea en inversores de gran potencia. Su capacidad de bloqueo llega a varios miles de  $V$  y su capacidad de corriente a varios miles de  $A$ . El *GCT* (de **G**ate **C**ommutated Thyristor, tiristor conmutado por gate) es una variante del *GTO* desarrollada para optimizar su funcionamiento y simplificar el diseño de potencia de un convertidor. Consiste esencialmente en un módulo compuesto por un *GTO* de gate modificado y estructura general optimizada y un circuito de comando (driver) capaz de generar las corrientes de encendido y apagado correspondientes. Al conjunto de *GTO* modificado y driver se lo denomina también *IGCT* (**I**ntegrated **G**ate **C**ommutated Thyristor). El *IGCT* es uno de los dispositivos de elección para implementación de convertidores de alta potencia (cientos de  $MW$ ) como los utilizados en sistemas *FACTS* (**F**lexible **A**C **T**ransmission **S**ystems)

### 5.1. Introducción

Al analizar el apagado de un tiristor común, en el punto 3.6.1 se presentó la imposibilidad de su apagado mediante una corriente inversa de gate debido a la estructura de la juntura  $p^-n^+$  entre gate y cátodo. La resistencia lateral de la capa  $p$  impide que la eventual corriente inversa se distribuya en la juntura imposibilitando el apagado forzado del dispositivo. El tiristor se apaga entonces llevando la corriente de ánodo a cero mediante una corriente inversa aplicada por un circuito externo que a su vez aplique una tensión inversa durante un tiempo suficiente ( $> t_q$ ) como para que el dispositivo no reencienda al pasar a bloqueo directo. En particular, en convertidores conmutados por la red, esta función la cumple el propio convertidor (ver 3.6.3). Por otra parte, el tiristor constituye una excelente implementación física de llave electrónica, sobre todo para aplicaciones en altas potencias. Puede bloquear altas tensiones (hasta

más de 10  $kV$ ), conducir en forma permanente altas corrientes (varios  $kA$ ), soportar sobrecorrientes de hasta 10 veces la corriente nominal permanente, y su caída de tensión en conducción (a lo sumo unos pocos  $V$ ), comparada con las tensiones usuales de trabajo de los convertidores, es muy baja, lo cual permite implementar sistemas de alto rendimiento. De hecho ha tenido un uso extendido en inversores o convertidores de alta potencia que requieren apagado forzado, fabricándose en versiones de alta velocidad (inverter grade). Estas aplicaciones requieren de todas maneras circuitos auxiliares costosos y complejos, que esencialmente superponen una corriente inversa de mayor valor que la de funcionamiento para forzar el apagado. El *GTO* y su versión actual, el *IGCT* han sido desarrollados para utilizar en la mayor extensión posible las características de llave del tiristor incorporándole la posibilidad de apagado por electrodo de comando. Para presentar su funcionamiento se analiza con cierto detalle el proceso de encendido y posible apagado mediante el modelo de dos transistores y se presentan las características estructurales adicionales que posibilitan el apagado. Se describen además las características de conmutación y comando de gate correspondientes.

## 5.2. Condición de encendido y apagado teórico de un tiristor mediante corriente de gate

Consideremos nuevamente el modelo de dos transistores de un tiristor (fig 5.1). Las corrientes de los transistores se pueden expresar en función de la corriente de ánodo y gate utilizando las ganancias en base común  $\alpha_{npn}$  y  $\alpha_{pnp}$  correspondientes. De esa forma se puede deducir expresiones para la condición de encendido y para la corriente de gate necesaria para el apagado. Utilizamos las definiciones y relaciones según la figura 5.2

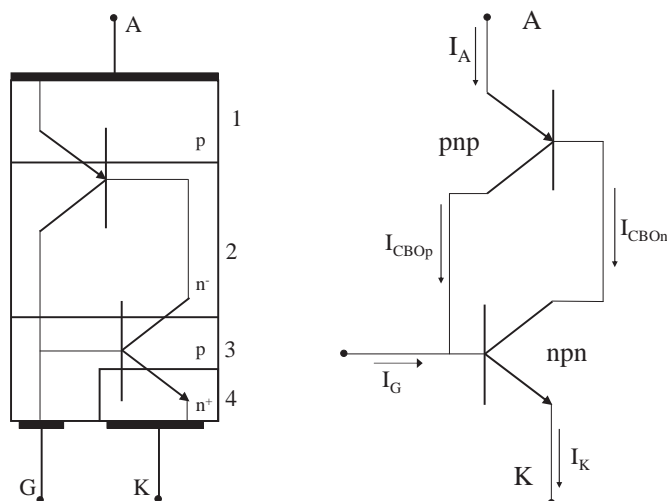


Figura 5.1: Modelo de dos transistores con las corrientes de fugas por polarización en directo

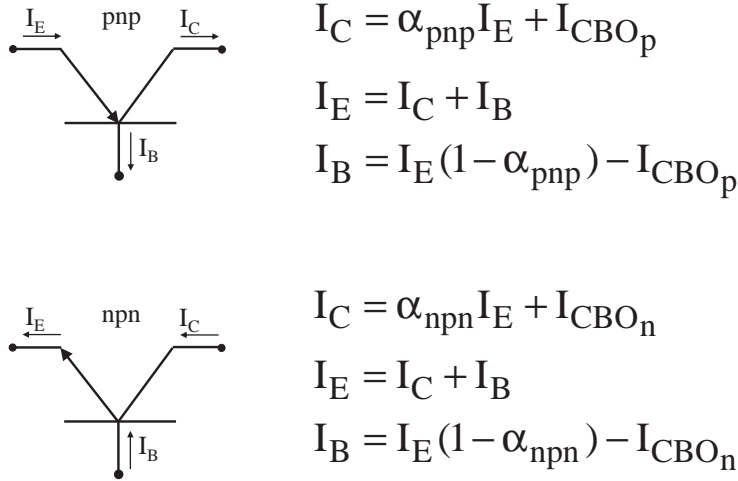


Figura 5.2: Ganancia en base común  $\alpha$ . Definiciones y relaciones

### 5.2.1. Condición de encendido

Para que el tiristor pueda ser prendido debe tener una tensión ánodo cátodo positiva. En esas condiciones la tensión está bloqueada por la juntura  $J_{23}$ , única polarizada en inverso. Por esa juntura circula solamente la corriente de fugas, de huecos y electrones, que en el modelo de dos transistores está representada por la suma de las corrientes de fugas  $I_{CBO_p}$ , del transistor *pnp*, e  $I_{CBO_n}$ , del transistor *npn*.

De acuerdo a las figuras 5.1 y 5.2 al aplicar una corriente de gate  $I_G$  se tiene:

$$I_A = I_{E_{pnp}} \quad (5.1)$$

$$I_K = I_{E_{npn}} \quad (5.2)$$

$$I_G + I_A = I_K \quad (5.3)$$

$$I_{C_{pnp}} = \alpha_{pnp} I_A + I_{CBO_p} \quad (5.4)$$

$$I_{B_{npn}} = I_G + I_{C_{pnp}} = I_G + \alpha_{pnp} I_A + I_{CBO_p} \quad (5.5)$$

$$I_{B_{npn}} = I_K (1 - \alpha_{npn}) - I_{CBO_n} = (I_A + I_G)(1 - \alpha_{npn}) - I_{CBO_n} \quad (5.6)$$

$$(I_A + I_G)(1 - \alpha_{npn}) - I_{CBO_n} = I_G + \alpha_{pnp} I_A + I_{CBO_p} \quad (5.7)$$

$$I_A + I_G - \alpha_{npn} I_A - \alpha_{npn} I_G - I_{CBO_n} = I_G + \alpha_{pnp} I_A + I_{CBO_p} \quad (5.8)$$

$$I_A(1 - \alpha_{npn} - \alpha_{pnp}) = \alpha_{npn}I_G + I_{CBO_n} + I_{CBO_p} \quad (5.9)$$

$$I_A = \frac{\alpha_{npn}I_G + I_{CBO_n} + I_{CBO_p}}{1 - (\alpha_{npn} + \alpha_{pnp})} \quad (5.10)$$

Si la corriente total de fugas del tiristor es  $I_S = I_{CBO_p} + I_{CBO_n}$

$$I_A = \frac{\alpha_{npn}I_G + I_S}{1 - (\alpha_{npn} + \alpha_{pnp})} \quad (5.11)$$

En esta ecuación, la suma de las ganancias en base común a veces se le llama "ganancia del lazo" (loop gain)  $G = \alpha_{npn} + \alpha_{pnp}$

La ecuación expresa la corriente de ánodo en función de la corriente de gate y de las ganancias en base común de los transistores. Para vincularla con el encendido del tiristor se debe tener en cuenta los siguientes factores:

- a) Las ganancias  $\alpha_{npn}$  y  $\alpha_{pnp}$  no son constantes. Dependen de (crecen con) la densidad de corriente en la juntura base-emisor de cada transistor y por lo tanto de  $I_K = I_A + I_G$  e  $I_A$  respectivamente. Aumentan además con la tensión directa ánodo-cátodo que queda sobre la juntura  $J_{23}$  debido a que el ancho efectivo de las bases de los transistores disminuye. Las ecuaciones muestran además que  $I_A$  e  $I_K$  crecen con la corriente de gate  $I_G$ . Al aumentar la tensión aumenta además  $I_S$  que contribuye a la densidad de corriente.
- b) El tiristor está encendido cuando la corriente de ánodo no depende de la corriente de gate sino del circuito externo.

En ese contexto, la ecuación 5.11 muestra que si por cualquiera de los mecanismos descritos en a) la suma  $\alpha_{npn} + \alpha_{pnp}$  se hace igual a 1 o se aproxima a 1 la corriente de ánodo se hace infinitamente grande. Físicamente esto significa que la corriente  $I_A$  deja de depender de  $I_G$  y queda determinada por el circuito externo. La corriente de ánodo es la suma de las corrientes de base de los transistores, que quedan prendidos en un proceso de realimentación positiva. La corriente de gate deja de ser necesaria para que el tiristor permanezca en conducción. Debido a la magnitud de las corrientes de base ( $I_A = I_{B_{npn}} + I_{B_{pnp}}$  con el tiristor encendido e  $I_G = 0$ ) los transistores saturan.

La fig 5.3 (Wallmark & Zwegbergk 1973, adaptada de) muestra cómo  $\alpha_{npn}$  y  $\alpha_{pnp}$  dependen de la densidad de corriente. Las curvas de 5.3 a) muestran que la densidad de corriente necesaria para que  $\alpha_{npn} + \alpha_{pnp} = 1$  es relativamente pequeña, lo cual indica que el tiristor encendería con tensión directa muy baja, con aumentos de temperatura u otros factores. Por lo tanto el tiristor se modifica para que las ganancias se comporten como en la curva 5.3 b). Esto se logra por ejemplo mediante la técnica de emisor cortocircuitado descrita en el punto 3.4.3 (fig 3.16).  $\alpha_{npn}$  se mantiene prácticamente en cero hasta que la densidad de corriente requerida para el disparo es suficientemente alta como para que tenga que ser suministrada por la corriente externa de gate.

### 5.2.2. Condición de apagado

Para analizar el apagado suponemos que el modelo de dos transistores sigue siendo válido. En esas condiciones se puede considerar que el tiristor se puede apagar mediante una corriente inversa de gate lo suficientemente grande como



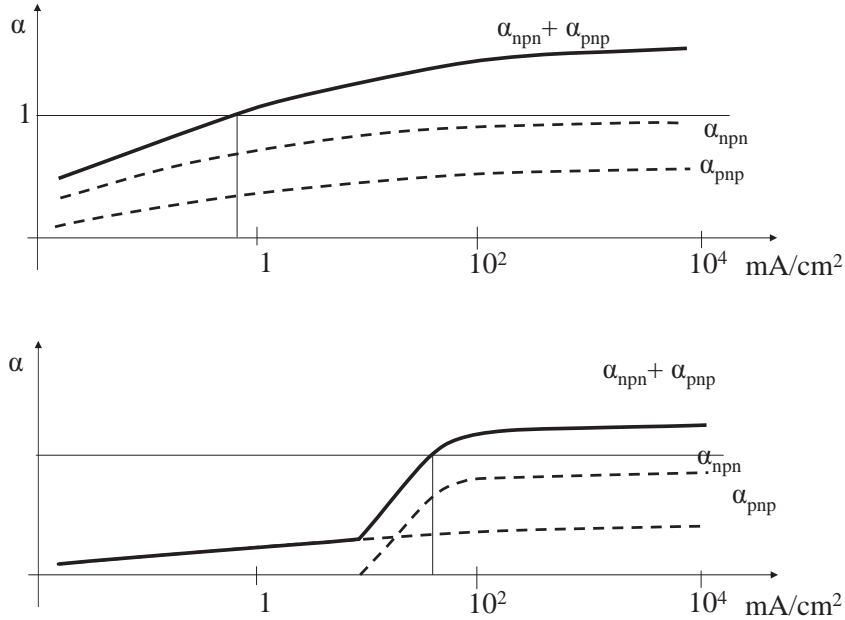


Figura 5.3: Ganancia en base común en función de la corriente

para que el transistor *npn* salga de saturación. La figura 5.4 muestra el tiristor en conducción en el momento de ser apagado de esta forma. Para este análisis puede despreciarse el efecto de la corriente de fugas.

Utilizando las relaciones de la fig 5.2 para el tiristor en zona activa y despreciando las corrientes de fugas se obtiene:

$$I_{G_{off}} = I_A - I_K \quad (5.12)$$

$$I_{G_{off}} = I_A - I_A \frac{(1 - \alpha_{pnp})}{\alpha_{nnp}} = I_A \left(1 - \frac{1 - \alpha_{pnp}}{\alpha_{nnp}}\right) \quad (5.13)$$

$$I_{G_{off}} = I_A \left(\frac{\alpha_{nnp} + \alpha_{pnp} - 1}{\alpha_{nnp}}\right) \quad (5.14)$$

En realidad esta es la mínima corriente de gate que saca de saturación al tiristor ideal que responde al modelo de dos transistores. Teóricamente alcanza con sacar de saturación al transistor *nnp* para que el *GTO* se apague, ya que el circuito externo impone una corriente mayor que la correspondiente a la corriente de base en zona activa, con lo cual la tensión colector emisor crece bajando la corriente del *pnp* que se apaga. Sin embargo esta es una situación ideal límite. Para asegurar el apagado la corriente de gate necesaria ( $I_{G_Q}$ ) debe ser claramente mayor que este valor.

$$I_{G_Q} > I_A \left(\frac{\alpha_{nnp} + \alpha_{pnp} - 1}{\alpha_{nnp}}\right) \quad (5.15)$$

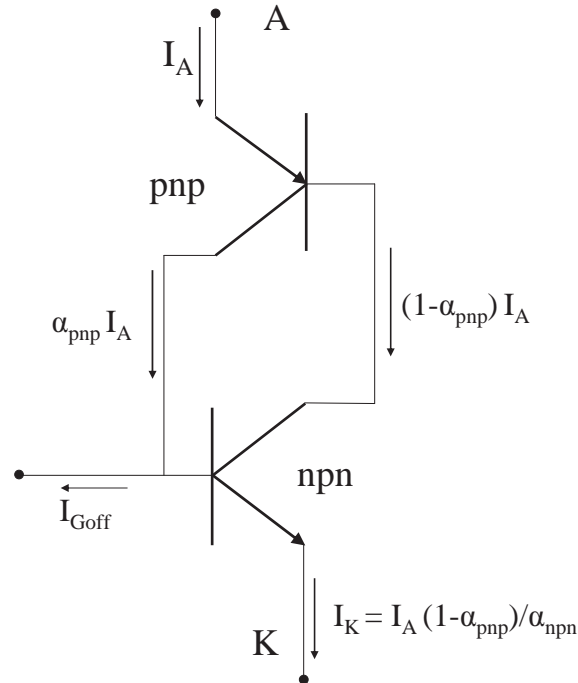


Figura 5.4: Modelo de dos transistores para el apagado con las relaciones entre corrientes para zona activa

Se suele definir la ganancia de apagado  $\beta_{off}$  de la siguiente forma:

$$I_{GQ} > \frac{I_A}{\beta_{off}} \quad (5.16)$$

La ganancia de apagado indica el mínimo valor de la corriente inversa de gate para el apagado como fracción de la corriente de ánodo. De 5.15 se obtiene que

$$\beta_{off} = \frac{\alpha_{npn}}{\alpha_{npn} + \alpha_{pnp} - 1} \quad (5.17)$$

Se ve que para valores normales de ganancias en base común para transistores en conducción la corriente de gate es del orden de la corriente de ánodo. Para obtener entonces un dispositivo de este tipo que sea apagable por corriente de gate se debe modificar la estructura del tiristor en por lo menos dos aspectos:

a) Hacer que el modelo de dos transistores sea válido en el apagado, lo cual implica disminuir drásticamente la resistencia lateral del gate.

b) Aumentar la ganancia de apagado, lo cual implica modificar la estructura para que  $\alpha_{npn}$  sea cercano a la unidad y  $\alpha_{pnp}$  sea lo más bajo posible.

### 5.3. Estructura de un *GTO*

La estructura básica de un *GTO* es esencialmente la de un tiristor (4 capas *npnp*) con cambios que permiten su funcionamiento como llave apagable. Los cambios mayores se concentran en la zona del cátodo - gate y en la estructura del ánodo. La tensión de bloqueo sigue dependiendo del espesor de la zona  $n^-$  y la capacidad de conducir corriente del área del chip.

#### 5.3.1. Estructura del cátodo - gate: Minimización de la resistencia lateral de gate

La resistencia lateral es la resistencia de la capa  $p$  del gate entre su contacto metálico y la zona que queda en el medio del dopaje  $n^+$  del cátodo. Se trata entonces de disminuir la distancia entre esos dos puntos. Esto se logra mediante una estructura consistente en gran cantidad de regiones o islas  $n^+$  (cátodos individuales) dopadas en el material  $p$  del gate. El silicio se talla además de forma que esas zonas  $n^+$  queden en relieve con respecto a la zona  $p$  que las rodea. La superficie de la oblea o chip de silicio queda entonces formada por "mesas"  $n^+$  rodeadas por material  $p$ . Se metaliza entonces la superficie de cada mesa, formando múltiples contactos de cátodo, y utilizando el desnivel se metaliza toda la superficie de material  $p$  que aflora entre los cátodos, formando un contacto único de gate que se extiende por toda la oblea. Sobre la superficie metalizada de todas las mesas se apoya entonces la placa metálica del cátodo poniéndolos todos en paralelo. El resultado es un dispositivo consistente en gran cantidad de tiristores en paralelo de dimensiones laterales comparables a la del espesor total de la oblea, y por lo tanto asimilables a estructuras verticales representables por el modelo de dos transistores.

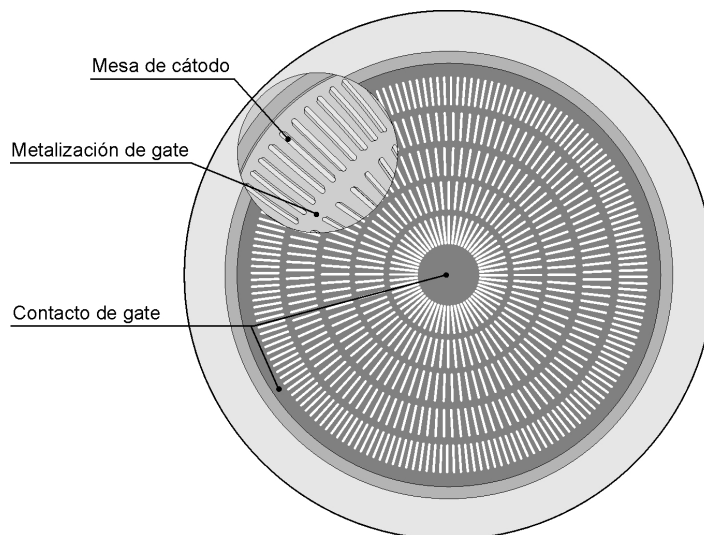


Figura 5.5: Estructura de un *GTO* en perspectiva (I)

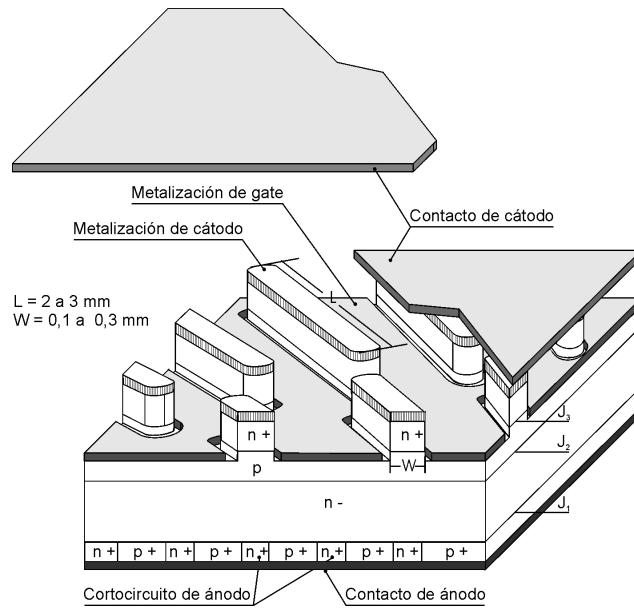


Figura 5.6: Estructura de un *GTO* en perspectiva (II)

Las figuras 5.5 y 5.6 (Mohan et al. 1995, adaptado de) muestran la estructura general del GTO. La figura 5.7 muestra el aspecto de la oblea del lado del cátodo y gate. Las pequeñas zonas alargadas en blanco son las mesas del cátodo. La zona en negro que las rodea es la metalización del gate.

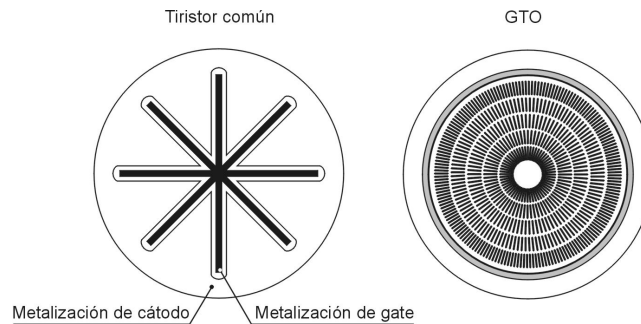


Figura 5.7: Superficie cátodo-gate de un tiristor común y superficie de un GTO

Cada mesa mide aproximadamente 2 - 3 *mm* de largo por 0,1- 0,3 *mm* de ancho, dimensiones comparables con el espesor del chip (aprox. hasta 1 *mm*). Un *GTO* de 3000 *A* puede tener hasta 3000 mesetas de cátodo. Esta estructura se puede comparar con la de un tiristor común para empleo en convertidores conmutados por la red presentada en la Fig. 3.4. Se ve que la resistencia lateral

es ahora muy baja y que la metalización de gate tiene área de contacto y material suficiente como para posibilitar corrientes de apagado del orden de las de conducción.

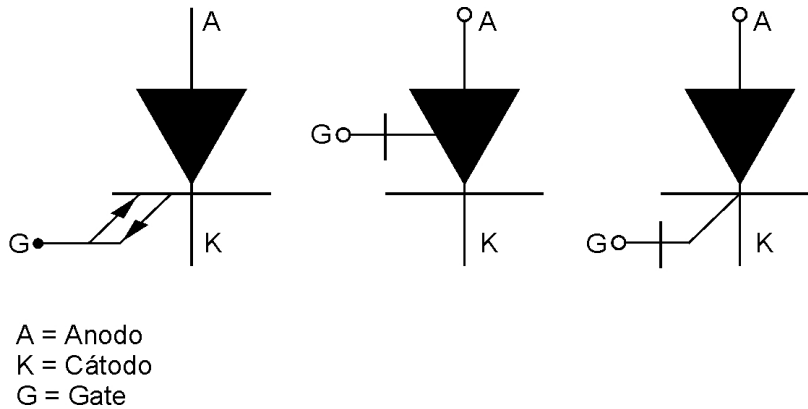


Figura 5.8: símbolos usuales del GTO

### 5.3.2. Estructura del ánodo. Disminución de la ganancia $\alpha_{pnp}$ . Estructura general

Para aumentar la ganancia de apagado, es decir para aumentar la corriente de ánodo que es posible apagar mediante una corriente inversa de gate se puede disminuir  $\alpha_{pnp}$ , según 5.17. Esto se logra mediante la implantación de zonas  $n^+$  que conectan la capa de bloqueo al contacto del ánodo. Estas zonas se llaman cortocircuitos de ánodo y son similares a las que se emplean en el cátodo del tiristor para modificar el alfa del transistor de manera de aumentar la densidad de corriente necesaria para el disparo y así obtener un encendido preciso y seguro. La zona del ánodo de un *GTO* es una zona  $p^+$ . El *GTO* con cortocircuitos de ánodo pierde la capacidad de bloqueo inverso del tiristor, que queda reducida a unos 20 V, y se le llama **GTO asimétrico**. En inversores desde fuentes de tensión, principal campo de aplicación de estos dispositivos, el bloqueo inverso no tiene relevancia ya que el *GTO* funciona solamente con bloqueo directo y se utiliza con un diodo en antiparalelo.

Otro mecanismo de ayuda al apagado consiste en reducir el tiempo de vida media de los portadores minoritarios en los bordes de la capa  $n^-$  de bloqueo lo cual implica modificar el material en esas zonas. Tanto los cortocircuitos de ánodo como la disminución de la vida media de los portadores ayudan a disminuir el exceso de estos últimos durante el apagado, acelerándolo.

### Anodo Transparente

La estructura con cortocircuitos de ánodo tiene algunas desventajas, en particular implica necesidad de mayores corrientes de encendido. En *GTOs* modernos la disminución de ganancia se implementa mediante el llamado **emisor transparente** (el ánodo es el emisor del transistor *pn<sub>p</sub>*). Parte de los electrones (los que hubieran transitado por los cortocircuitos  $n^+$ ) atraviesan el ánodo por difusión. La estructura puede verse en la fig. 5.9, y consiste en un ánodo  $p^+$  con una capa intermedia  $n$  entre el ánodo y la zona  $n^-$ . Esta estructura permite además menos espesor de la capa  $n^-$  para el bloqueo de la misma tensión. Se usa en la versión de uso actual del *GTO*, el *IGCT*, que será tratado en el punto 5.5 El funcionamiento se describe en varios artículos. (Carroll, Klaka & Linder 1997)

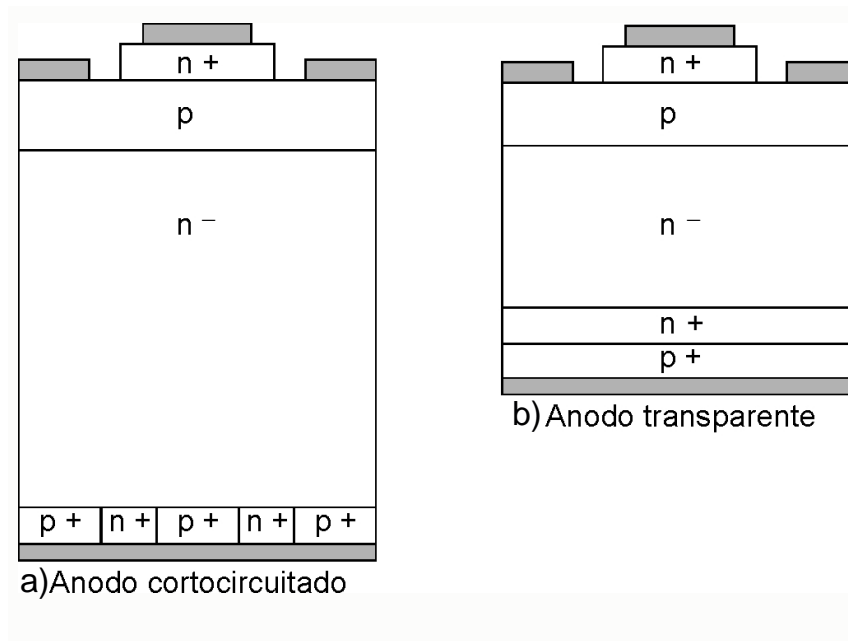


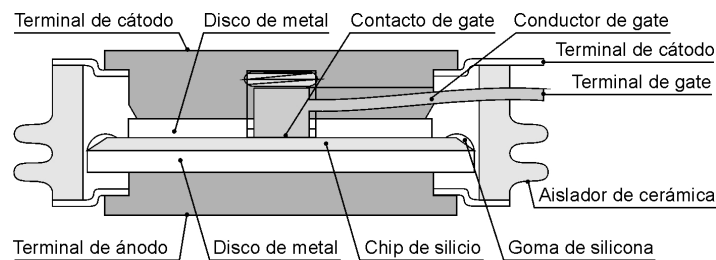
Figura 5.9: a) Anodo cortocircuitado b) Anodo transparente

La disminución del tiempo de vida media de los portadores en la capa  $n^-$  de bloqueo implica por otra parte un aumento de la caída de tensión en conducción con respecto a la que tendría un tiristor con la misma capacidad de bloqueo. Los distintos cambios estructurales se combinan entonces de manera de garantizar la capacidad de apagado sin aumentar significativamente las pérdidas en conducción (Mohan et al. 1995) (*ABB Product guide, 5SGT30J6004*) (*Mitsubishi Electric Semiconductor Power Devices Product Information, GCU40BC-90*)

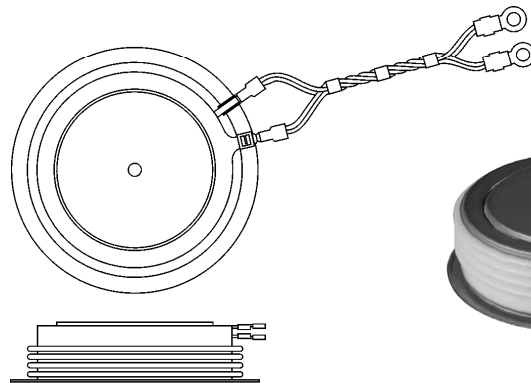
Algunos *GTOs* para aplicaciones especiales se construyen sin los cortocircuitos de ánodo, con lo cual conservan la capacidad de bloqueo inverso, el dispositivo se llama entonces **GTO simétrico** (*SGTO*).

El *GTO* simétrico no debe confundirse con el *GTO* con ánodo transparente, ya que este último no tiene capacidad de bloqueo inverso. La estructura es

$n^+pn^-p$  con un transistor  $pn$  prácticamente simétrico. El ancho de la zona  $n^-$  necesario para el bloqueo de tensión y la falta de cortocircuitos de ánodo aumenta las pérdidas en conducción y de apagado. Se modifica entonces la velocidad de recombinación en los límites de la capa  $n$  de manera de atenuar estos efectos adversos.



(Fig. a)



(Fig. b)

(Fig. c)

Figura 5.10: a) corte de un GTO, b) vista de un GTO con cables de contacto, c) disco de GTO

Para eliminar la necesidad del diodo discreto antiparalelo en inversores se construye el **GTO de conducción inversa RCGTO**. Es un *GTO* asimétrico en el cual parte del chip se usa para implementar el diodo antiparalelo en forma integrada. Para el diodo se usa la parte central del disco de silicio (figuras 5.9 y 5.10) El anillo sin mesas de cátodo se usa para el contacto del gate con el conductor al terminal correspondiente.

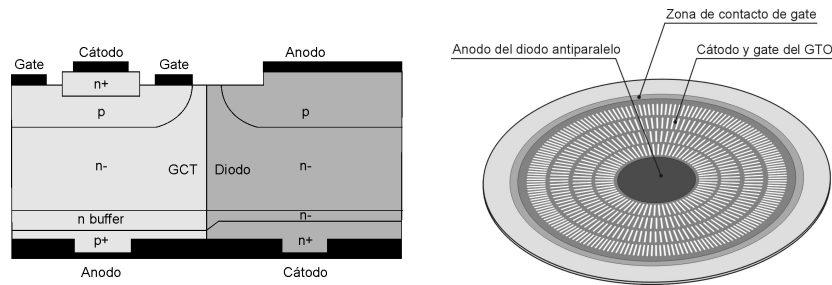


Figura 5.11: Corte de un GTO con conducción inversa

Figura 5.12: Vista de un chip de RCGTO desde el lado del cátodo - gate

## 5.4. Encendido y apagado de un *GTO*

### 5.4.1. Limitación de $di/dt$ y $dV/dt$ . Circuitos de ayuda a la conmutación

El *GTO* es una llave apagable que se utiliza en convertidores en los cuales la conmutación es del tipo "conmutación inductiva clampeada": en el encendido la tensión comienza a bajar recién cuando la corriente llegó a su valor máximo y el diodo del modelo se apaga (fig. 4.6 y fig. 4.7) y en el apagado la corriente la corriente empieza a bajar recién cuando la tensión llegó al máximo y el diodo del modelo se prende.

Sin embargo el *GTO* es esencialmente un tiristor. Por lo tanto en el encendido hay que tener en cuenta el límite de velocidad de subida de la corriente ( $di/dt$  máximo o crítico) que permite que la mayor parte del tiristor esté prendido cuando la corriente alcanza los valores de régimen de la aplicación. En el caso del *GTO* en conmutación inductiva clampeada hay que tener en cuenta además que a la corriente máxima que impone la aplicación hay que agregarle la corriente de recuperación inversa del diodo al apagarse, que puede alcanzar valores del orden de la corriente de carga. Si bien las aplicaciones prácticas (inversores, convertidores DCDC) requieren el uso de un diodo de recuperación rápida, este tipo de diodos fabricados para grandes potencias pueden ser relativamente lentos y tener tiempos y carga de recuperación inversa considerables. La corriente final luego del encendido es la corriente de carga más la de recuperación inversa, lo que hace aumentar el  $di/dt$  efectivo. Por lo tanto, un análisis realista del encendido del *GTO* implica incluir un circuito de ayuda (turn-on snubber) como el presentado en el punto 4.5.2. De todas formas la estructura de gate-cátodo de un *GTO* permite obtener valores críticos de  $di/dt$  bastante mayores que los de un tiristor (del orden de  $1000 \text{ A}/\mu\text{s}$  para un dispositivo de  $I_{av}=1000 \text{ A}$ )

En el apagado se debe tener en cuenta el límite de velocidad de subida de la tensión ( $dV/dt$ ) que genera una corriente en la capacidad de bloqueo directo que puede reencender el tiristor. En el caso del *GTO* la limitación de  $dV/dt$  adquiere importancia adicional por el hecho de que en las aplicaciones usuales el dispositivo pasa directamente de conducción a bloqueo directo sin pasar por bloqueo inverso. Por lo tanto el uso del *GTO* en conmutación inductiva



clampeada vuelve obligatorio el circuito de ayuda al apagado (turn-off snubber) como el analizado en el punto 4.5.4 y debe ser incluido en el análisis del apagado. Debido a la presencia de portadores en el dispositivo, cuanto mayor es la corriente que se debe apagar mediante el gate, menor debe ser el  $dV/dt$ .

### 5.4.2. Corriente controlable

Además de los ratings normales de corriente del tiristor, en el *GTO* se agrega lo que se llama Corriente Controlable  $I_{TQRM}$ . Es la máxima corriente repetitiva que puede ser apagada mediante corriente inversa de gate, y depende de la subida de la tensión en el apagado, que a su vez depende del valor del condensador del snubber de apagado. La hoja de datos de fabricante expresa el valor  $I_{TQRM}$  máximo para un valor recomendado de capacidad del condensador. Si se usa un condensador de menor capacidad debe considerarse en el diseño una corriente apagable menor. El *GTO*, al igual que el tiristor, puede soportar sin dañarse una corriente no repetitiva con forma de medio ciclo de senoide y valor hasta 20 veces el  $I_{av}$ , pero mediante el gate solamente se puede apagar la corriente controlable. (valores típicos:  $I_{av} = 1200 \text{ A}$ ,  $I_{TQRM} = 4000 \text{ A}$  con  $C_s = 6 \mu\text{F}$ )

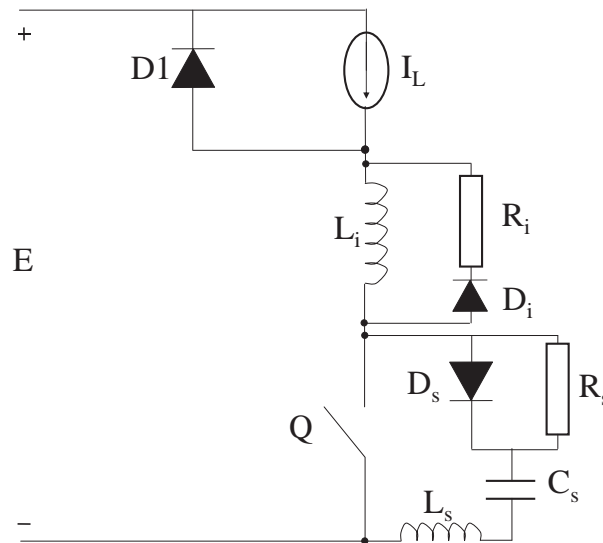


Figura 5.13: *GTO* en un circuito con conmutación inductiva clampeada incluyendo snubbers de encendido y apagado según 4.5.2 y 4.5.4.

El fabricante especifica la inductancia parásita  $L_s$  del circuito de snubber de apagado de la figura 5.13 para el cual el valor de corriente apagable indicado es válido.

### 5.4.3. Encendido del *GTO*

El proceso de encendido es esencialmente el de un tiristor. Sin embargo, dadas la estructura y aplicaciones del *GTO* el valor y forma de onda de corriente

de gate adecuados presenta algunas exigencias adicionales. La corriente de gate inicial debe tener un crecimiento tal que  $dI_G/dt$  es mayor que un mínimo establecido ( $25 A/\mu s$  para un *GTO* de  $1000 A$ ) y su valor máximo  $I_{GTM}$  debe ser por lo menos 10 veces el valor  $I_{GT}$  mínimo de disparo del dispositivo considerado como un tiristor. De esta forma se asegura que todas las zonas de islas o mesas de cátodo enciendan en forma simultánea. Como la corriente en estas aplicaciones crece muy rápido aún con snubber (en relación a un convertidor conmutado por la red por ejemplo), si la corriente de gate no es lo suficientemente grande y se establece con suficiente velocidad las islas que prenden primero llevan toda la corriente de carga pudiendo causar destrucción del dispositivo por corrida térmica. Este valor debe mantenerse durante todo el tiempo de encendido, normalmente algunos  $\mu s$ . Luego del encendido debe mantenerse la corriente  $I_{GT}$  durante todo el tiempo de conducción para evitar que, durante un eventual descenso de la corriente de carga, se apaguen algunas islas, y que las que quedaron prendidas conduzcan toda la corriente si la carga aumenta nuevamente.

La fig. 5.14 muestra las formas de onda de encendido y apagado para el circuito de la fig 5.13

#### 5.4.4. Apagado del *GTO*

El apagado del *GTO* se realiza mediante una corriente inversa gate - cátodo  $I_{GQ}$  de muy corta duración pero con una amplitud máxima  $I_{GQM}$  que es del orden de la tercera parte de la corriente de ánodo, lo que correspondería a una ganancia de apagado aproximadamente igual a 3, valor normal). La corriente se establece aplicando una tensión inversa gate cátodo a través de una inductancia que fija el valor  $dI_{GQ}/dt$ . La corriente  $I_{GQ}$  de apagado retira el exceso de carga en la base del transistor *npn* sacándolo de saturación. Una pendiente de  $I_{GQ}$  muy alta puede cortar la juntura base emisor del *npn* dejando un exceso importante de portadores que demoran en recombinarse, dando lugar a una corriente llamada *tail current* (de más duración que la normal). El fabricante da un valor de referencia para  $dI_{GQ}/dt$ . En *GTOs* de altas potencias generalmente alcanza con limitar la pendiente de  $I_{GQ}$  mediante la inductancia parásita de los cables que van del circuito de comando al gate. La tensión de la fuente de la corriente de apagado no debe superar el valor de avalancha de la juntura gate - cátodo (del orden de  $20 V$ ) y se fija en aproximadamente  $17-18 V$ .

En un *GTO* de  $I_{av} \sim 1000A$  la inductancia de los conductores del circuito de gate puede ser del orden de  $300 nH$  por lo tanto:  
 $dI_{GQ}/dt = 17 V / 0,3 \mu H = 56 A/\mu s$   
 ,valor menor que los  $70 A/\mu s$  que indica la hoja de datos.

Al aplicar la corriente de apagado, la tensión gate - cátodo baja pero se mantiene en las proximidades de  $0 V$  hasta que el exceso de portadores baja lo suficiente como para que se polarice en inverso. Durante ese tiempo el *GTO* conduce prácticamente toda la corriente de ánodo. El tiempo transcurrido entre la aplicación de la corriente inversa y la polarización inversa del diodo gate - cátodo es el tiempo de almacenamiento  $t_s$  (storage time). Al ser retirados de la base del *npn* el exceso de portadores baja la corriente de colector del *npn* y por lo tanto la de base del *pnp* y la corriente de ánodo cae en un tiempo  $t_f$

(fall time), en que es conmutada al condensador del snubber. La tensión  $U_{ak}$  sube a medida que se carga el condensador. Debido a la inductancia parásita del snubber aparece un pico de tensión durante la caída de corriente de ánodo y crecimiento de la corriente del condensador del snubber. Esa inductancia parásita debe mantenerse por lo tanto por debajo de lo establecido por el fabricante ( $<0,2 \mu H$  en nuestro *GTO* de 1000 A) Cuando la corriente de ánodo baja a aproximadamente 10% de su valor inicial ( $0,1 I_{TGQ}$ , siendo  $I_{TGQ}$  la corriente de conducción apagable por gate que se está cortando) la tensión sube linealmente con pendiente  $\sim I_{GQ}/C_s$ . Los portadores que quedan son evacuados por la corriente de gate aún circulando y dan lugar a la tail-current.

En el circuito de comando la corriente decreciente de gate induce una sobretensión en el circuito (en forma análoga a la sobretensión inversa del apagado de un diodo o tiristor). En este caso la sobretensión hace entrar en avalancha la juntura gate - cátodo, lo cual ayuda al apagado al remover cargas de la base *p* del transistor *npn*. La avalancha termina al agotarse los portadores (la corriente inversa de gate se anula) y la tensión gate cátodo se mantiene en el valor de la fuente (-17 V). un tiempo después de terminar el apagado se corta la conexión entre la fuente negativa y el gate y se deja una tensión negativa de unos pocos V para evitar reencendido por  $dV/dt$ . Esta tensión puede aplicarse mediante un divisor resistivo entre cátodo, gate y fuente negativa, de impedancia tal que no interfiera con el funcionamiento del circuito de comando.

La figura 5.14 muestra las formas de onda de tensión ánodo-cátodo, corriente de ánodo, tensión ánodo-gate y corriente de gate durante el proceso de encendido y apagado de un *GTO*. (Adaptado de hoja de datos del *GTO* de ABB 5SGT30J6004 y de notas de aplicación de Powerex)

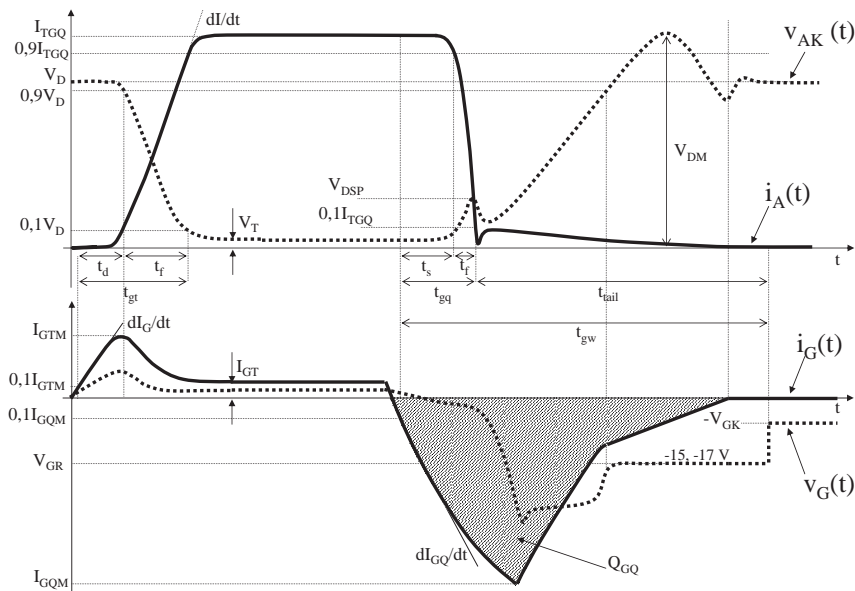


Figura 5.14: Formas de onda de encendido y apagado (adaptado de ABB y Powerex)

### 5.4.5. Circuitos de comando de gate

Un circuito de comando básico se muestra en la figura 5.15. En el encendido  $Q1$  conduce la corriente  $I_{GT}$  determinada por la fuente  $V_{on}$  y la resistencia  $R_2$  a la que se suma la descarga del condensador  $C_1$  a través de  $R_1$  para poder dar la corriente inicial  $I_{GTM}$ . En el apagado se prende  $Q2$  que aplica  $-V_{off}$  al gate a través de la inductancia del circuito. Cuando termina la corriente de tail, se apaga  $Q2$  y la tensión negativa de gate mientras el  $GTO$  está apagado es proporcionada por el divisor resistivo formado por la resistencia entre gate y cátodo y la que está en paralelo con  $Q2$ . El circuito necesita una fuente galvánicamente aislada que dé las tensiones  $V_{on}$  y  $V_{off}$ .

La corriente de apagado requiere una llave  $Q2$  que bloquee una tensión baja pero que sea capaz de conducir una corriente del orden de la corriente de ánodo.  $Q2$  se implementa con muchos  $MOSFET$  de baja tensión en paralelo. El pico de corriente de apagado es suministrado por muchos condensadores de baja tensión y alta capacidad conectados en paralelo. (fig. 5.16)

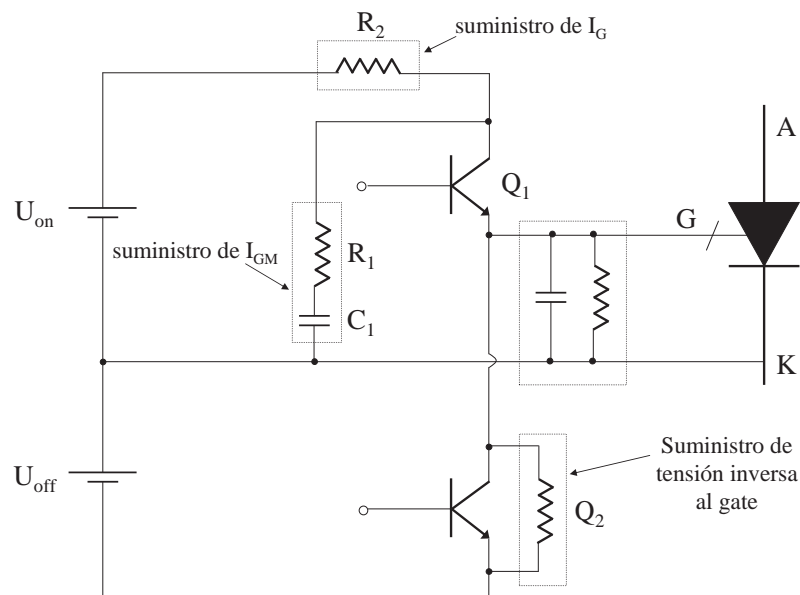


Figura 5.15: Circuito básico de comando de gate de un  $GTO$

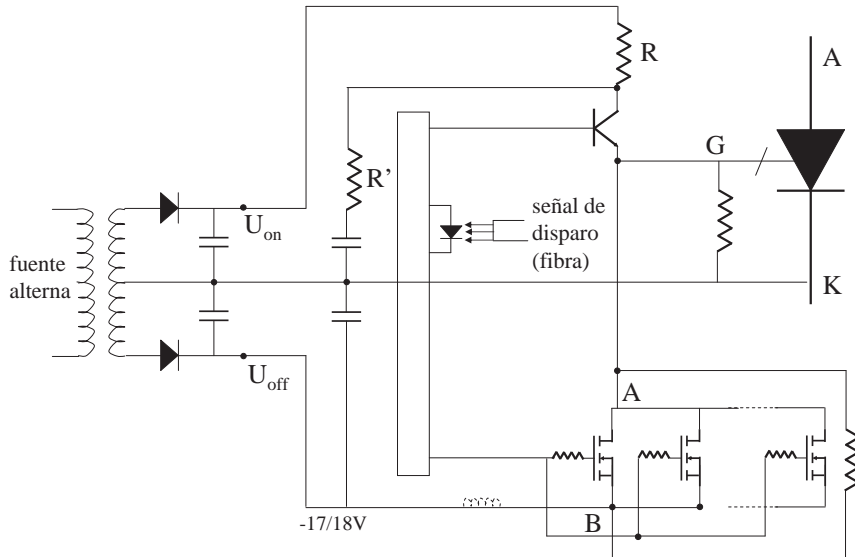


Figura 5.16: Detalle del circuito de disparo

## 5.5. *GCT* (Gate Commutated or Controlled Thyristor) e *IGCT* (Integrated Gate Commutated Thyristor)

### 5.5.1. Limitaciones del *GTO* convencional

El empleo práctico de un *GTO* como el descrito plantea una serie de problemas técnicos y económicos derivados de insuficiencias del dispositivo en cuanto a la realización de una llave apagable. Se detallan algunos de esos problemas:

a) El dispositivo requiere snubber de apagado con capacidades relativamente grandes debido a la necesidad de que la corriente llegue a niveles muy bajos antes de que se forme una tensión de bloqueo importante. Se requieren condensadores de 3 a 6  $\mu F$  y diodos de recuperación rápida capaces de bloquear varios  $kV$  y conducir la corriente de ánodo durante tiempos relativamente largos (decenas de  $\mu s$ ). Las altas capacidades requieren a su vez resistencias de descarga de potencias elevadas. De acuerdo a la ecuación 4.16, un *GTO* que trabajando a 1000  $Hz$  bloquea 2000  $V$ , y requiere una capacidad de 3  $\mu F$  necesita un snubber con una resistencia  $R$  tal que

$$P_R = 0,5 \times 3 \times 10^{-6} \times 2000^2 \times 1000 = 6000W \quad (5.18)$$

b) El *GTO* presenta tiempos de almacenamiento del orden de 25  $\mu s$  y tiempos de apagado totales que llegan a los 100  $\mu s$ . Estos tiempos presentan además dispersión en su valor entre distintos ejemplares, lo cual exige circuitos adicionales para la conexión en serie (necesaria para grandes tensiones) aumentando

el costo y el riesgo de fallas debido al número elevado de componentes. Los tiempos limitan además la frecuencia de los convertidores implementados con el dispositivo

c) El apagado de todas las islas no se produce simultáneamente debido a la impedancia de la metalización de gate, lo cual puede llevar a que la corriente de carga circule por una parte del dispositivo.

### 5.5.2. Operación del *GCT* - *IGCT*

En el encendido y estado de conducción, el *GCT* funciona aproximadamente igual que un *GTO*. La diferencia fundamental radica en la forma de apagado. En el *CGT*, el circuito de comando (driver) y el gate se diseñan de tal manera que **toda** la corriente de ánodo es conmutada al gate en forma de corriente inversa de apagado en un tiempo muy corto, del orden de  $1 \mu s$ . De esa forma la corriente de cátodo se anula y la juntura gate-cátodo (base emisor del transistor *nnp*) se polariza en inverso antes que empiece a crecer la tensión de bloqueo en la juntura *n-p*. El bloqueo del cátodo se produce antes que empiece a retirarse carga de la base del *pnp*, es decir antes de que el *pnp* se "entere" de que el emisor del *nnp* dejó de emitir. El dispositivo se transforma entonces en un transistor *pnp* de baja ganancia y con la base abierta antes de que se empiece a apagar. El apagado se produce entonces como en un transistor con la corriente uniformemente distribuida en todo el chip (Carroll et al. 1997). Como el dispositivo se apaga como un transistor, con distribución homogénea de corriente no se requiere limitar el  $dV/dt$  durante el apagado, lo cual permite eliminar el circuito de ayuda.

La fig. 5.17 muestra las formas de onda de apagado de un *GCT*.

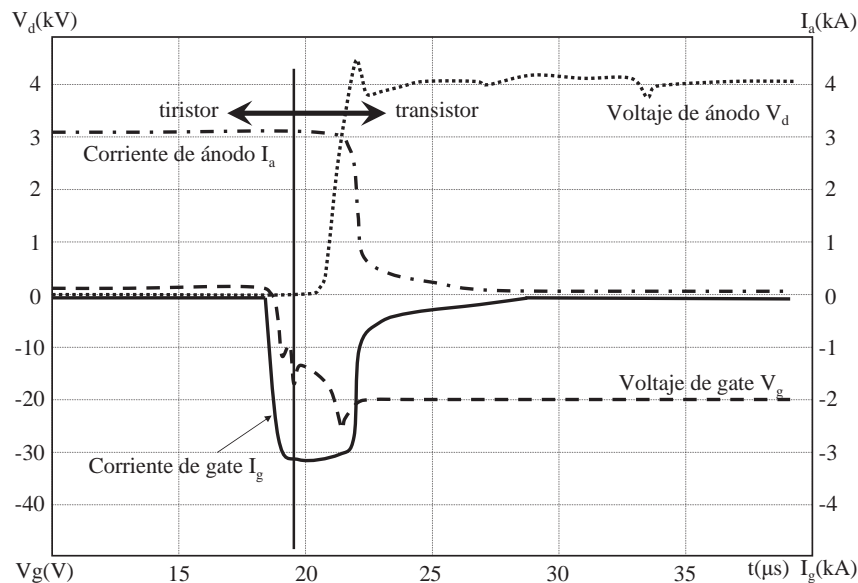


Figura 5.17: Formas de onda de apagado de un *GCT*

*Nota 5.1: como se verá, el circuito de comando capaz de dar la corriente de apagado necesaria para un GCT puede ser también capaz de dar una corriente de encendido con valor de pico y pendiente mucho mayor que la requerida por un GTO convencional. Esto permite prender el transistor npn (y por lo tanto todo el dispositivo) de manera homogénea, a diferencia del encendido de un tiristor. El  $di/dt$  de admisible en la corriente de ánodo puede ser entonces mucho mayor, reduciéndose el valor necesario de la inductancia del snubber de apagado. Sin embargo, el  $di/dt$  de corriente de ánodo debe ser limitado debido a las características de los diodos que conmutan con los GTO en circuitos tales como inversores desde fuentes de tensión.*

### 5.5.3. Estructura y circuito de comando del GCT - IGCT

La figura 5.18 muestra el esquema simplificado de un circuito de comando de gate en el apagado.

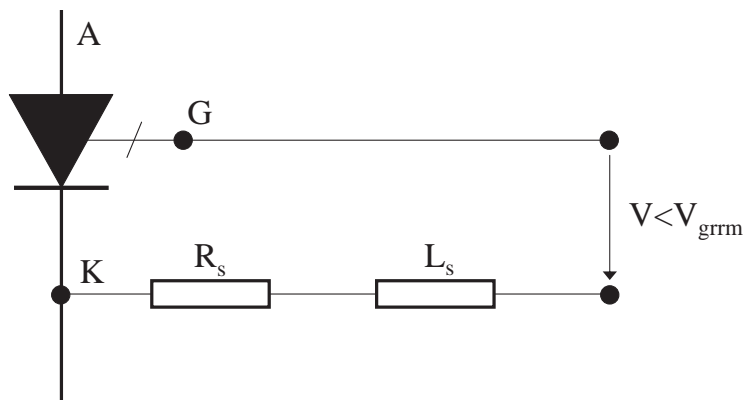


Figura 5.18: Circuito equivalente del comando de gate en el apagado

La inductancia total que limita  $di_G/dt$  en el apagado está compuesta por la inductancia de los conductores del circuito de disparo de gate y por la inductancia interna de la conexión de gate del propio dispositivo. Las inductancias de gate de los GTO convencionales son del orden de decenas a centenas de  $nH$ .

Para obtener un apagado como el descrito en 5.5.2 se necesita llegar a una corriente inversa de gate del valor de la corriente máxima apagable de ánodo con una fuente de tensión inversa de tensión menor que la de avalancha de la juntura gate - cátodo en un tiempo del orden de  $1 \mu s$ .

Por ejemplo si queremos apagar una corriente de ánodo de  $3000 A$  en modo GCT debemos sacar por lo menos  $3000 A$  por el gate en  $1 \mu s$ . Si la tensión de la fuente negativa del comando de gate es de  $17 V$  la inductancia máxima de todo el circuito (comando y conductores de gate dentro del dispositivo) debe ser

$$L < \frac{U_{off}}{\frac{di_G}{dt}} = \frac{17V}{3000A/\mu s} = 5,6nH \quad (5.19)$$

Teniendo en cuenta que un conductor cilíndrico de diámetro mucho menor que largo tiene aproximadamente  $20 nH/cm$  se ve que para poder tener funcionamiento tipo *GCT* se debe modificar radicalmente tanto la forma de contacto de la metalización interna del gate con el exterior como la implementación física y electrónica del circuito de disparo.

#### Estructura del contacto de gate del *GCT*

La estructura del *GCT* es similar a la del *GTO*, pudiendo ser simétrica, asimétrica (en general con "emisor transparente") o con conducción inversa, con la parte central del chip ocupada por el diodo. En la superficie cátodo-gate del *GTO* se deja un anillo libre de islas de cátodo. Ese anillo tiene solamente metalización de gate. Puede estar en el borde exterior del chip o en una zona intermedia entre el borde y el centro. (Fig. 5.12) El contacto se realiza mediante un anillo metálico apoyado en esa zona del chip y apretado por resortes. De ese anillo metálico salen cintas de metal a través de surcos realizados en la pieza de cobre de contacto de cátodo. Esas cintas salen a través del encapsulado cerámico, o se unen a un disco de cobre que sale a través de la cerámica.

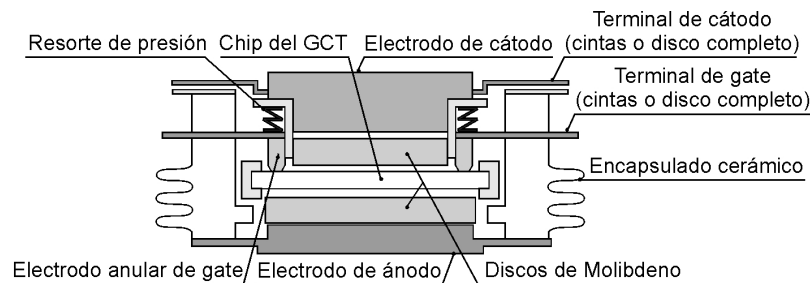


Figura 5.19: Corte de un *GCT* mostrando el contacto del gate con el chip y el terminal de gate

La conexión del circuito de comando al *GCT* se realiza por lo tanto mediante el disco de contacto de gate y el disco de contacto de cátodo, o por cintas de contacto de gate y cintas alternadas de contacto con el disco de cátodo.

La inductancia resultante de todo el lazo interno gate - cátodo se reduce a valores del orden de unidades de  $nH$ .



### Circuito de comando de gate e *IGCT*

El esquema simplificado del comando de gate del *GCT* es esencialmente el mismo que el del *GTO* (figuras 5.15 y 5.16). La implementación real tiene características especiales. El comando se implementa formando una unidad con el *GCT*. El conjunto *GCT* y comando es lo que se denomina *IGCT* (integrated gate commutated thyristor). Las dos conexiones se realizan mediante conductores planos en las dos caras de una placa aislante. El gate se conecta a una cara mediante el anillo de gate o los conductores planos y el cátodo se conecta de manera similar a la otra cara. Sobre la misma placa se monta el circuito de comando.

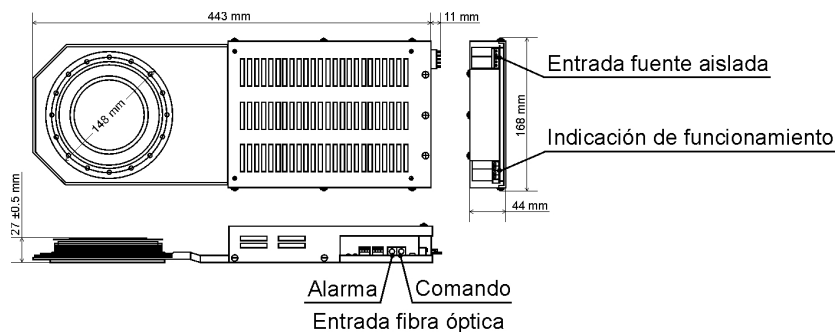


Figura 5.20: Dibujo de un IGCT completo

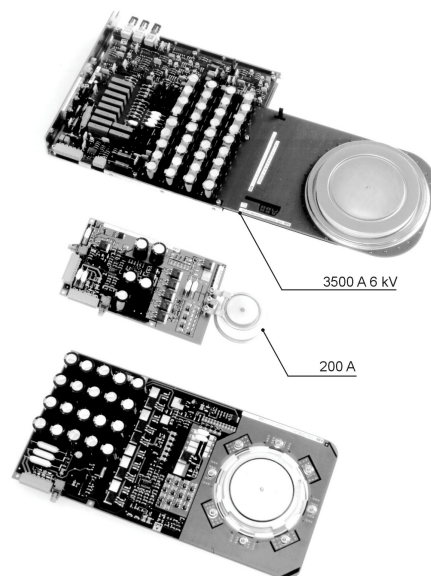


Figura 5.21: Distintas implementaciones de IGCT

La conexión entre el comando y el *GCT* mediante conductores planos y cortos permite reducir la contribución del circuito de comando a la inductancia general a 1-2 *nH*.

El circuito de comando en sí debe poder dar corrientes de apagado y eventualmente de encendido muy grandes y en corto tiempo desde tensiones del orden de 15-20 V. El comando se alimenta entonces con dos tensiones provenientes de una fuente aislada que cargan condensadores electrolíticos de baja tensión y alta capacidad puestos en paralelo (típicamente 10 a 40). En dispositivos disponibles comercialmente se requiere solamente una tensión de alimentación externa de la cual se generan tanto la tensión de encendido como la de apagado. La conexión de la tensión de comando al gate se realiza mediante *MOSFETs* de potencia conectados en paralelo de manera de tener la capacidad de corriente necesaria con baja resistencia de conducción.

#### 5.5.4. Performance y aplicaciones del *GCT* - *IGCT*

El *GCT* - *IGCT* mantiene las capacidades de conducción y bloqueo del *GTO* superando en gran medida las limitaciones descritas en 5.5.1.

El tiempo de almacenamiento se reducen 2-3  $\mu s$ , el funcionamiento como transistor permite usar snubbers de mucho menos capacidad o incluso eliminarlos, el  $di_A/dt$  de encendido y el  $dV_{AK}/dt$  de apagado admisibles aumentan de 3 a 5 veces. El tiempo de retardo en el encendido disminuye a menos de 1  $\mu s$ . Al acortarse los tiempos, el circuito de disparo es menos voluminoso y consume menos energía que el de un *GTO*, a pesar de que el pico de corriente a manejar es mayor. La conexión en serie, imprescindible para alcanzar las tensiones de bloqueo necesarias en aplicaciones relacionadas con sistemas eléctricos de potencia *Voltage Link* - *HVDC*, *SVC*, *STATCOMs*, *UPFCs* y otros dispositivos en sistemas *FACTS*<sup>1</sup>) se facilita debido a los bajos tiempos de almacenamiento (storage) y encendido, que hacen más simple la implementación de redes de equalización de tensiones de bloqueo y demás compensaciones necesarias (en general implementadas como snubbers de tensión)

Los snubbers de apagado, si bien no son imprescindibles, permiten controlar corrientes mayores también en los *GCT*.

Los snubbers de encendido son considerados esenciales (aunque su tamaño puede reducirse) debido a la performance de los diodos asociados (Fig. 5.22)

Los *GCT* se aplican en inversores de alta potencia (control de motores de media tensión, inversores conectados a redes de alta tensión, transmisión de energía en corriente continua) compitiendo con otro dispositivo, el *IGBT*. Pueden aplicarse a conversión *DCDC* en sistemas de tracción, como por ejemplo transporte ferroviario eléctrico con alimentación en corriente continua.

<sup>1</sup>*Voltage Link-HVDC* - Voltage Link - High Voltage Direct Current transmission, *SVC* - Static Var Compensator, *STATCOM* - Static Synchronous Compensator, *UPFC* - Unified Power Flow Controlled, *FACTS* - Flexible Alternating Current Transmission System

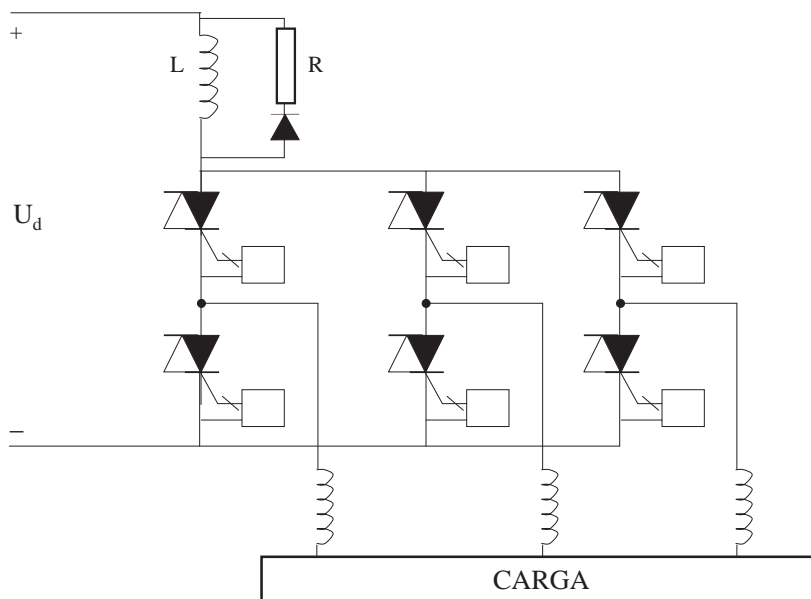


Figura 5.22: Inversor implementado con RCGCT, (los diodos estan integrados en las llaves)



## Capítulo 6

# BJT

### 6.1. Introducción

El BJT (**B**ipolar **J**unction **T**ransistor) de Potencia es el transistor común (fundamentalmente el *npn*) que ha sido modificado para su utilización como llave en electrónica de potencia. Su desarrollo llevó a disponer de una llave apagable en la que se basó todo el desarrollo de la electrónica de potencia en los años 1970 -1990, época en que se extendió el uso de convertidores DC/DC, fuentes conmutadas para equipo electrónico, inversores y controles de máquinas eléctricas asociados a sistemas de distribución de baja tensión (230 - 400 Vca) y de potencias desde algunos W hasta cientos de kW. Anteriormente este tipo de equipos se implementaban con tiristores, exigiendo circuitos relativamente complejos para efectuar el apagado de las llaves.

La ventaja del BJT con respecto al tiristor reside en la posibilidad de poder apagarlo en forma forzada, en principio anulando la corriente del electrodo de comando (base) o aplicando una corriente inversa. El GTO permite el apagado mediante corriente inversa en el gate pero de prácticamente el valor de la corriente de ánodo. El transistor bipolar puede apagarse con una corriente inversa de base varias veces menor que la controlada e incluso con la supresión de dicha corriente, si los requerimientos de velocidad no son altos. De hecho hubo una discusión sobre si usar GTO o BJT en los circuitos de barrido horizontal de los primeros televisores fabricados con dispositivos de estado sólido.

Las desventajas principales residen en la comparativamente baja tensión de bloqueo, que limita el uso del BJT a aplicaciones de baja tensión, la baja velocidad de conmutación en comparación con dispositivos de uso actual como el MOSFET de potencia y el IGBT y la también comparativamente baja eficiencia de comando en relación a todos los dispositivos. La eficiencia de comando es la relación entre la potencia manejada por el dispositivo y la potencia necesaria para su comando.

Como componente básico de convertidores el BJT ha sido por lo tanto sustituido por otros dispositivos. Sin embargo la comprensión de sus características básicas mantiene su importancia por dos razones:

- Muchos conceptos asociados a todas las llaves apagables fueron desarrollados en el marco de la caracterización de los BJT como dispositivos para conmutación

de potencia.

- El funcionamiento de todas las llaves apagables actualmente en uso depende de la operación y características de transistores bipolares.

En lo que sigue se presentan los aspectos fundamentales de su estructura, funcionamiento y empleo. Se considerará la estructura *npn* por ser la de elección en aplicaciones de potencia.

## 6.2. Funcionamiento de un BJT como llave

Todas las llaves que se han visto hasta ahora (tiristores, GTO, CGT) son biestables, lo que quiere decir que tienen dos estados posibles, conducción y bloqueo o corte (ON - OFF).

El BJT no es intrínsecamente biestable, pues fue diseñado para uso como amplificador para controlar la corriente de colector a través de una carga externa haciendo circular una corriente adecuada entre base y emisor (fig. 6.1), llamada corriente de base  $I_B$ . Se cumple que:

$$I_C = \beta I_B \quad (6.1)$$

Donde  $\beta$  es la ganancia en emisor común del transistor en zona activa.

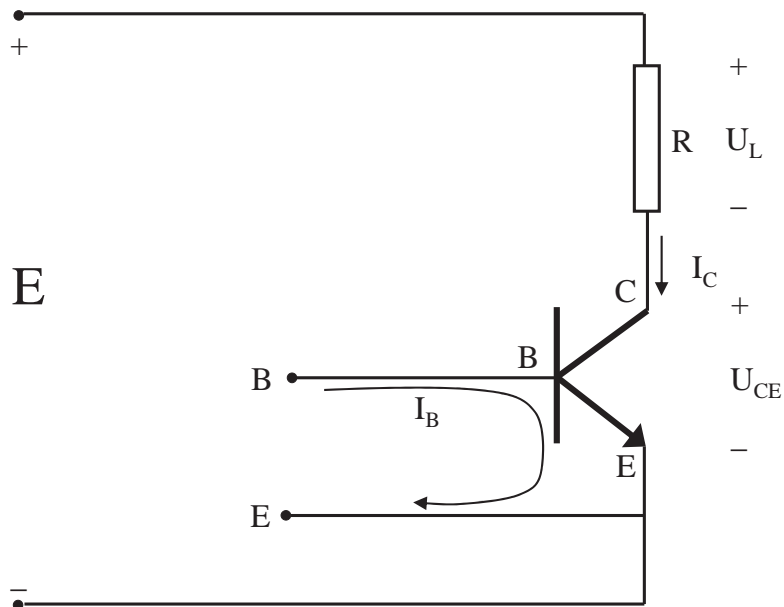


Figura 6.1: BJT

De acuerdo a la figura 6.1, si se aumenta la corriente de base aumenta  $I_C$  y por lo tanto la tensión sobre la carga  $R$ . Si la corriente de base es suficientemente grande la tensión sobre la carga alcanza el valor  $E$  menos una pequeña caída de tensión  $U_{CE}$  en el transistor. Un aumento adicional de la corriente de base no modifica la tensión sobre la carga. El transistor está en estado de saturación y se comporta como una llave cerrada. Si en una aplicación el transistor debe funcionar como llave para corrientes de carga de hasta un valor  $I_{C_{MAX}}$  la corriente de base deberá ser:

$$I_B > \frac{I_{C_{MAX}}}{\beta} \quad (6.2)$$

Si se llevara la corriente de base ( $I_B$ ) a cero, entonces la corriente de colector ( $I_C$ ) sería cero y el transistor estaría en estado de corte, funcionando como una llave abierta y bloqueando la tensión  $E$ .

En los casos intermedios la tensión  $E$  se reparte entre  $U_L$  y  $U_{CE}$ . El transistor se encuentra operando en la llamada zona activa. Esta zona de funcionamiento no es útil para la utilización del dispositivo como llave, pero debe ser tenida en cuenta ya que el transistor transita por ella durante la transición corte a encendido.

En la figura 6.2 se indican los estados de conducción y corte del dispositivo.

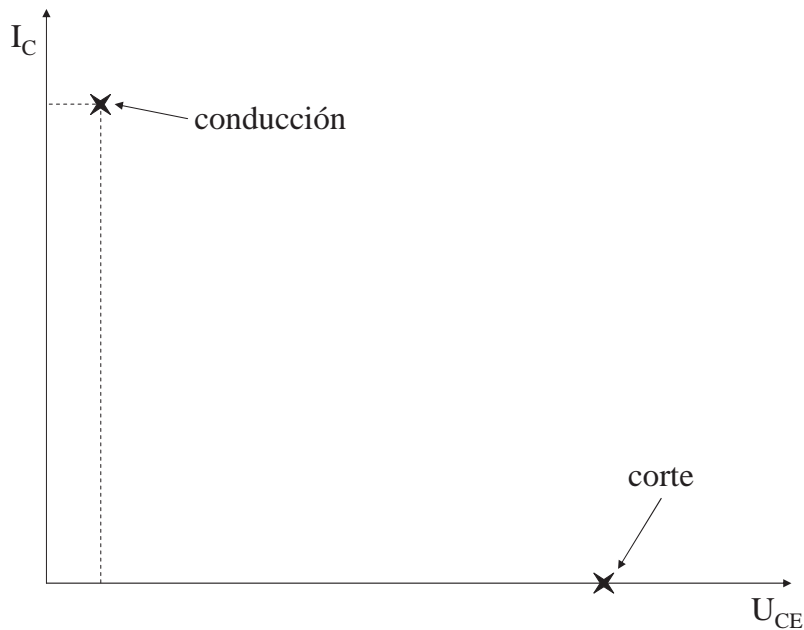


Figura 6.2: Estados de conducción y corte

Las transiciones entre los dos estados son pasajes del transistor por la zona activa y se tratará de que sean lo más rápidos posibles.

Está claro que, a diferencia de los dispositivos biestables, la corriente de base correspondiente a la corriente de colector a controlar debe estar circulando durante todo el tiempo de conducción del BJT.

### 6.3. Estructura del BJT de potencia

Para que el transistor sea útil como llave de potencia se requiere:

- que tenga una tensión de bloqueo directo del orden de por lo menos centenas de voltios.
- que tenga un área de conducción suficiente como para manejar corrientes importantes, desde unidades a por lo menos centenas de A.
- que sea rápido como para poder trabajar con frecuencias altas (típicamente mayores que algunos kHz) sin que las transiciones afecten significativamente las formas de onda rectangulares asociadas a la operación de convertidores de potencia.
- que pueda operar, en cierta extensión, en las condiciones de carga inductiva clampeada (capítulo 4), soportando simultáneamente valores altos de tensión y corriente durante las conmutaciones.

Para que el BJT se pueda utilizar en aplicaciones de potencia se debe entonces modificar su estructura de forma que se pueda aumentar la tensión de bloqueo. Para conectarlo a la red eléctrica se necesitaría una tensión de bloqueo  $U_B > 200$  V para redes de 110 Vca,  $U_B > 500$  V para redes de 230 Vca y  $U_B > 1200$  V para redes de 380/400 Vca.

Nota: El BJT no está previsto para ser utilizado en bloqueo inverso (tensión de emisor positiva con respecto al colector). En general tiene un diodo en antiparalelo o se utiliza en aplicaciones donde no se necesite bloquear una tensión inversa.

Una forma de aumentar la tensión de bloqueo es aumentar el espesor de la base <sup>1</sup>. Esto implica una disminución de la ganancia en corriente ( $\beta$  del transistor). Por otro lado el transistor necesita de una corriente de base mientras está conduciendo. Para que esta corriente no sea demasiado alta se necesita tener un  $\beta$  alto. Estos requerimientos en principio contradictorios para el esquema constructivo del transistor se han salvado manteniendo una base relativamente angosta y construyendo un colector consistente en una zona  $n^-$  contra la base y una  $n^+$  contra el contacto metálico.

La solución adoptada consiste en una estructura vertical (fig 6.3) con emisor y base interdigitados de un lado y con el colector del otro, análoga a la de otros dispositivos ya vistos.

<sup>1</sup>La juntura  $pn^-$  es la que soporta la tensión de bloqueo directo



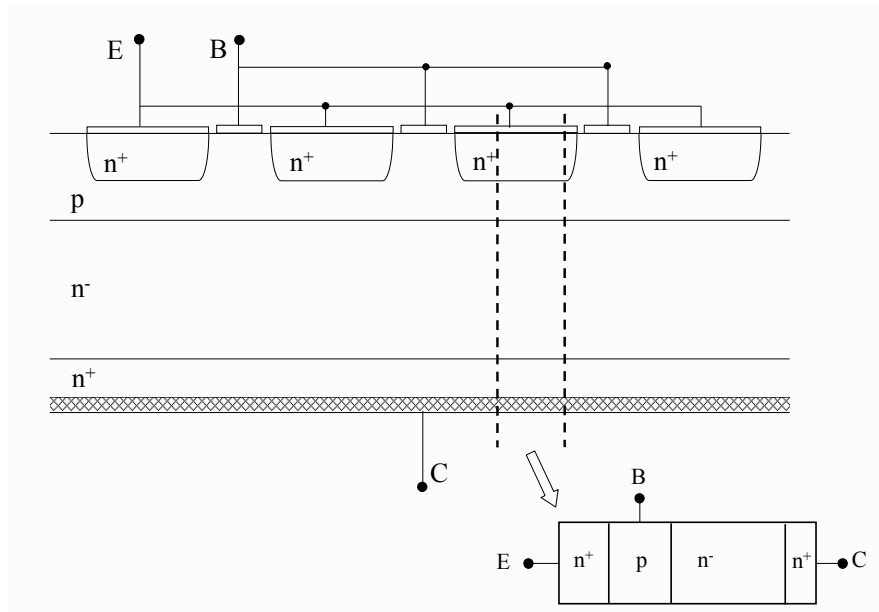


Figura 6.3: Esquema constructivo de un BJT de potencia

## 6.4. Curvas características. Corriente de colector / Tensión colector-emisor

### 6.4.1. Curvas características y funcionamiento de un transistor común

La figura 6.4 muestra un corte de la estructura vertical de un transistor bipolar común *npn*.

Los distintos modos de operación de un transistor común conectado según las figuras 6.1 y 6.5a) se representan en las curvas características esquemáticas de 6.5b):

- A** Aquí la corriente de base es cero y el transistor es una llave abierta (en realidad circula una pequeña corriente de fugas). Las dos junturas están polarizadas en inverso.
- B** El transistor está en zona activa, la corriente de colector depende de la corriente de base ( $I_C = \beta \cdot I_B$ ) y la tensión colector emisor es  $U_{CE} = E - R_L I_C$ . La juntura base-emisor está polarizada en directo y la base-colector en inverso.
- C** la corriente de base es mayor que en **B**,  $I_C$  es mayor y por lo tanto la tensión  $U_{CE}$  disminuye, pero el transistor está aún en la zona activa.
- D** Se suministra una  $I_B > I_C/\beta$  y el transistor está en el límite del estado de saturación.

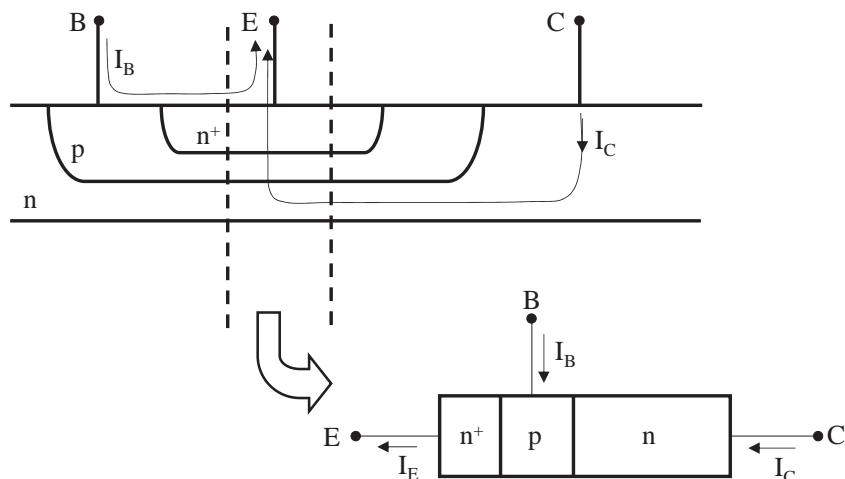


Figura 6.4: Estructura de un transistor bipolar común

D' Aquí el transistor entra en saturación dura pues se continuó aumentando la corriente de base. La tensión  $U_{CE} = U_{CE(sAT)}$  es del orden de décimas de V, caída de tensión en el material que depende de la corriente de colector. Las dos junturas están polarizadas en directo.

En conducción, la juntura base emisor se polariza en directo y la corriente base-emisor inyecta huecos en el emisor lo que provoca ingreso de electrones del emisor a la base. La base se construye con un espesor  $W_b$  mucho menor que la longitud  $L_n$  de difusión de los electrones en el material  $p$

$$W_b \ll L_n = (D_n \tau_n)^{1/2} \quad (6.3)$$

Donde  $D_n$  es la constante de difusión de electrones en material  $p$  y  $\tau_n$  el tiempo de vida media de los electrones como portadores minoritarios antes de recombinarse.

De esa forma la mayoría de los electrones ingresados desde el emisor - portadores minoritarios en la base - llegan al colector por el mecanismo de difusión sin recombinarse, formando la corriente de colector. Cuando el transistor opera en la zona activa la densidad de electrones en la base (y por lo tanto la carga almacenada) se distribuye linealmente, siendo máxima en la juntura  $E-B$  y prácticamente cero en la  $B-C$ , que está polarizada en inverso. La pendiente de la distribución de cargas  $q_{nb}(x)$  en el espesor de la base es controlada por la corriente de base. La densidad de corriente de colector es aproximadamente:

$$J_c \approx D_n \frac{d(q_{nb}(x))}{dx} \quad (6.4)$$

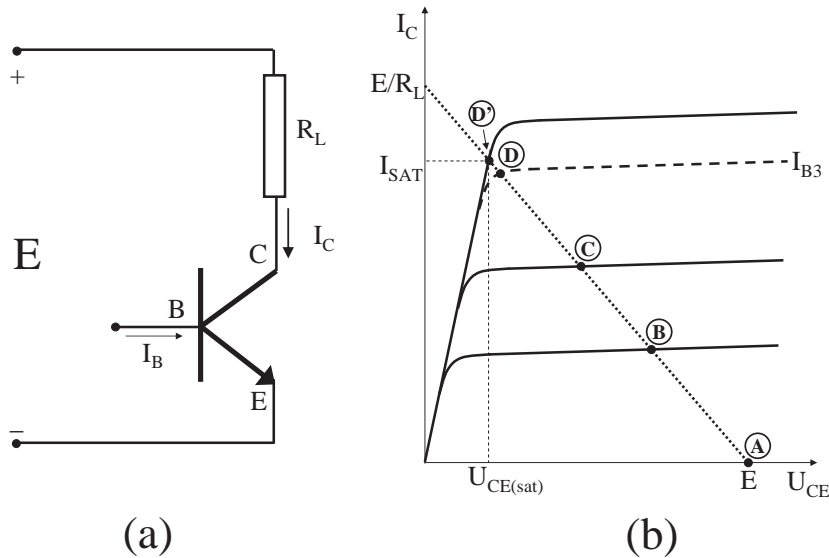


Figura 6.5: Transistor bipolar común - (a) Circuito con carga resistiva - (b) Características y puntos de trabajo

Cuando la corriente de base es mayor que la necesaria para mantener la máxima corriente que es capaz de suministrar el circuito externo, la juntura  $B - C$  se polariza en directo y se acumulan portadores en exceso en la base del transistor, el cual entra en saturación dura.

La figura 6.6 muestra la distribución de cargas en los distintos estados. En 6.6e)  $Q_{s1}$  representa la carga almacenada en la base necesaria para mantener la corriente máxima  $I_{C_{sat}}$ , lo que correspondería a una corriente de base  $I_{B3}$  y  $Q_{s2}$  el exceso de carga inyectada desde el emisor por efecto de  $I_{B4} > I_{B3}$ . La pendiente de la distribución de cargas en la base en saturación se mantiene con la corriente, en la medida que no se tenga en cuenta el efecto de inyección de electrones desde el colector (efecto de transistor inverso) Estas características juegan un papel importante en el uso del transistor como llave.

#### 6.4.2. Curvas características del BJT para conmutación de potencia

Para lograr las tensiones de bloqueo directo necesarias para la aplicación del BJT en conmutación de potencia se adoptó la estructura de la figura 6.4. La juntura  $p - n^-$  (base - zona  $n^-$  del colector) soporta la tensión de bloqueo de forma análoga a lo que sucede en un tiristor o GTO (capítulos 3 y 5). La zona  $n^-$  modifica el comportamiento del transistor en conducción introduciendo la llamada "zona de casi - saturación".

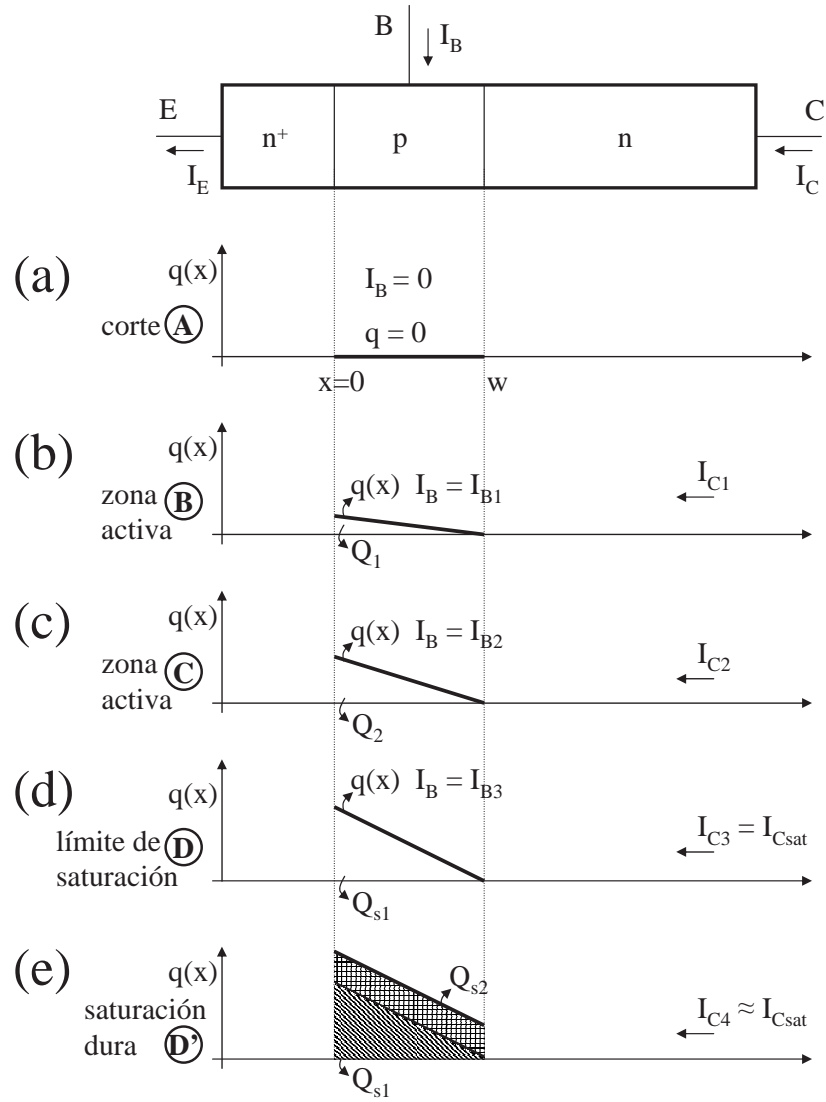


Figura 6.6: Distribución de portadores minoritarios (electrones en la base p) para los distintos estados de la figura 6.5

### Zona de casi-saturación

Como en todos los semiconductores de potencia que soportan tensiones de bloqueo altas, la capa  $n^-$  (drift region en la literatura en inglés) introduce una zona de resistencia intrínseca relativamente alta  $R_\nu$  en el camino de la corriente. Consideramos nuevamente el circuito de las figura 6.5a). La tensión base - emisor en un transistor de potencia en conducción es aproximadamente  $U_{BE} \approx 0,7 V$ .

En la zona activa la juntura base - colector  $pn^-$  está polarizada en inverso. Si introducimos la caída de tensión en la resistencia  $R_\nu$  se ve que el transistor permanecerá en la zona activa siempre que:

$$U_{CE} > R_\nu I_C + U_{BE} \approx R_\nu I_C + 0,7V \quad (6.5)$$

Si se aumenta la corriente de base aumenta la tensión sobre la carga y  $U_{CE}$  disminuye, llegándose a un punto en que:

$$U_{CE} \approx R_\nu I_C + 0,7V \quad (6.6)$$

Con mayor  $I_B$  la juntura  $pn^-$  se polariza localmente en directo y se inyectan huecos en la región  $n^-$  adyacente a la base. Para mantener la neutralidad de carga se almacenan electrones que vienen difundándose desde el emisor. La distribución de electrones de la base comienza a penetrar en la zona  $n^-$ . Como resultado la zona  $n^-$  adyacente a la base aumenta fuertemente su conductividad dejando de contribuir a la resistencia  $R_\nu$ . El resto de la zona  $n^-$  se comporta como una resistencia  $R'_\nu < R_\nu$  y la tensión  $U_{CE}$  decrece hasta  $R'_\nu I_C + 0,7 V$ . La base aumenta virtualmente su ancho entrando en el colector  $n^-$  y la ganancia de corriente disminuye. La resistencia serie  $R'_\nu$  es esencialmente la resistencia entre el límite de la base ensanchada y la zona  $n^+$ . En estas condiciones el transistor de potencia, con estructura  $n^+pn^-n^+$ , se encuentra en estado de casi-saturación. Se comporta como un transistor en serie con una resistencia que disminuye con el aumento de la corriente de base. Si la corriente de base aumenta lo suficiente la distribución de electrones de la base virtual ocupa toda la zona  $n^-$  y el transistor llega a estado de saturación. Mayor corriente de base lleva al transistor a saturación dura con exceso de portadores en la base. La tensión  $U_{CE} < U_{BE}$  y todas las junturas están polarizadas en directo.

La figura 6.8 muestra las curvas características de un transistor con la estructura de figura 6.3 con las tres zonas de operación. El límite entre la zona activa y la de casi saturación está dado por la expresión  $U_{CE} = R_\nu I_C + U_{BE}$ , una recta de pendiente  $1/R_\nu$  que corta al eje de la tensión colector-emisor en el valor de la tensión  $U_{CE} = U_{BE}$ .

## 6.5. Tensiones de Bloqueo. Avalancha y rupturas (breakdown)

Actuando como llave abierta el transistor debe soportar una tensión  $U_{CE}$  impuesta por el circuito externo. Debe ser construido por lo tanto de forma que soporte las tensiones usuales en los convertidores, incluyendo sobretensiones que pueden producirse en las conmutaciones. Las tensiones límite de bloqueo directo de un BJT son los valores para los cuales el dispositivo entra en avalancha, lo que quiere decir que en las condiciones dadas el dispositivo se vuelve conductor llevando la corriente que el circuito externo esté en condiciones de suministrar.

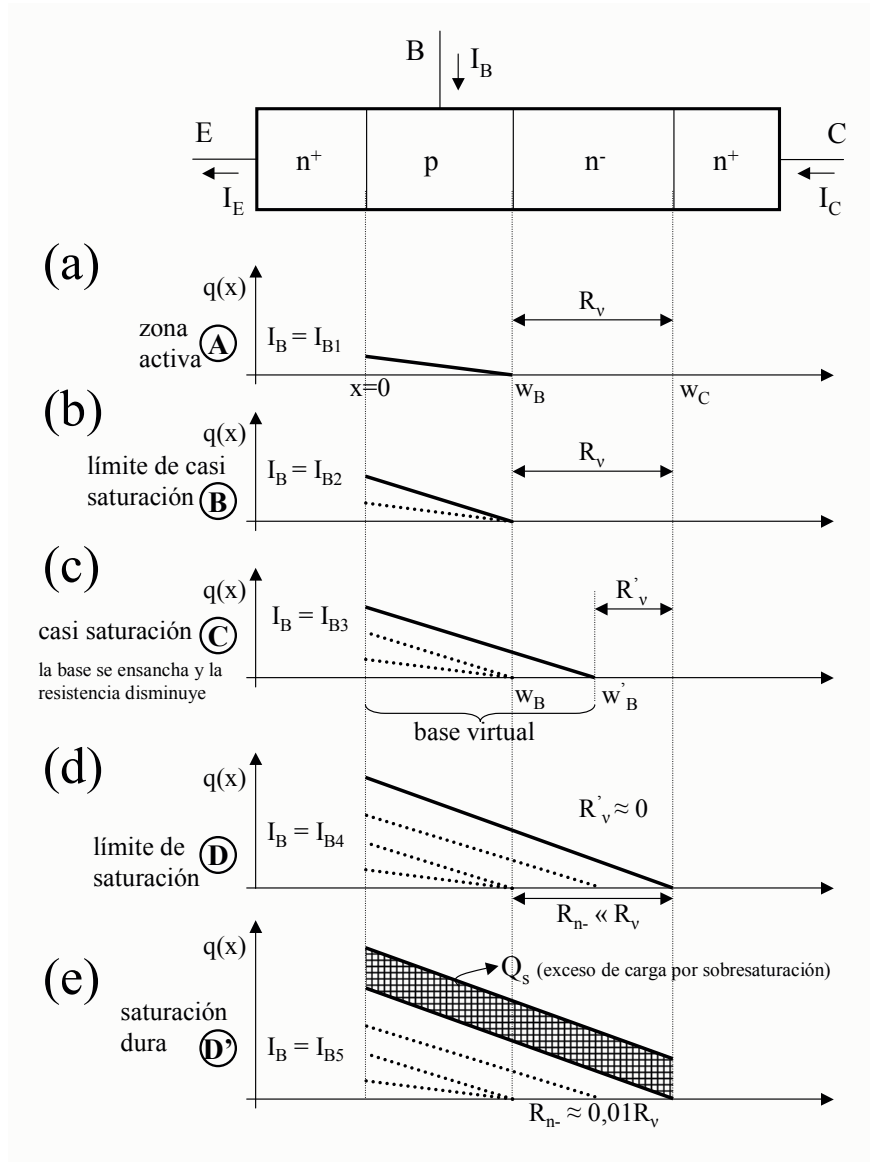


Figura 6.7: Distribución de portadores en el BJT para conmutación de potencia en los distintos estados de conducción

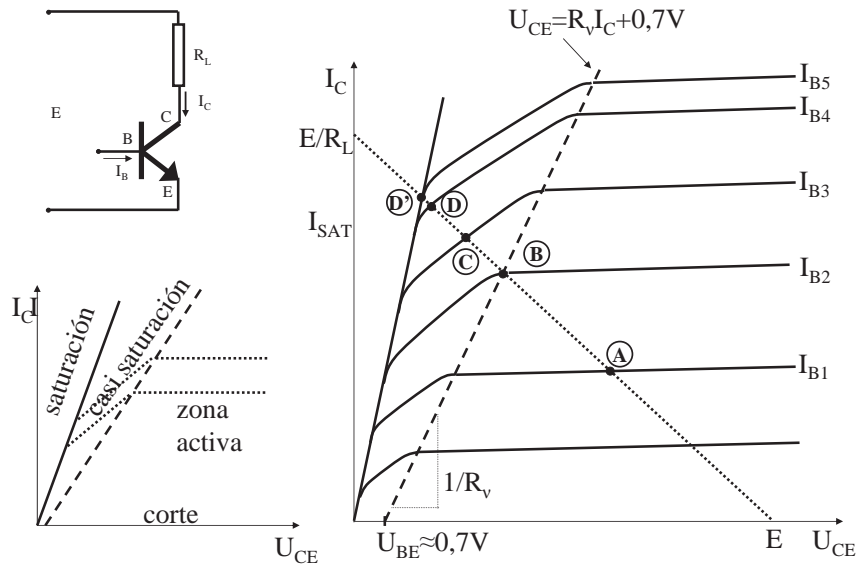


Figura 6.8: Curvas características del BJT de potencia

Estos valores dependen del ancho de la zona  $n^-$  del colector y de las condiciones de polarización de la base.

Se definen los siguientes valores de avalancha:

$U_{CB0}$ : tensión de avalancha de la juntura colector - base con el emisor abierto,  $I_E = 0$ . Es el mayor valor de avalancha asociado al transistor.

$U_{CE0}$ : tensión de avalancha colector - emisor con la base abierta,  $I_b = 0$ .

$U_{CES}$ : tensión de avalancha colector - emisor con un cortocircuito entre la base y el emisor.

$U_{CER}$ : tensión de avalancha colector - emisor con una resistencia conectada entre el emisor y la base. Este valor se encuentra naturalmente entre  $U_{CE0}$  y  $U_{CES}$ , dependiendo del valor de la resistencia.

$U_{CEV}$ ,  $U_{CEX}$ : tensión de avalancha colector - emisor con la juntura base - emisor polarizada en inverso, es decir que  $U_{BE} < 0$ . En las hojas de datos se indica su valor para determinado valor negativo de  $U_{BE}$ . El valor  $U_{CEV}$  se encuentra entre  $U_{CES}$  y  $U_{CB0}$ . Se puede aproximar a  $U_{CB0}$  con suficiente polarización inversa en la base, que por otra parte está limitada por el valor de avalancha de la juntura base - emisor, que usualmente es  $-U_{BE(avalancha)} < 10 V$ .

A veces se indica la polarización inversa mediante una corriente negativa de base. Esa corriente negativa circula cuando el transistor se está apagando, lo cual es un proceso transitorio. Una vez apagado la corriente de base se hace prácticamente cero y el transistor quedará con una polarización que dependerá del circuito de manejo de base empleado, y que usualmente consistirá en una tensión negativa.

Se cumple que  $U_{CB0} > U_{CEV} > U_{CES} > U_{CER} > U_{CE0}$ .

Nota: Estos valores (como todos los de tensión) aparecen con más frecuencia denominados con una "V" ( $V_{CB0}$ ,  $V_{CEV}$ , etc.) En este texto se ha optado por mantener la notación utilizada en el curso, que corresponde a la de la CEI (Comisión Electrotécnica Internacional).

### Máxima tensión admisible de trabajo

Al utilizar el transistor, importa la máxima tensión a la cual el dispositivo puede mantener una corriente importante de colector. En polarización directa esa tensión se llama  $U_{CE0(sus)}$ , por "sustaining" o "sustained" y es el valor al cual converge  $U_{CE}$  al crecer la corriente durante una avalancha desde los distintos estados de polarización de base, resultando algo menor que  $U_{CE0}$ . El valor  $U_{CE0(sus)}$  es el límite de tensión de bloqueo para utilización del transistor en polarización directa.

Se define en forma similar un valor  $U_{CEV(sus)}$  para polarización inversa. Es el límite de tensión de bloqueo con polarización inversa manteniendo un cierto valor de corriente de colector durante el proceso transitorio de apagado. Es algo menor que el  $U_{CEV}$  para la misma polarización inversa base - emisor.

Los datos de tensión de bloqueo que proporciona el fabricante son justamente los valores  $U_{CE0(sus)}$  y  $U_{CEV(sus)}$  para determinadas condiciones de corriente de colector y polarización de base.

Los valores  $U_{CE0(sus)}$  y  $U_{CEV(sus)}$  son límites de las zonas de operación segura del transistor (sección 6.8)

La figura 6.9 muestra las curvas características  $I_C - U_{CE}$  en la zona de avalancha.

### Segunda ruptura (second breakdown)

La figura 6.9 muestra además la curva correspondiente al fenómeno de segunda ruptura o second breakdown. Este proceso destructivo en el transistor es diferente del "first breakdown". La primera ruptura o "first breakdown" es un proceso de avalancha no necesariamente destructivo. El segundo breakdown se produce cuando la tensión y la corriente asumen simultáneamente valores más altos que determinados límites específicos. Se manifiesta como una brusca caída de tensión a un valor más bajo pero sostenido, no controlable por la corriente de base, lo que puede llevar a la destrucción térmica del transistor.

Valores simultáneamente altos de  $U_{CE}$  e  $I_C$  se producen durante el encendido y apagado del transistor con carga inductiva clampeada (ver capítulo 4). En esas situaciones la corriente no está uniformemente distribuida en el chip, lo que implica que transitoriamente toda la corriente esté circulando por partes del mismo.

A su vez en los dispositivos basados en portadores minoritarios como el BJT la resistividad disminuye con la temperatura a tensión constante, por lo tanto la corriente tiende a aumentar con la temperatura.

El aumento de corriente y la no distribución uniforme combinadas lleva a la formación de puntos calientes en los que, a tensión constante, la densidad de corriente aumentó por encima de lo admisible para la disipación térmica, produciéndose la destrucción del dispositivo por fundición del silicio en dichos puntos. El fabricante da datos sobre los valores admisibles al indicar las zonas de operación segura. (sección 6.8)



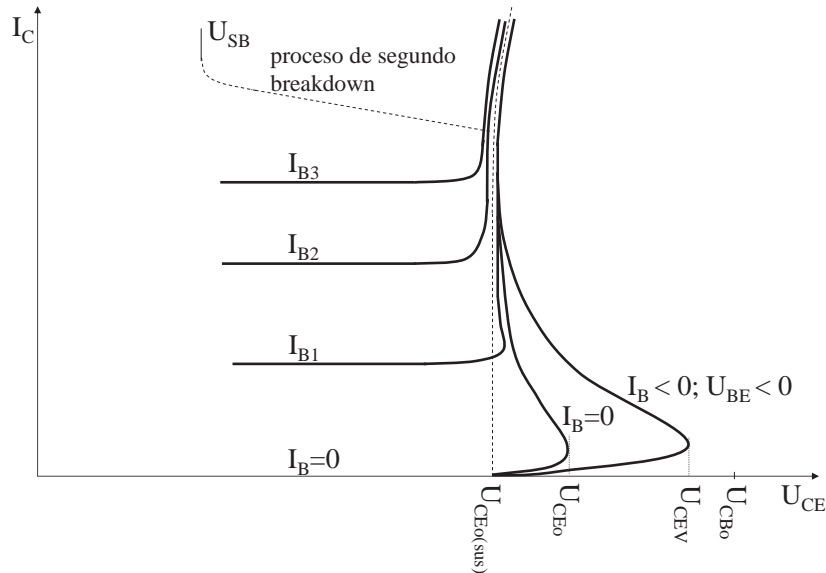


Figura 6.9: Curvas características aproximadas en la zona de avalancha

## 6.6. Corrientes máximas

La corriente de colector admisible está determinada por la disipación térmica en el chip de silicio y en los contactos así como por el fenómeno de segunda ruptura o segundo breakdown. Se define un valor  $I_{C(\text{cont})}$ , corriente que el transistor es capaz de conducir en forma permanente bajo determinadas condiciones y un valor  $I_{CM} = 2I_{C(\text{cont})}$ , máximo admisible en forma pulsada. Estos valores limitan parte de la zona de operación segura y se verán en la sección 6.8.

## 6.7. Procesos de Conmutación

El BJT para conmutación de potencia trabaja alternativamente en estado de bloqueo o corte y en conducción plena, que puede ser saturación o, como se verá más adelante, casi saturación. El comando de base debe asegurar que las transiciones entre los dos estados se produzcan en forma rápida (tiempos de por lo menos un orden de magnitud menores que los tiempos en conducción o corte) y segura. Se analizan entonces las características de estas transiciones para un BJT que comanda una carga inductiva clampeada ( figura 6.10 y capítulo 4).

Las formas de onda de encendido y apagado se muestran en la figura 6.11.

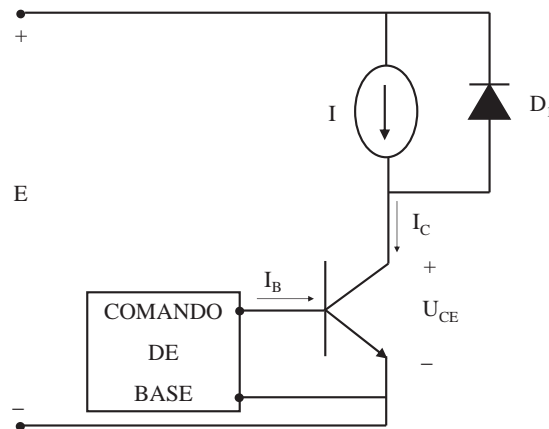


Figura 6.10: BJT con carga inductiva clampeada

### 6.7.1. Encendido (turn-on)

En el encendido con carga inductiva clampeada la corriente a conducir está inicialmente circulando por el diodo  $D_1$ . El comando de base consiste en una corriente  $I_{B(on)}$  mayor a la correspondiente a la corriente  $I$  para la zona activa. El punto de operación del transistor estará en la zona de saturación o de casi saturación, de acuerdo a la  $I_B$  elegida. Es común evitar la saturación dura para aumentar la velocidad de apagado. Si la ganancia del transistor en zona activa es  $\beta = I_C/I_B$ , se elige una corriente de encendido  $I_{B(on)} > I_B$ .

Se define usualmente una ganancia "forzada"  $\beta_F = I_C/I_{B(on)} \ll \beta$ . La ganancia forzada elegida depende del grado de saturación o casi saturación deseado para el punto de trabajo en conducción. Depende además del circuito elegido para comando de la base. Si se dispone de una única corriente de base, ésta deberá ser suficientemente grande como para mantener el transistor en el punto de conducción a la máxima corriente prevista para el circuito.  $\beta_F$  será entonces mucho menor que  $\beta$ . Normalmente los circuitos de comando de base de transistores de potencia ajustan la corriente de base a la que está pasando por el colector, de esa forma alcanza con que la ganancia forzada sea algo menor que la ganancia en la zona activa. La ganancia forzada depende del circuito de comando y no es una característica del transistor, sino un parámetro de diseño.

Para prender el transistor se aplica un escalón de corriente  $I_{B(on)} = I_{B1}$  en  $t = 0$ . La juntura base - emisor tarda un tiempo en pasar de polarización inversa a polarización directa con  $V_{BE} \approx 0,7V$ . Ese tiempo se define como tiempo de retardo en el encendido (turn on delay time  $t_{d(on)}$ ). En  $t = t_{d(on)}$  la corriente de colector comienza a crecer conmutando del diodo al transistor. El tiempo que demora  $I_C$  en alcanzar el valor  $I$  es el tiempo de subida (rise time,  $t_r$ ). En el instante  $t_{d(on)} + t_r$  se corta  $D_1$  y la tensión  $U_{CE}$  comienza a caer. Al principio cae rápidamente debido a la alta ganancia en la zona activa. La pendiente decrece cuando entra en la zona de casi saturación. Si  $I_{B(on)} = I_{B1}$  es suficientemente grande el transistor entra en saturación dura. El punto de

trabajo en conducción queda definido por  $I_C = I$  y  $U_{CE} = U_{CE(sat)}$ . La corriente  $I_{B(on)}$  debe mantenerse durante todo el período de conducción. Los portadores minoritarios de la base se distribuyen según la figura 6.7e). El tiempo total de encendido es  $t_{on} = t_{d(on)} + t_r$ .

### 6.7.2. Apagado (turn-off)

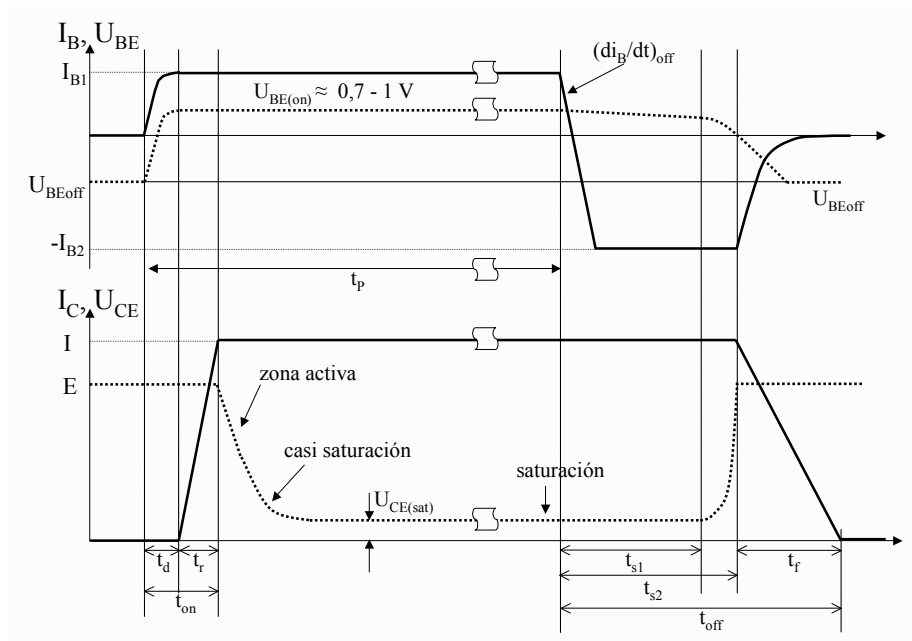


Figura 6.11: Formas de onda simplificadas de encendido y apagado de un BJT con carga inductiva clampeada.  $t_{s1}$  y  $t_{s2}$  son definiciones alternativas del tiempo de almacenamiento (storage time)

Para que el transistor pase a estado de corte (llave abierta) es necesario retirar todos los portadores minoritarios de la base y las cargas del mismo signo de la zona  $n^-$ . Si el transistor está en saturación dura hay además un exceso de cargas por encima de las necesarias para mantener al transistor en conducción. En teoría el BJT puede apagarse llevando la corriente de base a cero. Los electrones de la base  $p$  y de la zona  $n^-$  desaparecen por recombinación. Este proceso lleva un tiempo demasiado largo para fines prácticos, por lo que el método de apagado usual consiste en aplicar una corriente inversa (negativa) de valor  $I_{B2}$  a efectos de retirar todo el exceso de portadores. El valor de  $I_{B2}$  es recomendado por el fabricante. Un valor alto de  $I_{B2}$  retirará las cargas más rápido, pero aumenta por otra parte el riesgo de entrada en segundo breakdown. El valor de  $I_{B2}$  es entonces un compromiso.  $I_{B2}$  se aplica con una pendiente controlada o en forma abrupta, dependiendo del estado de saturación del BJT. Mientras se retira el exceso de portadores que mantiene al BJT en saturación dura la tensión  $U_{CE}$  no crece. El tiempo que transcurre desde la aplicación de la corriente inversa y el retiro suficiente de portadores como para que el BJT

entre en casi saturación se llama tiempo de almacenamiento (storage time,  $t_s$ ). Este tiempo puede llegar a 15 - 20  $\mu s$  y es el que condiciona la velocidad de apagado del dispositivo. Mientras se retiran portadores de la zona  $n^-$  el BJT recorre la zona de casi-saturación y la tensión  $U_{CE}$  crece lentamente. Luego crece rápidamente recorriendo la zona activa. Durante todo este tiempo la corriente  $I_C = I$ , ya que el diodo no puede conducir. Cuando  $U_{CE} = E$  el diodo  $D1$  empieza a conducir y la corriente por el transistor cae a 0 en un tiempo  $t_f$  (fall time). Durante este proceso la corriente inversa de base disminuye y también lo hace la pendiente de la distribución de portadores en la base. Cuando  $I_C$  cae a cero la corriente de base se hace 0 y el transistor queda polarizado en inverso con la tensión que proporcione el circuito de manejo de base. ( $U_{BE} = -2V$  a  $-5V$ ).

*Nota 1: También se define  $t_s$  como el tiempo transcurrido entre el momento en que se aplica la corriente inversa de base y el momento en que la corriente de colector empieza a disminuir. Lo importante es saber cómo están definidos los tiempos dados por el fabricante para un dispositivo determinado.*

El tiempo total de apagado es entonces  $t_{off} = t_s + t_f$

*Nota 2: En realidad los tiempos de conmutación se definen entre puntos en los cuales la o las magnitudes involucradas están en el 10 % y el 90 % de sus valores máximos. Así,  $t_{d(on)}$  se define como el tiempo transcurrido entre el instante en que la corriente de base está en el 10 % de su valor final y el instante en que la corriente de colector está en el 10 % del valor de conducción, y  $t_f$  como el tiempo entre el instante en que la corriente  $I_C$  cayó al 90 % del valor  $I$  y el instante en que  $I_C$  llega al 10 % de dicho valor. Los otros parámetros se definen de manera análoga. En los dibujos se ha optado por simplificar las formas de onda e indicar los tiempos entre 0 y 100 % de los valores involucrados.*

La figura 6.11 muestra el proceso de encendido y apagado de un BJT. La figura 6.12 muestra la trayectoria de conmutación a través de las distintas regiones del diagrama de curvas características.

Si el transistor es apagado mediante una corriente de base inversa muy alta y muy abrupta es posible que la juntura base - emisor se polarice en inverso cuando aún queda gran cantidad de portadores en la zona  $n^-$ . Esos portadores solamente pueden circular por la base, ya que el diodo base - emisor está cortado. La corriente de base se hace igual a la de colector, el transistor es apagado con ganancia 1 y por lo tanto muy lentamente. Aparece una cola de corriente de colector (current tailing) y el transistor se apaga mucho más tarde de lo que debiera, aumentando las pérdidas (la tensión ya está en su valor final) y comprometiendo el funcionamiento del circuito. Este sistema de apagado se usa en el IGCT, pero en ese caso se usa un circuito de comando capaz de dar una corriente igual a la de colector, cosa que no se justifica en un BJT. La figura 6.13 muestra las curvas de apagado en esta situación y la distribución de portadores en conducción y en la última fase del apagado. Como la juntura base - emisor está cortada el dispositivo se apaga como un diodo o tiristor con recuperación inversa muy lenta.

### Elección del punto de trabajo en conducción

En la práctica, cuando se necesita alta velocidad, se ajusta la corriente de base de manera de mantener al transistor en casi saturación. Se disminuye  $t_s$  al precio de aumentar las pérdidas de conducción. El punto de trabajo B de la figura 6.12 se obtiene ajustando la corriente de base a  $I_{B1A}$ . El punto C

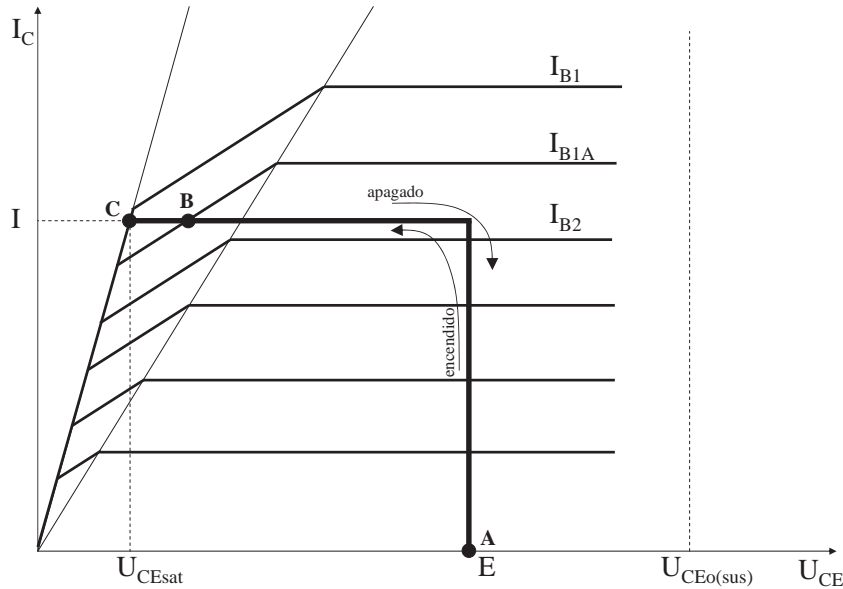


Figura 6.12: Trayectorias durante la conmutación - Si se aplica  $I_{B1}$ , el BJT entra en saturación dura (punto C) - Si se aplica  $I_{B1A}$  el BJT queda en casi saturación.

(saturación dura) se obtiene para corrientes iguales o mayores que  $I_{B1}$ .

Los valores prácticos de  $U_{CE}$  en casi-saturación están en el orden de los 2 V.

En aplicaciones de muy baja frecuencia (inversores de onda cuadrada o casi cuadrada) el transistor se ha usado en saturación dura de manera de mantener la caída de tensión  $U_{CE(sat)}$  lo suficientemente baja como para minimizar las pérdidas, sobre todo en inversores desde baterías de 12 V como las de los autos. Actualmente para esas aplicaciones se usan MOSFETs (capítulo 7).

## 6.8. Zonas o áreas de operación segura (SOA) de un transistor bipolar

Las zonas o Areas de Operación Segura (*SOA*: Safe Operating Area) consisten en la representación, en diagramas  $I_C - U_{CE}$  de los puntos de trabajo que, bajo determinadas condiciones, no representan riesgo de daño para el dispositivo. Constituyen un método muy útil para resumir en forma compacta los valores máximos de tensión y corriente a que puede ser sometido un transistor bipolar. Los diagramas de SOA se incluyen normalmente en las hojas de datos de los dispositivos. Se distinguen dos tipos de SOA: La zona de operación segura con

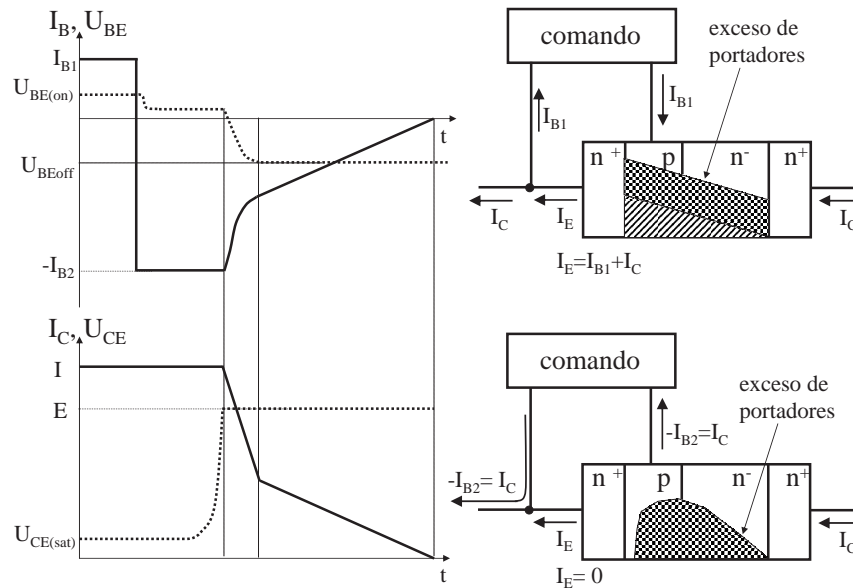


Figura 6.13: Apagado de un transistor saturado con corriente inversa abrupta

polarización de base directa (*FBSOA*: Forward-Bias Safe Operating Area) y la zona de operación segura con polarización de base inversa (*RBSOA*: Reverse-Bias Safe Operating Area). En lo que sigue se utilizarán las siglas en inglés. La *FBSOA* se aplica cuando el transistor está polarizado con una corriente de base positiva, es decir durante el encendido y la conducción (estado *ON*). Durante el proceso de apagado, cuando se aplica una corriente negativa a la base, o cuando está en estado de corte (*OFF*) con una tensión base-emisor negativa, debe tomarse en cuenta la *RBSOA*.

### 6.8.1. FBSOA

La *FBSOA* está representada en la figura 6.14. Se distingue una zona básica -la más restrictiva- que representa los valores de tensión colector-emisor y corriente de colector, que el transistor puede soportar simultáneamente en forma permanente manteniendo el encapsulado a una temperatura  $T_c$  dada en la hoja de datos (usualmente  $25^\circ C$ ).

Los límites de la zona están dados por diferentes mecanismos físicos: El límite A - B es una recta horizontal de ecuación  $I_C = I_{C(cont)}$ . La corriente  $I_{C(cont)}$  es la máxima corriente de colector admisible en forma permanente. No está limitada por el transistor en sí sino por las características de los contactos y conductores metálicos entre el chip de silicio y los terminales de contacto accesibles. El límite B - C es una recta (en diagrama logarítmico) que representa el límite impuesto por la potencia máxima que puede disipar el transistor. En realidad el límite está dado por la temperatura máxima de juntura (normalmente  $T_j =$

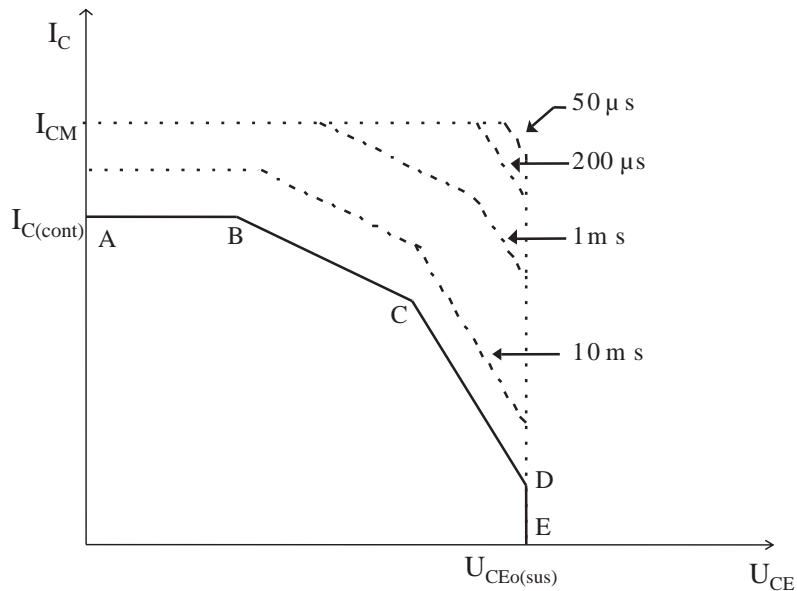


Figura 6.14: Zona de operación segura con polarización directa (FBSOA)

$150^{\circ}C$ ). La potencia queda determinada por la temperatura a que se mantiene el encapsulado y la resistencia térmica juntura-encapsulado ( $R_{jc}$ ). El límite de potencia representado corresponde usualmente a  $T_c = 25^{\circ}C$ . Lo corriente es trabajar a temperaturas de encapsulado bastante mayores. En tal caso el límite B-C debe correrse hacia el menor valor de potencia correspondiente. Como ayuda las hojas de datos presentan una gráfica del factor de "derating" de la potencia permanente a disipar en función de  $T_c$ . El límite C- D está impuesto por las combinaciones máximas admisibles de valores de  $I_C$  y  $U_{CE}$  para las cuales no se produce el fenómeno de carácter destructivo ya descrito llamado "segunda ruptura" o "second breakdown" (en lenguaje corriente "segundo breakdown"), de aquí en adelante designado *SB*. La posición de esta recta también debe ser modificada si se trabaja a  $T_c > 25^{\circ}C$ . Los factores de modificación se presentan usualmente en la misma gráfica que los de modificación de la potencia máxima con la temperatura (figura 6.15).

El límite D - E es una recta vertical de ecuación  $U_{CE} = U_{CEO(sus)}$ . La tensión  $U_{CEO(sus)}$  es una tensión de avalancha definida de la siguiente manera:

Si a un transistor con la base abierta lo sometemos a una tensión creciente  $U_{CE}$ , cuando ésta llega a un valor  $U_{CEO}$  ( $U_{CE}$  "open") el transistor entra en avalancha y empieza a conducir corriente. Si la corriente disponible crece, la tensión durante la avalancha cae a un valor algo menor que resulta ser el  $U_{CEO(sus)}$ . El sufijo (*sus*) corresponde a "sustaining", y se refiere al hecho de que es la máxima tensión a la que el dispositivo puede mantener una corriente importante no destructiva. (figura 6.9)

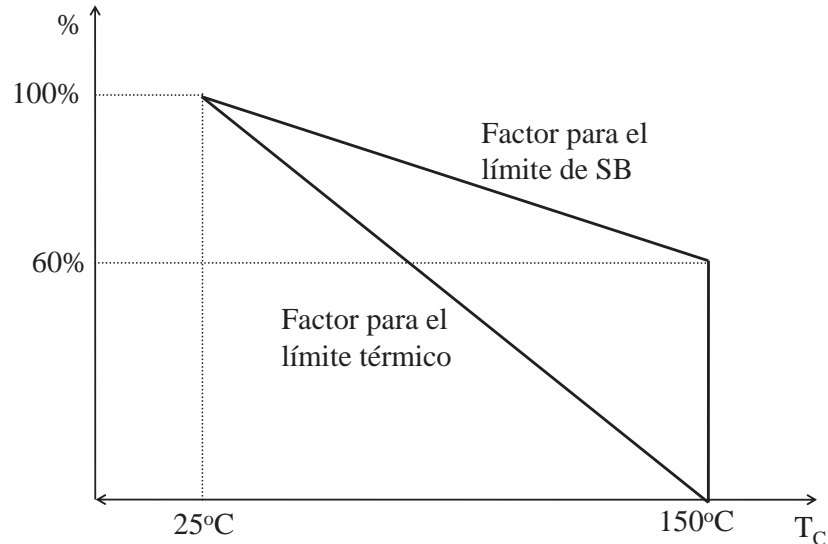


Figura 6.15: Factores de modificación del límite de potencia máxima y de SB (FBSOA)

Las cargas de los dispositivos apagables como el BJT son en su mayoría cargas inductivas clampeadas en las que la corriente es conmutada entre un diodo con el cátodo a un potencial fijo y el transistor. En esas condiciones la corriente crece por el transistor a tensión prácticamente constante hasta que el diodo se apaga y  $U_{CE}$  baja, pasando entonces el transistor a estado de saturación o casi-saturación.  $U_{CEO(sus)}$  es por lo tanto usualmente definida como la máxima tensión que puede tener el transistor mientras la corriente crece en esas condiciones. En forma transitoria, como por ejemplo durante el encendido, el transistor puede estar, en cuanto a su tensión y corriente, en una zona menos restringida. Los nuevos límites de corriente máxima, potencia máxima y S-B se expanden paramétricos en la duración del estado transitorio (figura 6.14). En términos muy simplificados se puede decir que esto se produce debido a la capacidad térmica del dispositivo, que permite absorber cierta cantidad de calor sin que la temperatura del chip o de los contactos suba excesivamente. El  $U_{CEO(sus)}$  no cambia. Si el encendido se produce en pocos microsegundos, la FBSOA queda esencialmente rectangular, limitada solamente por un valor  $I_{CM}$  máximo, usualmente el doble que  $I_{C(cont)}$ , y por  $U_{CEO(sus)}$ . Es de destacar que los límites de la FBSOA paramétricos en el tiempo están dados por el fabricante para pulsos "no repetitivos". Esto puede interpretarse de la siguiente manera: Supongamos que el transistor está trabajando a una temperatura de juntura  $T_{jr}$  en régimen. En esas condiciones el fabricante indica que el estado



del transistor dado por la tensión y la corriente puede encontrarse por debajo de la curva indicada con "1  $\mu s$ " durante un transitorio que dure a lo sumo 1  $\mu s$ . Como durante ese transitorio la disipación térmica aumenta,  $T_j$  aumenta. Entonces, luego de finalizado el transitorio, éste no podrá repetirse hasta que la temperatura de juntura baje a  $T_{jr}$ . Por supuesto que la curva de FBSOA a emplear debe ser la calculada para la temperatura de encapsulado  $T_c$  de régimen.  $T_c$  se puede fijar mediante la temperatura  $T_{jr}$  y las resistencias térmicas involucradas en el montaje del caso; la temperatura  $T_j$  luego del transitorio y el tiempo que debe transcurrir antes de que ocurra un nuevo pulso pueden calcularse utilizando la gráfica de resistencia térmica transitoria.

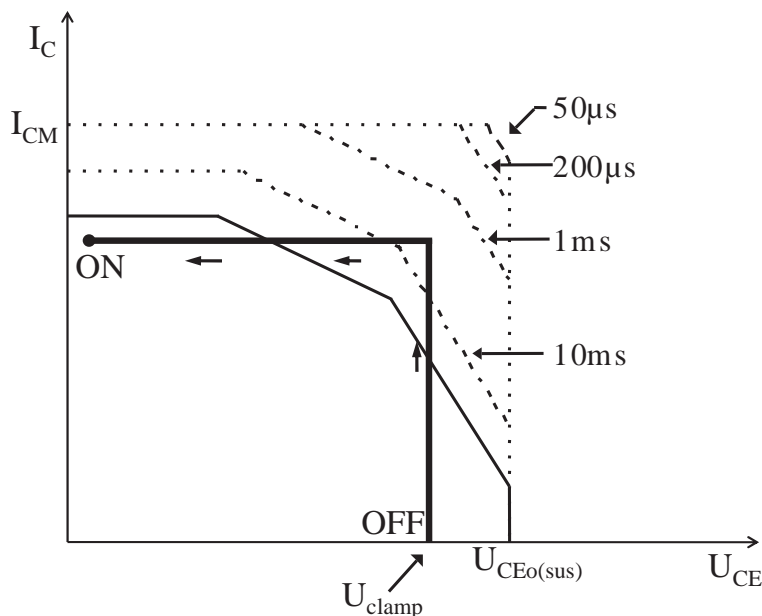


Figura 6.16: Conmutación inductiva en la FBSOA

La figura 6.16 muestra una trayectoria idealizada del encendido de un BJT con carga inductiva clampeada por un diodo. El dibujo y los tiempos de conmutación permiten visualizar los márgenes de seguridad con que opera el transistor.

### 6.8.2. RBSOA

La zona de operación segura con polarización negativa está asociada a un proceso naturalmente transitorio como es el apagado del transistor. Por lo tanto consiste en una única curva no paramétrica en el tiempo (figura 6.17) que junto con los ejes limita la zona dentro de la cual debe quedar la línea de carga de apagado. Los límites en este caso son los siguientes: El límite A-B es una recta horizontal de ecuación  $I_C = I_{CM}$ . La corriente máxima  $I_{CM}$

es la mencionada en la descripción del FBSOA, limitada por los contactos metálicos del dispositivo. La curva B - C corresponde al límite determinado por el fenómeno de "Second Breakdown" de apagado, designado como  $E - SB$ . (El  $SB$  de polarización directa se denomina  $I - SB$ ) Cualquier combinación de valores de  $I_C$  y  $U_{CE}$  que determine un punto a la derecha de esta curva causará  $SB$  y por lo tanto la inmediata destrucción del dispositivo. El límite de  $SB$  depende de la corriente inversa de base que se emplee para apagar el transistor. Al aumentar esta corriente, se

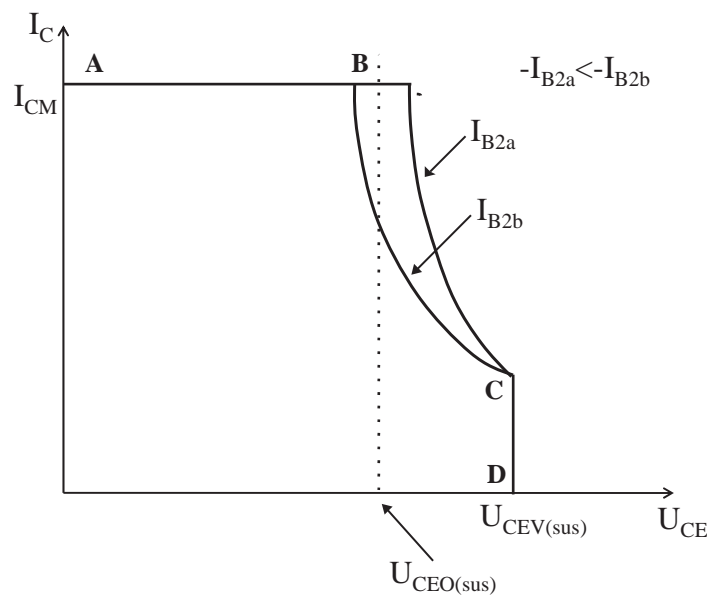


Figura 6.17: Zona de operación segura con polarización inversa (RBSOA)

reduce el área en que no se produce el  $SB$ . Usualmente se indican curvas para dos valores de corriente, como en la figura 6.17. El límite C - D es una recta vertical de ecuación  $U_{CE} = U_{CEV(sus)}$ . La tensión  $U_{CEV(sus)}$ , también llamada  $U_{CEX}$  es una tensión de avalancha definida de la siguiente manera: si a un transistor con la base polarizada negativamente (con una tensión base - emisor negativa lo sometemos a una tensión creciente colector - emisor  $U_{CE}$ , cuando ésta llega a un valor  $U_{CEV}$  (que resulta ser mayor que  $U_{CEO}$ ), el transistor entra en avalancha y empieza a conducir corriente. El sufijo (*sus*) corresponde a "sustaining", y se refiere al hecho de que es la máxima tensión a la que el dispositivo puede mantener una corriente importante no destructiva teniendo polarización inversa. Con suficiente polarización inversa este valor puede igualar a la tensión de avalancha de la juntura base colector, llamada  $U_{CBO}$ . En hojas de datos de transistores Darlington el  $U_{CEV(sus)}$  está usualmente especificado para  $U_{BE} = -2V$  El empleo del RBSOA puede ilustrarse dibujando en el diagrama la

trayectoria correspondiente al apagado de un transistor con una carga inductiva con la tensión máxima sobre la llave limitada por un diodo a un potencial fijo ("clamp"). En la figura 6.18 el transistor conduciendo está representado por el punto 1. En determinado momento se aplica la corriente de base de apagado  $-I_{B2}$ . El transistor permanece en 1 durante el "tiempo de almacenamiento"  $t_s$ . Luego la tensión sube rápidamente. La corriente inductiva se mantiene constante hasta que la tensión  $U_{CE}$  llegue a poco más que el potencial de clamp y el diodo pueda empezar a conducir (punto 2). Este punto debe quedar a la izquierda de la curva límite de RBSOA que corresponda a la corriente negativa de base empleada. Cuando el diodo comienza a conducir se produce la conmutación de la corriente del transistor al diodo,  $I_C$  baja a cero durante el "tiempo de caída"  $t_f$  y se llega al punto 3 (transistor apagado). Este último tramo no es una recta vertical debido a que la corriente rápidamente decreciente produce una sobretensión sobre el transistor a causa de las inductancias parásitas de los conductores que van al colector y emisor. Por lo tanto, para tener total seguridad de que la trayectoria de apagado quede dentro del RBSOA se deben tomar medidas para minimizar las inductancias, acortando los conductores de conexión todo lo posible, y agregando circuitos de clamp adicionales.

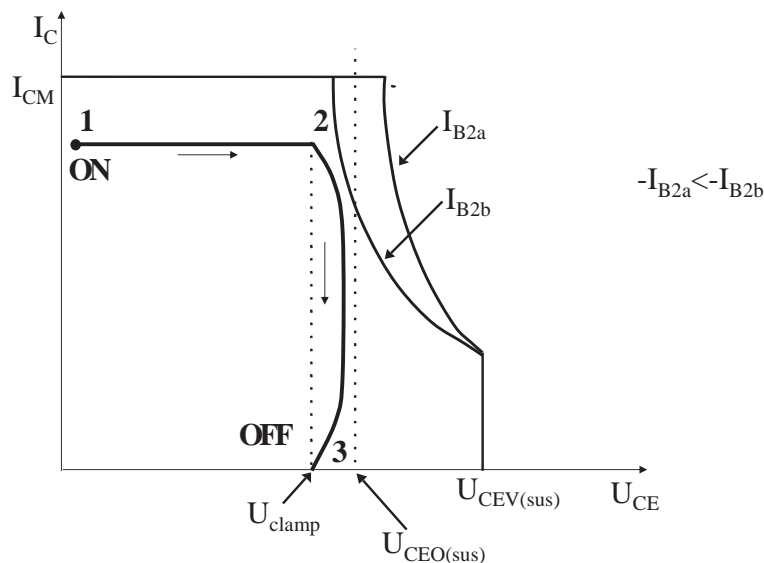


Figura 6.18: Apagado de un transistor con carga inductiva representado en la RBSOA

## 6.9. Configuración Darlington

La ganancia en corriente  $\beta$  del BJT de potencia (también indicada como  $h_{FE}$  en las hojas de datos) Es mucho más baja que la de un transistor de señal o de baja tensión. Esto se debe a diversos compromisos que deben realizarse en la fabricación al determinar el ancho de la base y su dopaje. Por un lado, una base angosta permitiría que prácticamente todos los portadores inyectados desde el emisor llegaran a la zona  $n^-$  asegurando una ganancia alta. Por otro lado, el diodo base - colector debe fabricarse para una tensión de bloqueo alta. Eso se logra con la zona de colector de bajo dopaje pero también con una base ancha, ya que por construcción no puede tener un dopaje demasiado alto. El resultado es que los BJT de potencia con tensiones de bloqueo de algunos cientos de V tienen un  $\beta$  de 5 a 10, que incluso disminuye a valores menores para mayores tensiones de bloqueo. Por lo tanto los convertidores para trabajar en aplicaciones industriales de baja tensión se han construido usando la llamada configuración Darlington.

La conexión Darlington consiste en una llave formada por dos transistores  $T_1$  y  $T_2$  conectados según la figura 6.19. El transistor  $T_1$  ("driver") conduce la corriente de base del transistor  $T_2$  (transistor principal)

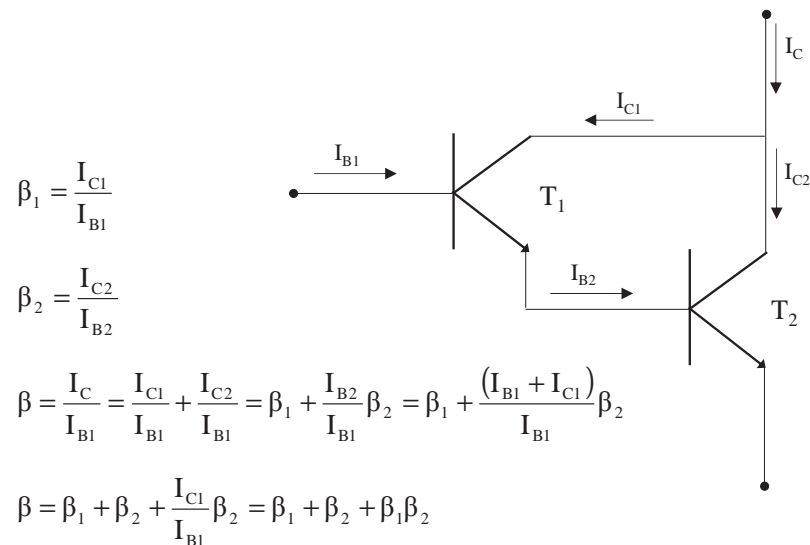


Figura 6.19: Conexión Darlington

De la figura se deduce que:

$$\beta_D = \beta_{T1} + \beta_{T2} + \beta_{T1}\beta_{T2} \quad (6.7)$$

Los dos transistores deben ser capaces de bloquear la misma tensión.  $T_1$  puede entrar en saturación dura. En ese caso la base del transistor principal

queda a unas décimas de V por debajo del colector común. La tensión  $U_{CE_2} = U_{BE_2} + U_{CE_1(sat)}$ . De acuerdo a lo visto en 6.4.2,  $T_2$  queda en la zona de casi-saturación.

En la conexión de la figura 6.19 la corriente inversa de la base del dispositivo apaga  $T_1$ .  $T_2$  se apaga entonces por recombinación de portadores con  $I_{B_2} = 0$ , lo cual lleva a tiempos de apagado inaceptablemente largos para las aplicaciones usuales.

Además, cuando el transistor está apagado bloqueando una tensión  $U_{CE}$ , la corriente de fugas de  $T_1$  actúa como corriente de base para  $T_2$ , lo que puede provocar una corriente por  $T_2$  mucho mayor que su corriente natural de fugas. Para su uso en potencia se le agrega entonces al Darlington un diodo  $D_1$  entre emisor y base de  $T_1$  (figura 6.20). De esa forma se puede apagar también  $T_2$  con corriente de base inversa una vez apagado  $T_1$ . Se agrega además una resistencia base - emisor a  $T_2$  para darle un camino a la corriente de fugas de  $T_1$  de manera que  $T_2$  no entre en conducción. Naturalmente esta resistencia disminuye en algo la ganancia total del dispositivo.

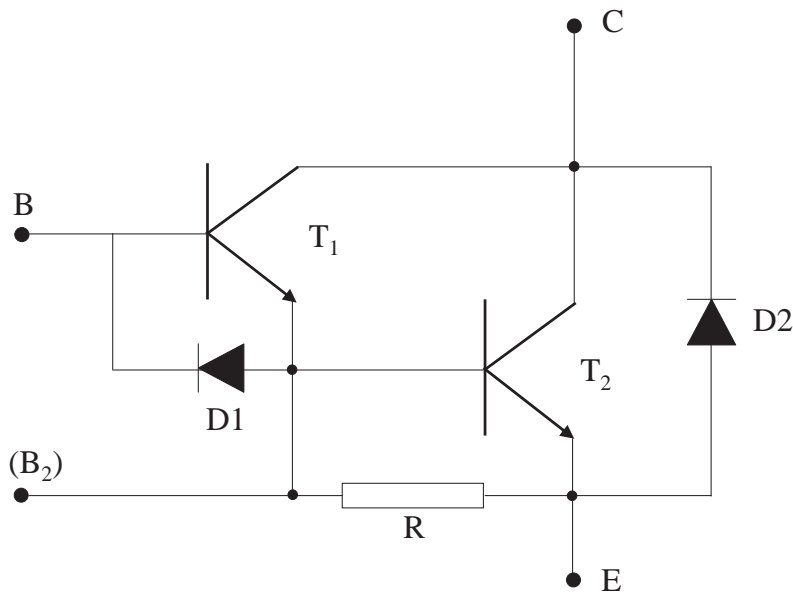


Figura 6.20: Darlington de potencia

El diodo  $D_2$  se agrega para uso del dispositivo como llave con conducción inversa. El Darlington de potencia se ha implementado mediante la integración de  $T_1$  y  $T_2$  en un único chip (figura 6.21) utilizando la misma zona  $n-n^+$  como colector común y agregando los componentes discretos complementarios. Muchos fabricantes dejan la base de  $T_2$  accesible de manera de permitirle al diseñador emplear circuitos de comando más complejos a fin de aumentar la velocidad.

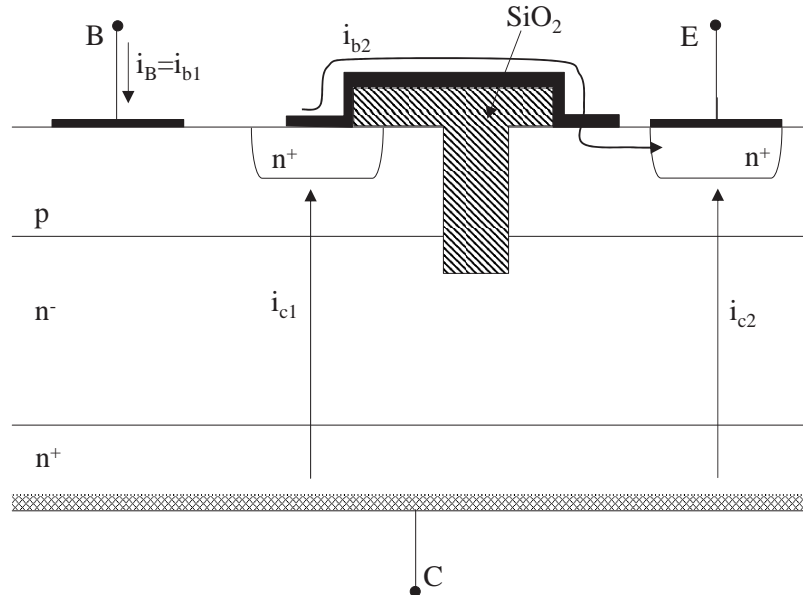


Figura 6.21: Corte de un Darlington monolítico - la zona de  $SiO_2$  separa las bases de los transistores  $T1$  y  $T2$

Cuanto mayor sea la tensión que debe bloquear el dispositivo, mayor deberá ser la zona  $n^-$  lo que traerá como consecuencia una disminución en la ganancia del mismo. Para llegar a tensiones de bloqueo del orden de 1000 V con ganancias aceptables para fines prácticos se usan Darlington de tres etapas, como muestra la figura 6.22. Con la tensión de bloqueo y el número de transistores aumenta también el tiempo de almacenamiento  $t_s$ .

Un dispositivo para un voltaje  $U_{CE(sus)} = 450V$  generalmente es un Darlington de dos transistores que tiene un  $t_s \approx 10\mu s$ .

Un dispositivo para un voltaje  $U_{CE(sus)} = 1000V$  generalmente es un Darlington de tres transistores que tiene un  $t_s \approx 15\mu s$ .

## 6.10. Circuitos de comando de base. "Drivers" de base.

### Características

Los circuitos de manejo de base de un BJT común o Darlington para aplicaciones prácticas se diseñan de manera que:

- Todo el chip encienda de la forma más uniforme posible. Esto requiere un pulso de corriente bastante mayor que la necesaria para mantener al transistor en el punto de conducción elegido.

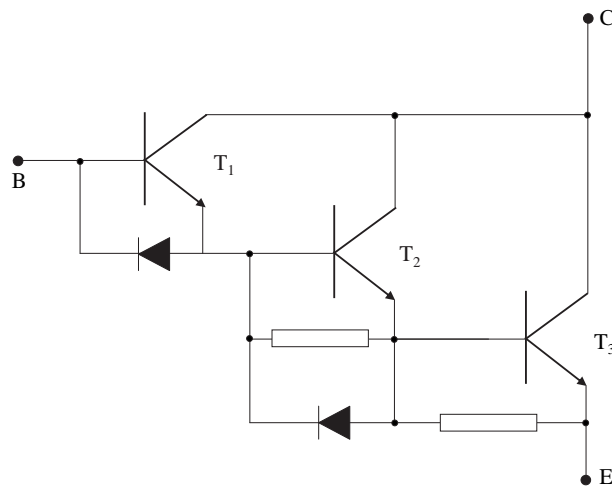


Figura 6.22: Darlington de tres transistores para tensiones de bloqueo de 800 a 1200 V

- La corriente de base durante la conducción se ajuste de manera que frente a variaciones de  $I_C$  el BJT se mantenga en el nivel de saturación adecuado, normalmente tratando de minimizar  $t_s$ .
- El tránsito de corriente de base para conducción a corriente de base para apagado se realice con pendiente controlada para evitar que el diodo base - emisor se corte cuando todavía hay exceso de portadores en la base y en la zona  $n^-$ .
- La corriente de apagado  $I_{B2}$  sea lo suficientemente grande como para disminuir  $t_s$  pero limitada para no restringir la RBSOA.
- Se disponga de aislación galvánica para comandar transistores cuyo emisor no tiene una tensión fija, como las llaves "de arriba" de un inversor.
- Se asegure el estado de corte del transistor cuando no hay señal de comando.

Una forma de controlar el  $t_s$  es elegir que el dispositivo trabaje en su totalidad en la zona de casi saturación. Esto ocasiona una caída mayor  $U_{CE}$  en conducción que se podrá tolerar o no dependiendo de la aplicación. Asimismo hay que tener en cuenta que aumentan las pérdidas en conducción.

### 6.10.1. Pulso inicial de corriente y ajuste de $I_B$

La caída  $U_{CE}$  en casi saturación es del orden de 2 o 3 V . El problema a resolver es cómo ajustar  $I_B$  para seguir en la zona de casi saturación cuando la carga ( $I_C$ ) varía. Una forma es utilizar el circuito de la figura 6.23.

Al empezar a prender el transistor  $U_{CE}$  es la tensión bloqueada y el diodo D1 está apagado. Toda la corriente de base  $I_{B_d}$  suministrada por el driver se

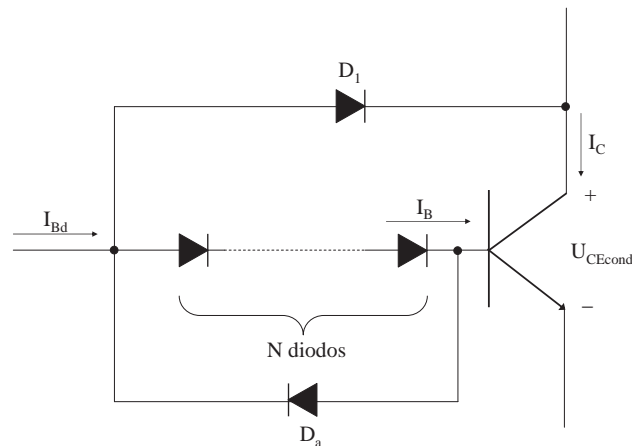


Figura 6.23: Circuito de ajuste para  $I_B$  (Baker Clamp)

utiliza para prender el transistor, entonces  $U_{CE}$  baja hasta que el diodo  $D1$  conduce. Llamamos  $V_\gamma$  a caída de tensión de un diodo en conducción, valor que asumimos como prácticamente constante. En esa situación se cumple que:

$$NV_\gamma + U_{BE} = V_\gamma + U_{CE(cond)} \quad (6.8)$$

$$U_{CE(cond)} = (N - 1)V_\gamma + U_{BE} \quad (6.9)$$

Lo que muestra que utilizando diodos se puede aumentar o disminuir  $U_{CE}$  en pasos de 0,7 V, lo cual es una forma de elegir el punto de funcionamiento en conducción. El circuito funciona como un sistema con realimentación negativa. De la corriente suministrada por el driver solamente va a la base del transistor la necesaria para mantenerlo en el  $U_{CE} = U_{CE(cond)}$  elegido. El resto circula por  $D1$  y se suma a la corriente de colector. Si disminuye  $I_C$ ,  $U_{CE(cond)}$  tiende a disminuir, lo que hace que  $D1$  se polarice más en directo conduciendo más corriente. De esta manera disminuye la corriente de base del transistor hasta que alcanza estrictamente el valor necesario para que la tensión colector - emisor se mantenga en  $U_{CE(cond)}$ . (figura 6.24).

El Baker clamp permite resolver el problema de generar un pulso inicial de encendido de valor mayor que el necesario para la saturación, ya que mientras  $U_{CE}$  no baja toda la corriente  $I_{Bd}$  va a la base del transistor. En el caso de carga inductiva clampeada toda la corriente de drive va a la base hasta que el transistor conduce toda la corriente de carga, porque recién en esa situación  $U_{CE}$  comienza a bajar. Es frecuente usar el Baker clamp con un solo diodo, con lo que  $U_{CE} \approx U_{BE}$

### 6.10.2. Ejemplo de driver de base para BJT común o Darlington

La figura 6.25 muestra una posible implementación del driver de un BJT que cumple con los requerimientos mencionados.



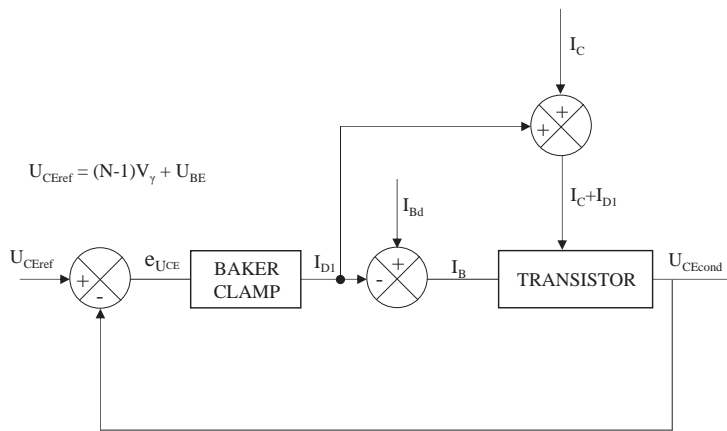


Figura 6.24: Funcionamiento del Baker clamp

La señal de encendido y apagado se transmite a través de un acoplador óptico o por un vínculo de fibra óptica. Dos fuentes de tensión, una positiva y otra negativa con cero común suministran las corrientes  $I_{B1}$  y  $-I_{B2}$  necesarias para prender y apagar el BJT. Esas fuentes se implementan mediante rectificadores en el secundario de un transformador, a efectos de asegurar aislación galvánica.

### Funcionamiento

- a Si no hay señal en el acoplador óptico su transistor está cortado. El transistor  $T$  está también cortado. El Mosfet de canal  $p$   $Q_1$  queda con una resistencia  $R$  entre su gate y su source, por lo tanto también es una llave abierta. El Mosfet canal  $n$   $Q_2$  tiene su gate conectado a una tensión de 15 V con respecto al su source a través de la resistencia  $R$ , por lo tanto está en estado de conducción y es una llave cerrada. La base del transistor  $T_p$  queda conectada a -5 V a través del diodo  $D_a$ , la inductancia  $L$  y la resistencia  $R_2$ . El diodo base emisor de  $T_p$  queda polarizado en inverso y solamente circula la corriente de fugas. La tensión de polarización en inverso es  $-5V - V_{\gamma(D_a)} \approx -4V$ . Se asegura entonces el corte de  $T_p$ .
- b Si mediante corriente por su fotodiodo se prende el transistor del acoplador óptico se prende  $T$ .  $Q_2$  queda con el gate conectado al source y se corta. El gate de  $Q_1$  queda con una tensión de -15 V con respecto a su source y se prende, actuando como llave cerrada. Se establece una corriente por el circuito formado por  $Q_1$ ,  $R_1$ ,  $D_b$ , el diodo base - emisor de  $T_p$  alimentada por la fuente de 10 V con respecto al emisor de  $T_p$ . Esa corriente  $I_{B_M}$  es la corriente inicial de prendido de  $T_p$ . El transistor  $T_p$  prende y  $U_{CE}$  queda al valor fijado por el Baker clamp ( $D_1$ ,  $D_b$ ,  $D_a$ ). Según el valor de  $I_C$ , la corriente necesaria de base  $I_{B1}$  circula por la juntura base - emisor y por  $D_1$  circula  $I_{B_M} - I_{B1}$ . El transistor  $T_p$  queda en estado de conducción.
- c Si se corta la señal de comando, se corta  $T$  de acuerdo a a).  $Q_1$  se apaga y  $Q_2$  conduce. Se establece una corriente inversa de valor  $I_{B2}$  por la juntura

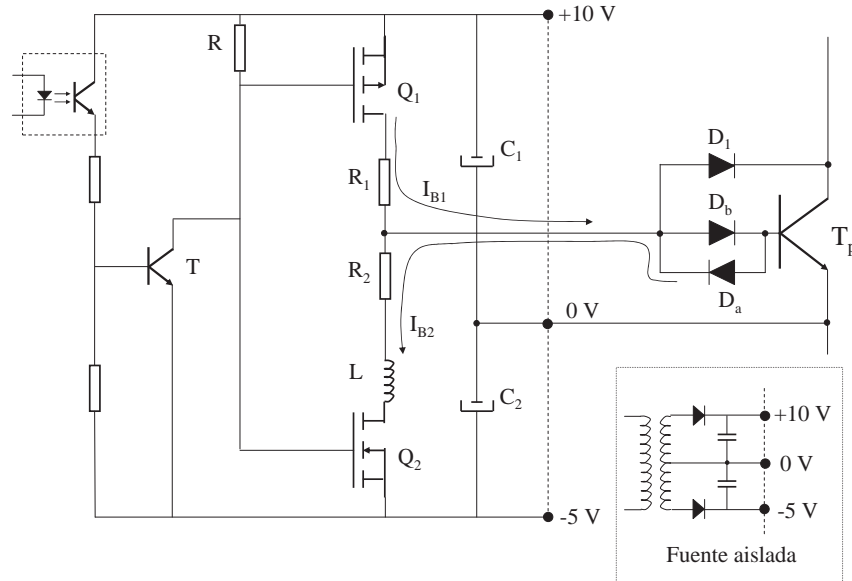


Figura 6.25: Circuito de comando de base o "Driver" de BJT con aislación galvánica)

base - emisor de  $T_p$  polarizada en directo,  $D_a$ ,  $R_2$ ,  $L$  y  $Q_2$  por la fuente negativa de  $-5$  V con respecto al emisor de  $T_p$ . La corriente llega al valor  $I_{B2}$  con una cierta pendiente fijada por  $L$ . Cuando  $T_p$  se apaga la juntura base - emisor se polariza en inverso y la corriente de base va a cero. La base de  $T_p$  queda en  $-4$  V respecto al emisor y  $T_p$  queda apagado.

De acuerdo al circuito los valores de  $I_{B_M}$  e  $I_{B2}$  son

$$I_{B_M} = \frac{10V - U_{BE} - V_{\gamma(Db)}}{R_1} \quad (6.10)$$

$$I_{B2} = \frac{5V + U_{BE} - V_{\gamma(Da)}}{R_2} \quad (6.11)$$

La forma de onda de la corriente y tensión de base aplicadas por el circuito de comando se ven en la figura 6.26. Los condensadores  $C_1$  y  $C_2$  se conectan para fijar la tensión sobre las llaves del driver y para suministrar corriente durante los transitorios.

## 6.11. Comentarios generales

El BJT y su versión Darlington han sido los componentes claves para el desarrollo de aplicaciones de electrónica de potencia en equipos asociados a

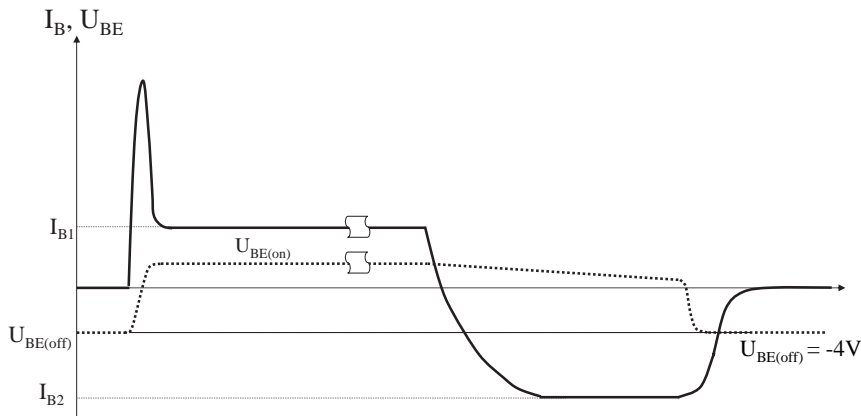


Figura 6.26: Corriente de base y tensión base - emisor con el circuito de la figura 6.25)

redes de baja tensión. Ha sido sustituido por otros componentes debido a sus limitaciones en diversos aspectos. El BJT de potencia *no Darlington* tiene la ventaja de la baja tensión en conducción cuando se lo satura. (unas décimas de V). Sin embargo la saturación implica corriente de base alta, con ganancias del orden de 5 (baja eficiencia de comando) y tiempos de conmutación largos (sobre todo  $t_s$ ) que restringen su uso a altas frecuencias (por debajo de los deseables 20 kHz, límite audible). Tiene además limitaciones en cuanto a la tensión de bloqueo, ya que la ganancia disminuye con la misma, y en cuanto a la capacidad de manejar cargas inductivas clampeadas, debido al riesgo de segundo breakdown.

Para poder aumentar la tensión de bloqueo, la ganancia y la potencia total a manejar se desarrolló el Darlington monolítico, que permite ganancias del orden de 20 a 100 y tensiones de bloqueo de hasta 1200 V (con Darlington de 3 etapas) y corrientes de hasta 600 A. Esta construcción implica sin embargo que las tensiones de conducción llegan de 3 a 5V, con las correspondientes pérdidas, y los tiempo de almacenamiento  $t_s$  a 20  $\mu s$ , con la correspondiente limitación en frecuencia de trabajo ya que se introduce un retardo e imprecisión en el tiempo de apagado.

Las limitaciones por segundo breakdown implican exigencias adicionales a los circuitos de ayuda al apagado.

La conexión en paralelo para llegar a mayores potencias es posible pero presenta dificultades adicionales por ser un dispositivo cuyo funcionamiento se basa en la difusión de portadores minoritarios, con el consecuente coeficiente negativo de temperatura, como los diodos.

Los BJT se han usado tanto para aplicaciones de alta velocidad y baja potencia (fuentes de dispositivos electrónicos) como para usos de alta potencia y por lo tanto baja frecuencia, como controles de motor e inversores de UPS.

Actualmente han sido sustituidos por los MOSFETs (Metal Oxide Semiconductor Field Effect Transistor) de potencia, que predominan en las aplicaciones de alta velocidad y baja tensión y potencia, y por los IGBT (Insulated Gate Bipolar Transistor), en los que se basan los inversores de potencia (de hasta cientos de MW) y los controles de motor.

Todos los dispositivos en uso tienen sin embargo transistores bipolares integrados en su estructura, y sus especificaciones utilizan conceptos desarrollados para los BJT, como por ejemplo las zonas de operación segura.

## Capítulo 7

# MOSFET para conmutación de potencia

### 7.1. Introducción

El *MOSFET* (Metal Oxide Semiconductor Field Effect Transistor) de Potencia es el transistor de efecto de campo del tipo MOS, base de los circuitos digitales de señal, que ha sido modificado para su utilización como llave apagable en electrónica de potencia. Como el BJT, el MOSFET tampoco es intrínsecamente biestable, y su utilización como llave depende del manejo del electrodo de comando (gate).

El BJT como llave para electrónica de potencia presenta varias limitaciones:

- Los tiempos de conmutación son del orden de varios  $\mu s$ , fundamentalmente en el apagado, lo que limita la frecuencia máxima de operación a unos 20kHz, decreciendo con la potencia manejada
- El control por corriente de base que además debe ajustarse a la corriente de colector obliga a usar circuitos de comando complejos y con consumo apreciable de energía.
- La conducción se realiza por difusión de portadores minoritarios, lo que hace que el dispositivo presente el fenómeno de Segundo breakdown, que limita las zonas de operación segura.
- La ganancia en emisor común baja fuertemente con la tensión de bloqueo.

El MOSFET es un dispositivo de alta velocidad debido a que su tránsito entre conducción y corte depende de la carga de capacidades del orden de los  $nF$ . La velocidad depende entonces de la capacidad de dar corriente de la fuente de tensión que es un aspecto de diseño del circuito de disparo y no intrínseca del dispositivo. La conducción se basa en el movimiento de portadores mayoritarios, lo que elimina el riesgo de segundo breakdown, y el comando se realiza por tensión entre el electrodo de comando (Gate) y uno de los electrodos de potencia (source), simplificando y haciendo más eficiente su manejo.

Una ventaja del BJT es su baja tensión de saturación, que puede llegar a valores tan bajos como pocas décimas de V, lo que limita las pérdidas en

conducción. Sin embargo, para que esta característica sea aprovechable en la práctica, es necesario utilizar el dispositivo en saturación dura, situación que implica tiempos de apagado muy largos, lo cual limita aún más la frecuencia máxima. Las aplicaciones resultan un compromiso entre las distintas prestaciones.

El MOSFET en conducción se comporta como una resistencia. Las pérdidas en conducción dependen entonces de su valor, que se trata de reducir mediante las características constructivas.

El MOSFET de Potencia es entonces un dispositivo que, manteniendo el principio de funcionamiento del MOSFET de señal, se modifica para manejar corrientes y bloquear tensiones como las que se utilizan en conversión electrónica de potencia.

Su aplicación está limitada a niveles de tensión correspondientes a redes de baja tensión o menores (230 Vca o 400 Vca o sus valores rectificadas). Es el dispositivo de elección en fuentes de alimentación de hasta algunos kW, para sistemas electrónicos conectados a servicios de baja tensión. Su velocidad y manejo comparativamente más simple ha permitido la reducción de tamaño y costo de esos equipos, al reducirse los componentes pasivos que los integran.

En este capítulo se presenta el principio de funcionamiento del MOSFET, la estructura del dispositivo adaptado al manejo de potencia, sus características estáticas y dinámicas y sus aplicaciones. Se considerará el dispositivo de canal  $n$  por ser el de mayor aplicación. Se parte de una revisión del funcionamiento del MOSFET de señal y luego se presenta el MOSFET de potencia con su estructura y sus características específicas.

## 7.2. Funcionamiento de un MOSFET de señal canal $n$

La figura 7.1a) muestra la estructura básica de un MOSFET canal  $n$  de señal. Es un dispositivo de estructura lateral, adecuada en particular para circuitos integrados digitales, con millones de dispositivos básicos interconectados. Sobre un sustrato de material  $p$  llamado cuerpo (*body*) se dopan dos regiones  $n$  con conexiones metálicas al exterior, el *source* y el *drain*, los contactos entre los que se quiere bloquear tensión o conducir corriente. Entre ellas se forma una capa de aislante como óxido de silicio y sobre ella una lámina conductora, el electrodo de comando o *gate*.

La región  $n$  destinada a actuar como *source* o electrodo de referencia está conectada al *body* en algún punto de la estructura fuera de la zona entre *source* y *drain*. La corriente a controlar circula de *drain* a *source* y la tensión a bloquear es positiva en el *drain* con respecto al *source*.

### 7.2.1. Bloqueo directo o corte

El bloqueo directo lo realiza la juntura  $pn$  entre el *drain* y el sustrato o *body*. Como el *source* está conectado al sustrato no hay bloqueo inverso, ya que se forma un diodo en que el *drain* es el cátodo y el *body* es el ánodo conectado al *source*.

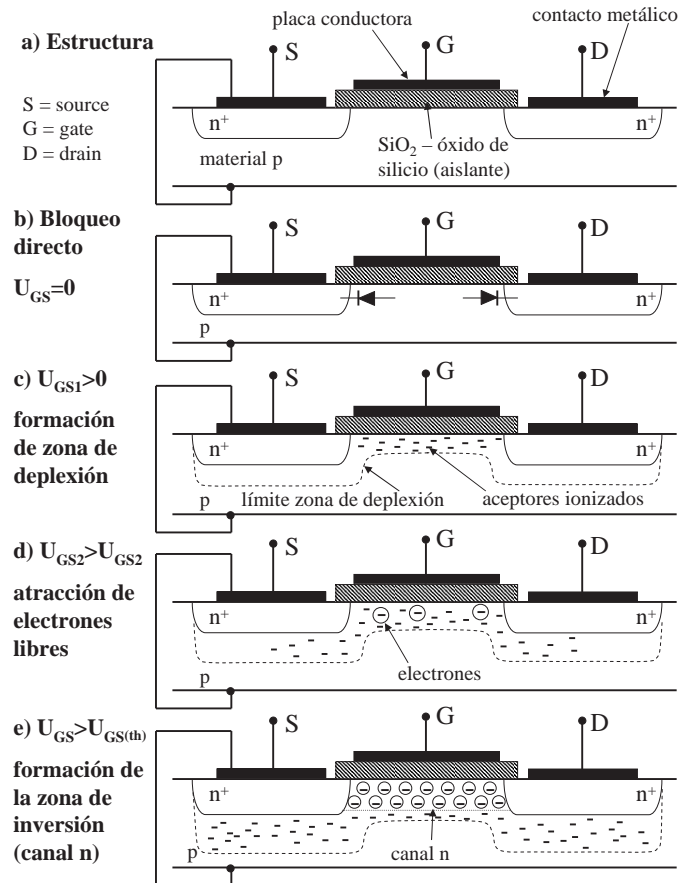


Figura 7.1: MOSFET de señal

## Conducción

El estado de conducción en sus distintas fases se obtiene aplicando una tensión positiva  $U_{GS}$  en el *gate* con respecto al *source*.

Si la tensión  $U_{GS} = 0$  el dispositivo no conduce y se comporta como una llave abierta en el sentido *drain - source* (figura 7.1 b))

Al aumentar  $U_{GS}$  se carga el condensador formado por la placa del *gate* y la zona *p* del *body*, del otro lado de la capa aislante del *gate* (figura 7.1 c)) La placa se carga positivamente y la zona superficial del *body* negativamente. En lo que sigue se describe el proceso de carga de la zona *p* a medida que la tensión  $U_{GS}$  crece.

Al principio el campo eléctrico creado por la placa del *gate* aleja los portadores positivos (huecos) de las proximidades de la superficie del material *p* dejando sus átomos aceptores cargados negativamente formando la placa negativa del

condensador. Se forma una zona vaciada de portadores positivos que suele llamarse en inglés "*depletion layer*" que puede traducirse como capa de "vaciamiento". En español se usa solamente para esta aplicación la transcripción fonética "deplexión". Existe también la palabra depleción, que se usa en medicina con un sentido análogo. Por comodidad usaremos deplexión.

A medida que  $U_{GS}$  aumenta, también aumenta el espesor de la capa de deplexión para aumentar la carga negativa necesaria. El campo eléctrico en la zona empieza además a atraer electrones libres presentes en el semiconductor  $p$ , producto de la generación térmica de pares electrón - hueco. Los electrones libres se van acumulando en la superficie de la zona  $p$  contra el óxido de silicio. Los huecos extra se neutralizan atrayendo electrones del *source* de dopaje  $n$ . (figura 7.1 d)

Un semiconductor dopado se caracteriza por la densidad de portadores mayoritarios libres en el material correspondiente al tipo de dopaje. El material  $p$  tiene una cierta densidad de huecos portadores aproximadamente igual a la densidad de átomos aceptores en el silicio. Si la tensión  $U_{GS}$  sigue aumentando la densidad de electrones libres en la capa superficial del silicio  $p$  debajo del *gate* (que está vaciada de huecos portadores) iguala a la densidad de huecos en zonas del material  $p$  alejadas del *gate*. Se forma entonces contra la superficie una capa que tiene todas las características de un material tipo  $n$ , como si se invirtiera el dopaje. Esta capa se llama "capa de inversión" y constituye un camino de conducción entre *drain* y *source* controlado por la tensión  $U_{GS}$ . La zona de inversión apantalla el campo con lo cual la zona de deplexión deja de crecer. (figura 7.1 e)

La tensión  $U_{GS}$  y el correspondiente campo eléctrico genera entonces una zona de conducción tipo semiconductor  $n$  llamada **canal**. Esto es lo que se llama "efecto de campo" (de ahí el nombre **Field Effect Transistor**). Tenemos entonces un MOSFET canal  $n$ . Se debe notar que una cosa es el material donde se forma el canal, que es de tipo  $p$ , y otra el canal formado, que a pesar de estar en un material  $p$ , tiene las características de un material  $n$ , y se comporta como un vínculo resistivo entre *drain* y *source*.

Este tipo de MOSFET se llama "Enhancement type MOSFET", ya que aumenta (*enhances*) la conductividad de la capa del semiconductor  $p$ . En español suele llamarse MOSFET de enriquecimiento o de acumulación, para distinguirlos de los FETs de deplexión, que tienen otros usos y no se tratan aquí.

La tensión  $U_{GS}$  a la cual se considera que el canal está formado se llama tensión de umbral o "Threshold Voltage" y se designa con  $U_{GS(th)}$ . Los valores típicos se encuentran entre 2 y 4 V, dependiendo de la aplicación. Si crece  $U_{GS}$  crece el espesor del canal y baja la resistencia entre *drain* y *source*.

## Control de corriente y curvas características

### Zona lineal o resistiva

Consideremos el MOSFET en el circuito de la figura 7.2 a). La abscisa  $x$  indica un punto del canal. La corriente circula por el canal formado por los electrones en la capa de inversión. El espesor de la capa de inversión depende de la tensión sobre la capa de óxido aislante entre el metal del *gate* y el semiconductor  $p$  del *body*. Si no circula corriente no hay diferencias de tensión a lo largo del canal y el espesor de la capa de inversión es uniforme ya que la tensión sobre el óxido es la misma para todo  $x$ .



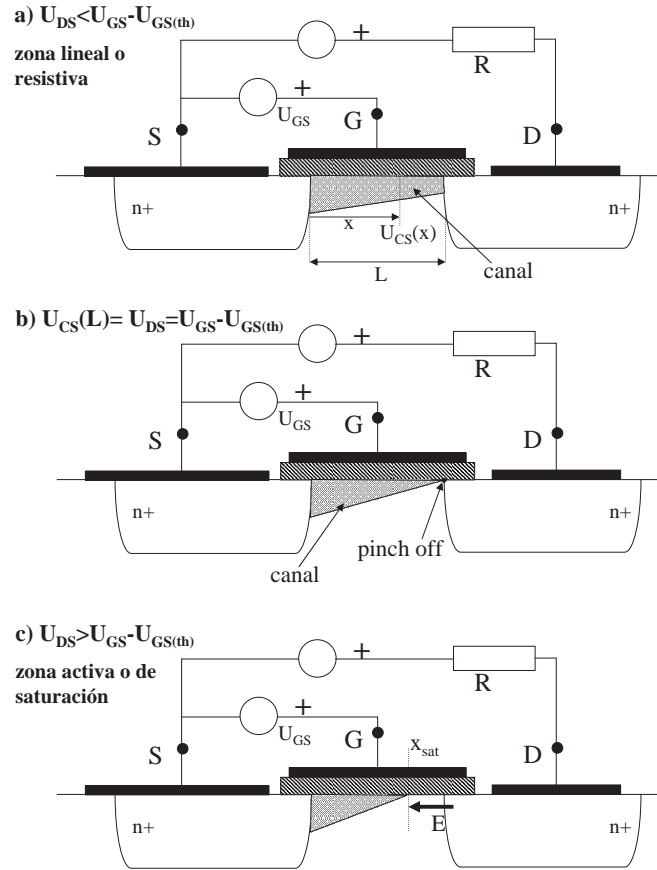


Figura 7.2: Circuito con MOSFET - Control de corriente

Si  $U_{DS} \geq 0$  circulará corriente por el canal, y a lo largo del mismo se producirá una caída de tensión  $U_{CS}(x)$  (tensión canal - *source*). En el extremo contra el *drain* tendremos el máximo valor de  $U_{CS}(x)$ :

$$U_{CS}(x) = U_{CS}(L) = U_{DS} \quad (7.1)$$

La tensión que determina el espesor del canal o de la capa de inversión será la de la capa de óxido:

$$U_{ox} = U_{GS} - U_{CS}(x) \quad (7.2)$$

esa tensión será mínima cuando  $U_{CS}(x)$  es máxima e igual a  $U_{DS}$ .

La tensión mínima sobre el óxido para que se forme capa de inversión es igual a  $U_{GS(th)}$  (ver figura 7.1, por lo tanto para que todo el canal tenga capa de inversión debe cumplirse:

$$U_{GS} - U_{CS}(x) > U_{GS(th)} \quad (7.3)$$

El máximo valor de  $U_{CS}(x)$  es  $U_{DS}$ . Por lo tanto para que haya capa de inversión en todo el canal debe cumplirse:

$$U_{DS} < U_{GS} - U_{GS(th)} \quad (7.4)$$

Si la corriente y  $U_{GS}$  son tales que  $U_{DS} < U_{GS} - U_{GS(th)}$  hay inversión en todo el largo del canal y el dispositivo en conducción se comporta como una resistencia. El dispositivo está conduciendo en la zona denominada lineal o resistiva. La capa de inversión tiene la distribución de la figura 7.2 a). Tenemos el ancho máximo contra el *source* ( $U_{\text{óxido}} = U_{GS}$ ) y mínimo contra el *drain* ( $U_{\text{óxido}} = U_{GS} - U_{DS}$ )

Si hacemos aumentar la corriente, la tensión aumenta y el espesor de la capa de inversión disminuye hacia el lado del *drain*. La resistencia del canal aumenta y la curva  $I_D = U_{DS}/R_{ch}$  (donde  $R_{ch}$  es la resistencia del canal) va disminuyendo su pendiente, aunque aún estamos en la zona lineal.

Está claro que la resistencia del canal disminuye al aumentar  $U_{GS}$ .

En una primera aproximación:

$$R_{ch} = \frac{K1}{U_{GS} - U_{GS(th)}} \quad (7.5)$$

### Pinch off

Si la corriente crece aún más la tensión  $U_{DS}$  crece hasta un punto en que:

$$U_{GS} - U_{DS} = U_{GS(th)} \quad (7.6)$$

$$U_{D_{sat}} = U_{GS} - U_{GS(th)} \quad (7.7)$$

De acuerdo a lo descrito, en esta situación el espesor de la capa de inversión se hace cero contra el *drain*. Este punto de trabajo se denomina "pinch off" y marca el límite de la zona lineal. Definimos  $U_{D_{sat}} = U_{DS}$  tal que se cumple 7.6. La distribución del canal se muestra en la figura 7.2b)

### Zona de saturación o zona activa

Si  $U_{DS} > U_{GS} - U_{GS(th)}$  el punto en el cual la tensión sobre el óxido es  $U_{GS(th)}$  se corre hacia el *source*. La tensión sobre el óxido hacia el *drain* sería aún menor.

En esta situación podría pensarse que al aumentar la tensión *drain-source* aún más la capa de inversión desaparece y el transistor no puede conducir. Lo que sucede es que la resistencia va aumentando hasta el punto de pinch off. A partir de allí, para  $U_{DS}$  mayores, la corriente se mantiene constante dependiendo solamente de  $U_{GS}$  y dejando de depender de  $U_{DS}$ , según las curvas características de la figura 7.3. Este comportamiento se llama saturación (o conducción en zona activa para evitar confusiones con el BJT). La corriente se mantiene por la acción del campo eléctrico creado por la tensión de *drain*, a través de la zona de depleción del *drain*. Este campo es paralelo al canal.

El mecanismo de funcionamiento en zona de saturación o en zona activa, por el cual la corriente solamente depende de  $U_{GS}$  y queda independiente de la tensión de *drain* para tensiones mayores que  $U_{D_{sat}}$ , depende del tipo de

MOSFET y su estructura.

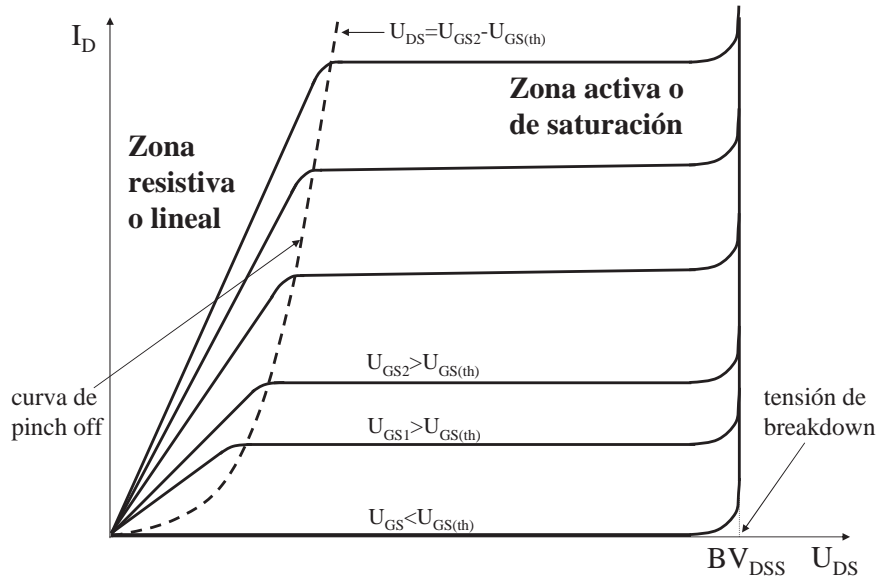


Figura 7.3: Curvas características de *drain - source* de un MOSFET

#### Caso del MOSFET de señal o MOSFET "largo"

En el caso de un MOSFET de señal, al crecer  $U_{DS}$  el canal efectivo se acorta, (figura 7.2 c)), la tensión en la punta del canal efectivo es  $U_{D_{sat}} = \text{constante}$

La corriente  $I_D$  en saturación será

$$I_{D_{sat}} = \frac{U_{D_{sat}}}{R_{ch_{eff}}} \quad (7.8)$$

Donde  $R_{ch_{eff}}$  es la resistencia del canal efectivo y  $U_{D_{sat}}$  la tensión sobre el mismo.

El número de portadores en el canal efectivo es proporcional a  $(U_{GS} - U_{GS(th)})$ , por lo tanto la resistencia de dicho canal será inversamente proporcional a esa diferencia.

$$R_{ch_{eff}} \approx \frac{K'}{U_{GS} - U_{GS(th)}} \quad (7.9)$$

Como

$$U_{D_{sat}} = U_{GS} - U_{GS(th)} \quad (7.10)$$

queda

$$I_{D_{sat}} = K'(U_{GS} - U_{GS(th)})^2 \quad (7.11)$$

La corriente depende solamente de  $U_{GS}$  y lo hace en forma cuadrática.

Según algunos textos el MOSFET de señal se comporta como un MOSFET "largo", en el sentido de que el espesor de la capa de inversión es mucho menor que el largo máximo del canal.

#### Caso del MOSFET "corto" (ejemplo: MOSFET de potencia)

Como se verá, el MOSFET de potencia se fabrica de manera que el canal sea lo más corto y del mayor espesor y ancho posible. En ese caso, el campo creado por la tensión de *drain* cuando pasa de  $U_{D_{sat}}$  puede llegar a valores mayores que  $1,5$  a  $2 \times 10^6 V/m$ . En esas condiciones la velocidad  $v$  de conducción de los electrones satura a aproximadamente  $10^5 m/s$  y se hace independiente de la tensión  $U_{DS}$ , dependiendo solamente de la disponibilidad de portadores, que depende de  $U_{GS} - U_{GS(th)}$ .

La corriente en este estado de saturación de velocidad es proporcional a la velocidad dividida por la resistencia.<sup>1</sup>

La resistencia efectiva es inversamente proporcional a  $U_{GS} - U_{GS(th)}$

Por lo tanto:

$$I_{D_{sat}} = K_2(U_{GS} - U_{GS(th)}) \quad (7.12)$$

La corriente depende solamente de  $U_{GS}$  y lo hace en forma lineal. Esto es lo que sucede en un MOSFET de potencia con corrientes altas. La figura 7.4 (Mohan et al. 1995) muestra  $I_{D_{sat}}$  en función de  $U_{GS}$  (transferencia) en un MOSFET de acumulación.

#### Nota sobre el comportamiento en saturación

La figura 7.4 muestra que en la zona de saturación o activa un mismo dispositivo puede comportarse como MOSFET "largo", sin saturación de velocidad a bajas corrientes y como MOSFET "corto" a corrientes altas. A corrientes bajas la dependencia de  $I_{D_{sat}}$  de  $U_{GS}$  es cuadrática y a corrientes altas, con saturación de velocidad, la dependencia es lineal.

### 7.3. Estructura de un MOSFET de potencia

El dispositivo descrito puede funcionar como llave trabajando entre bloqueo y zona lineal; de esa forma funciona en circuitos lógicos. Su alta velocidad de conmutación y simplicidad de manejo, así como su mecanismo de conducción - basado en portadores mayoritarios - lo convierten en una opción para superar las limitaciones de los BJT en circuitos convertidores de potencia. Sin embargo la estructura "lateral" de la figura 7.1 presenta fuertes limitaciones en cuanto a la tensión de bloqueo, corriente de conducción y resistencia en la zona lineal que la hacen inaplicable a circuitos de uso corriente.

El empleo como llave en electrónica de potencia requiere entonces una estructura completamente diferente, que permita el bloqueo de tensiones y conducción de corrientes en valores como los que se encuentran en los convertidores, y resistencia en zona lineal lo suficientemente baja como para que la caída de tensión en conducción sea aceptable como aproximación a una llave cerrada.

Esto se logra con una estructura vertical análoga a la del tiristor o BJT, que consiste en un chip de silicio de unas décimas de mm de espesor en el cual

<sup>1</sup>en un conductor de sección  $A$ , donde las cargas tienen una velocidad  $v$ , se cumple que la corriente es  $I = Av$ , la resistencia es  $R = \frac{K}{A}$ , por lo que  $I = \frac{Kv}{R}$

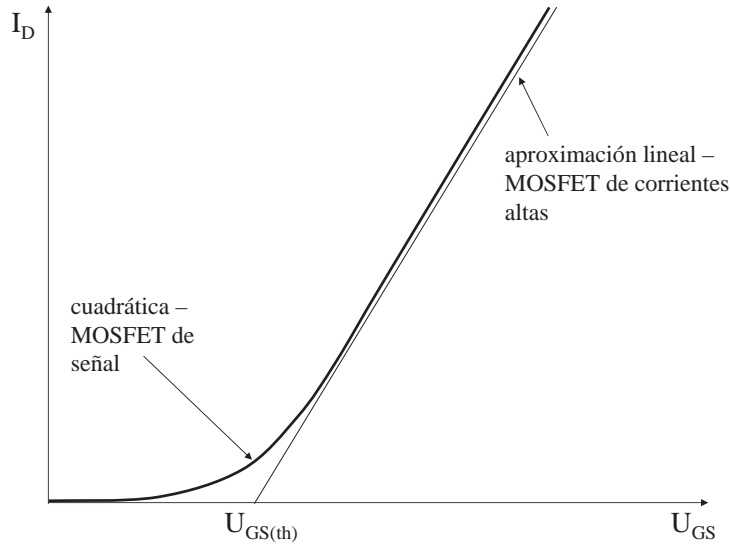


Figura 7.4: Curva de transferencia

la corriente circula de una cara a la otra, con una estructura de dopaje que permita el funcionamiento como MOSFET. La estructura más difundida es la llamada *VDMOS* (Vertical Diffused MOS). La figura 7.5 muestra un corte del dispositivo con los dopajes correspondientes.

De un lado del chip se tiene una zona  $n^+$  con un contacto metálico en toda su extensión, es el contacto del *drain*. Sobre la zona  $n^+$  se hace crecer una zona  $n^-$  que constituye el *drain* propiamente dicho. El espesor de esta capa determina la tensión que es capaz de bloquear el dispositivo. Sobre esa capa, desde el otro lado del chip se difunden miles de zonas o celdas  $p$ , cada una constituyendo el cuerpo  $p$  de un MOSFET. En cada zona  $p$  se difunde una zona  $n^+$  en forma de cuadrado o hexágono. En la figura 7.6 (Mohan et al. 1995, adaptado de) se ve la estructura en cuadrados. Esa zona  $n^+$  forma el *source*. El óxido de silicio se forma sobre las zonas  $n^+$  de dos celdas contiguas, formando una red sobre el chip. Dentro del óxido se forma una capa de silicio policristalino conductor que constituye el *gate*. La superficie del silicio en el borde de cada celda  $p$  queda entre la zona  $n^+$  del *source* y la zona  $n^-$  del *drain*. Sobre esa zona se encuentra el *gate*. Por lo tanto es en esa zona donde se formará la capa de inversión al aplicar una tensión positiva en el *gate* con respecto al *source*. Luego se metaliza la superficie en su casi totalidad, dejando solamente lugar para sacar el contacto de *gate*. La metalización constituye el contacto de *source* y además forma el contacto entre el *source* y el cuerpo, fuera de la zona del canal.

Esta estructura permite obtener miles de canales cortos en paralelo con lo que

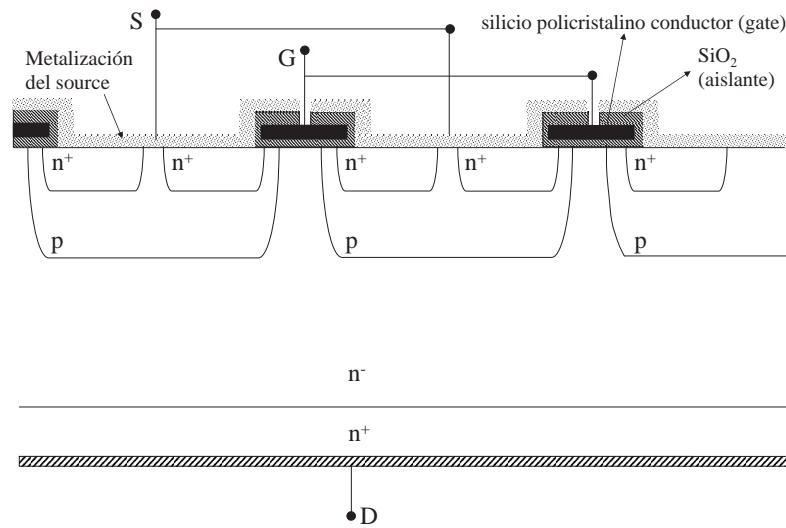


Figura 7.5: Corte de un MOSFET de potencia de canal  $n$

aumenta la capacidad de conducción y disminuye drásticamente la resistencia en la zona de operación resistiva o lineal.

#### Transistor parásito

La zona  $n^+$ , el cuerpo  $p$  y el  $drain\ n^-/n^+$  forman un transistor bipolar  $npn$  parásito (figura 7.8 a)). La metalización del  $source$  conecta la zona  $n^+$  (el emisor del transistor bipolar) con la zona  $p$  de la cual es parte la base de transistor bipolar. La base del BJT parásito está entonces siempre conectada al emisor a través de la resistencia del material entre la zona de la base y la metalización ( $R_b$ ). Esa resistencia tiene un valor muy bajo, por lo tanto el transistor parásito sólo puede pasar a conducir si circula una corriente muy grande por esas zona del cuerpo  $p$ , y en dirección al  $source$ , estando el MOSFET polarizado en directo, es decir con el  $drain$  positivo con respecto al  $source$ . Esa corriente puede producirse al cargarse la capacidad de la juntura  $n^-/p$  (aproximadamente  $C_{ds}$ ) polarizada en inverso si, por ejemplo en un apagado del MOSFET, la derivada positiva de la tensión  $dU_{DS}/dt$  es suficientemente grande, ya que la corriente es  $I = C_{ds} \cdot dU_{DS}/dt$ . Los MOSFETs se fabrican de tal manera que los valores de  $dU_{DS}/dt$  que ocasionan este fenómeno estén muy por encima de los que ocurren en circuitos prácticos.

#### Diodo antiparalelo

Si el MOSFET se polariza en inverso, se comporta como un diodo (figura 7.8 b)), de acuerdo a su estructura. La zona  $p$  está en contacto con el  $source$  y la zona  $n$  es el  $drain$ . En realidad este diodo se compone de la juntura colector base del transistor parásito en serie con la resistencia del cuerpo  $p$ . las características del diodo (tensión de bloqueo y corriente) se especifican en la hoja de datos del MOSFET. En general tiene la misma tensión de bloqueo y capacidad de conducir corriente que el MOSFET y su recuperación inversa es la de lo que se conoce como un diodo rápido (fast recovery diode), con un  $t_{rr}$  del orden de centenas de  $ns$ . Para muchas aplicaciones en las que se requiere conducción

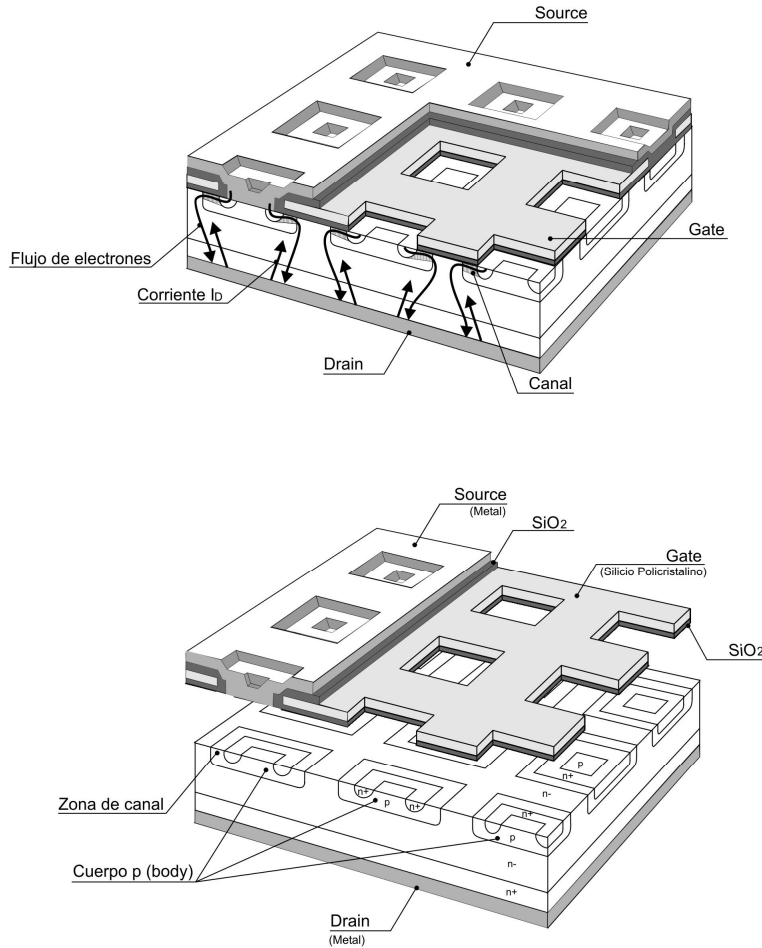


Figura 7.6: Estructura de un MOSFET de potencia en celdas cuadradas

inversa en las llaves es posible usarlo como parte del circuito sin necesidad de conectar un diodo discreto adicional.

La figura 7.9 muestra el Modelo de MOSFET y la evolución al símbolo usual (se invierte la figura de la estructura para hacerla coincidir con la forma usual de presentación del símbolo en los circuitos)

#### **Supresión de la operación del diodo antiparalelo y protección contra el encendido del transistor parásito**

En una rama de un puente inversor implementado con MOSFETs y trabajando a frecuencias muy altas, se producen aumentos muy rápidos de  $U_{DS}$ , ya que se usan circuitos de comando adaptados a esas frecuencias. Es común usar el diodo antiparalelo como el camino de conducción inversa que se requiere para el funcionamiento del inversor. El diodo antiparalelo, si bien es un diodo rápido, es bastante mas lento que el MOSFET. El tiempo de recuperación inversa del diodo puede llegar a ser 10 veces más grande que el tiempo de prendido o apagado del

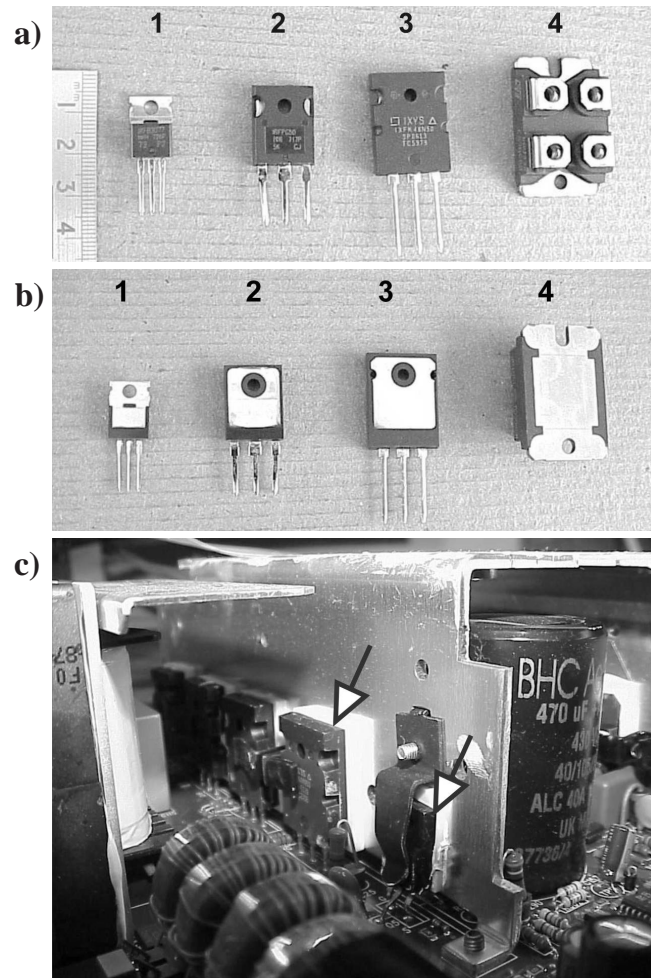


Figura 7.7: Fotos de distintos MOSFETS a) derecho b) revés c) montados en un circuito impreso sobre un disipador

#### MOSFET.

Supongamos que tenemos una rama de puente inversor que utiliza el diodo antiparalelo. En determinado momento la corriente de carga  $I_o$  es conducida por el diodo D1 antiparalelo del MOSFET Q1 (figura 7.10a)). Para cambiar la polaridad del punto A a efectos de generar la forma de onda de salida requerida se prende el MOSFET Q2. La corriente, normalmente inductiva, mantiene su valor y sentido durante la conmutación, y conmuta del diodo de Q1 (juntura BC del transistor parásito) a Q2. La corriente por D1 cae a cero pero la carga almacenada en el diodo lo mantiene en conducción y circula entonces una corriente inversa, llamada corriente de recuperación, similar a la de los tiristores (capítulo 3). Esa corriente circula por Q2 superponiéndose a la corriente  $I_o$  suministrada por la fuente. En el MOSFET Q1 esa corriente circula por la resistencia de la zona  $p$  entre base y emisor del transistor parásito. Llamamos



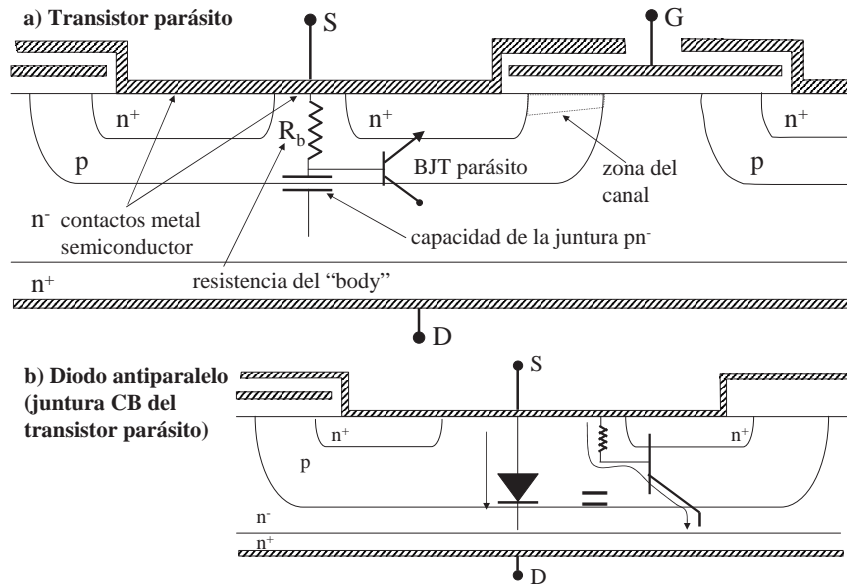


Figura 7.8: Transistor parásito y diodo antiparalelo

a esta corriente  $I_r(t)$ . Otro efecto ((Mohan et al. 1995)) tiene que ver con la pendiente con la cual la corriente de recuperación inversa  $I_r$  llega a cero después de alcanzar su máximo valor absoluto <sup>2</sup>.

La corriente  $I_r(t)$ , que circula por la resistencia, puede ser capaz de encender el transistor parásito, provocando un cortocircuito a través del mismo y del Q2 encendido, que puede dar lugar a la destrucción de los dispositivos (figura 7.10b)).

Este efecto puede combinarse además con la corriente que circula por  $C_{ds}$  por efecto de la subida de la tensión  $U_{DS}$ , a pesar de que en el modelo de carga inductiva clampeada la  $dU_{DS}/dt$  alta y la recuperación inversa no ocurren al mismo tiempo. Un pequeño snubber para disminuir la disipación puede bajar algo la  $dU_{DS}/dt$  pero hacer que coincidan los dos fenómenos que hacen pasar corriente por la resistencia  $R_p$ .

El problema se soluciona eliminando la conducción inversa del MOSFET mediante un diodo serie, y conectando un diodo ultrarrápido, con  $t_{rr}$  del orden de los tiempos de conmutación del MOSFET, para la conducción inversa de las llaves del inversor. Esto no elimina el efecto de  $dU_{DS}/dt$  pero sí el de la conducción inversa. Las pérdidas en conducción aumentan debido a la caída en el diodo serie.

Los MOSFETS actuales se fabrican de manera que el diodo antiparalelo sea

<sup>2</sup>En circuitos inductivos esta pendiente de corriente genera una sobretensión, aunque este no parece ser el caso, ya que todos son componentes parásitos en el silicio, y el circuito de la figura 7.9 es en realidad un modelo

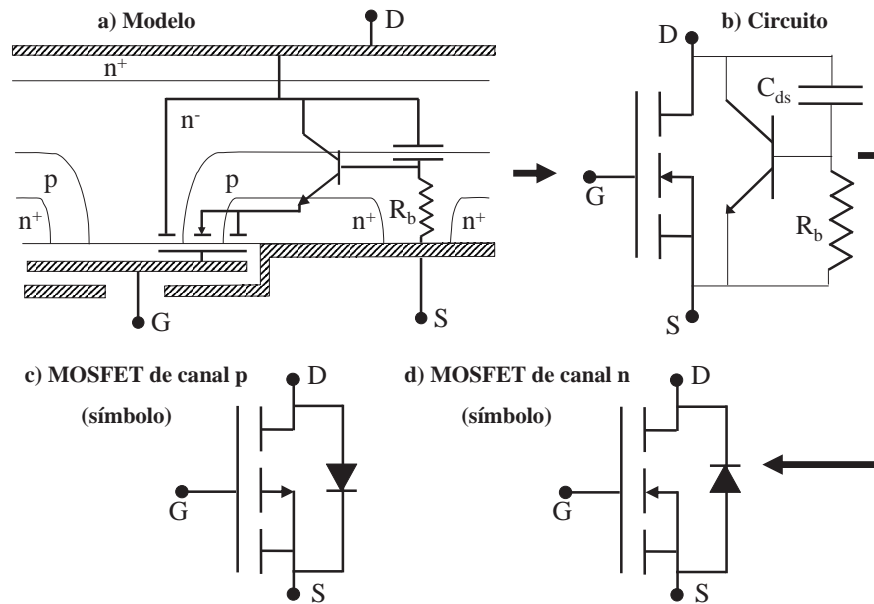


Figura 7.9: Circuito y símbolo del MOSFET de potencia

un diodo ultrarrápido, con baja carga de recuperación inversa, con lo cual este tipo de soluciones en general no son necesarias (ver referencias de fabricantes).

## 7.4. Bloqueo y conducción

En electrónica de potencia el MOSFET trabaja como llave, pasando de estado de bloqueo o corte a estado de conducción en la zona activa o resistiva. En las transiciones pasa por la zona de saturación, siguiendo distintas curvas según el circuito externo.

Los mecanismos son los mismos que para el MOSFET de señal, la diferencia radica en los valores de la tensión de bloqueo y de resistencia de conducción ( $R_{DS(on)}$ ). Las curvas características son similares a las de la figura 7.3.

### 7.4.1. Bloqueo

En estado de bloqueo el MOSFET implementa una llave abierta. Debido a su estructura el dispositivo solamente bloquea en directo, cuando se aplica tensión positiva en el *drain* con respecto al *source*. En esta situación la tensión  $U_{GS}$  debe ser menor que  $U_{GS(th)}$ , y preferentemente cero o menor que cero, dentro de los límites admitidos por la rigidez dieléctrica del aislante entre el chip y el *gate*. No se debe aplicar tensión *gate - source* con el *gate* sin conectar (en circuito abierto). Como se desprende de la estructura, el *gate* tiene capacidades tanto con el *source* como con el *drain*. Por lo tanto se forma un divisor capacitivo

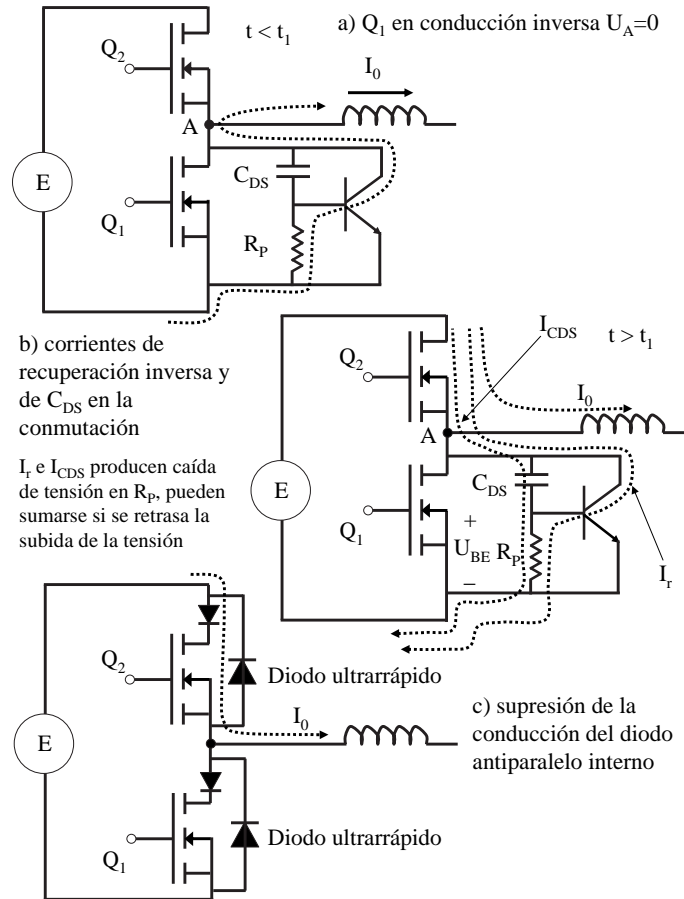


Figura 7.10: Posible encendido del transistor parásito y protección mediante supresión de la operación del diodo antiparalelo

que deja al *gate* en un potencial que puede hacer posible la formación del canal y la conducción, a pesar de que la capacidad  $C_{gs} \gg C_{gd}$ . Si por un defecto de conexión en una aplicación un MOSFET queda con el *gate* abierto, en general se rompe.

La tensión  $U_{DS}$  aplicada es bloqueada por la juntura  $n^-/p$  entre el *drain* y el cuerpo  $p$  del MOSFET. La tensión de bloqueo queda determinada por el espesor de la zona  $n^-$  del *drain*. El mecanismo de bloqueo es el mismo que en los otros dispositivos analizados (tiristor, GTO, BJT) y que en un diodo, en los cuales la performance de bloqueo está dada por una capa de estas características (figura 7.11a)).<sup>3</sup>

<sup>3</sup>La capa  $n^-$  se llama en inglés región de *drift* del *drain*. Se llama *drift* al mecanismo de conducción por el cual los portadores son movidos por acción de un campo eléctrico, con una velocidad proporcional a dicho campo. Esto no difiere del mecanismo de conducción básico en

El bajo dopaje en la zona  $n^-$  hace que se necesite un campo eléctrico grande en la zona de depleción formada por la tensión inversa aplicada en la juntura para que el dispositivo entre en avalancha. El ancho de la zona determina la tensión a la cual puede producirse dicho campo.

La tensión de bloqueo depende además de la forma de las zonas  $p$ . La curvatura en los bordes de las mismas intensifica el campo y por lo tanto la tensión de avalancha disminuye. En MOSFETs prácticos se modifica la forma de la zona  $p$  para disminuir este efecto. Las tensiones máximas de bloqueo  $V_{D_{ss}}$  en dispositivos comerciales llegan a 1000V. Tensiones muy altas requieren zonas de *drift* anchas, que, como se verá, aumentan la resistencia del dispositivo en conducción, y por lo tanto las pérdidas y la caída de tensión dejan de ser admisibles para la implementación de una llave.

Para tensiones mayores de la tensión de bloqueo máxima, el MOSFET entra en avalancha. La tensión de avalancha está indicada en la literatura como  $BV_{D_{ss}}$ . (figura 7.11c))

### 7.4.2. Conducción

En el estado de conducción, o llave prendida (figura 7.11b)), el dispositivo se comporta como una resistencia aproximadamente constante en el rango de corrientes de trabajo, que depende del área total del chip. Para esto es necesario aplicar y mantener una tensión adecuada de *gate*.

Las corrientes máximas de operación dadas por el fabricante se indican en la figura 7.11c).  $I_D$  es la máxima corriente que el dispositivo puede conducir en forma permanente.  $I_{DM}$  es la máxima corriente absoluta que puede conducir en forma transitoria. El MOSFET puede trabajar en forma permanente con corrientes menores que  $I_D$  y en forma transitoria con corrientes con valores entre  $I_D$  e  $I_{DM}$ .

La figura 7.12(*International Rectifier Technical Library*) muestra las curvas características de un dispositivo comercial. Se ve que prácticamente no hay diferencia entre las curvas de zona resistiva correspondientes a  $U_{GS}$  10V y 15V en el rango de corrientes en que puede trabajar el MOSFET. En la práctica se utiliza un valor entre esas tensiones. La tensión  $U_{GS}$  máxima admisible dada por el fabricante es  $\pm 20V$  o  $\pm 30V$ , según el dispositivo.

Al aplicar la tensión de encendido  $U_{GS}$  se acumulan electrones en la zona del canal según el mecanismo ya descrito. Debido a la tensión aplicada y a las dimensiones de la zona del canal la zona de inversión que se forma corresponde a un MOSFET de canal "corto". Esa zona del cuerpo  $p$  pasa entonces a comportarse como un material con dopaje  $n$ . También se acumulan electrones en la zona  $n^-$  del *drain* que queda enfrentada a la placa del *gate*. En el chip se forma entonces un camino de conducción entre los terminales de *source* y *drain* formado por el material  $n^+$  del *source*, el canal con comportamiento  $n$ , la zona de acumulación de portadores  $n$  en el material  $n^-$ , la capa  $n^-$  y la capa  $n^+$  de contacto con el metal del *drain*. En definitiva es un camino de conducción  $n$  en el que se mueven electrones como portadores. Es un dispositivo de portadores mayoritarios y el mecanismo de conducción es de tipo *drift*, es decir, de portadores impulsados por un campo eléctrico. Por lo tanto el dispositivo se comporta como una

---

los metales, por lo cual el nombre de esa zona podría traducirse como "de conducción". De acuerdo a la convención de trabajo adoptada mantenemos el nombre en inglés.

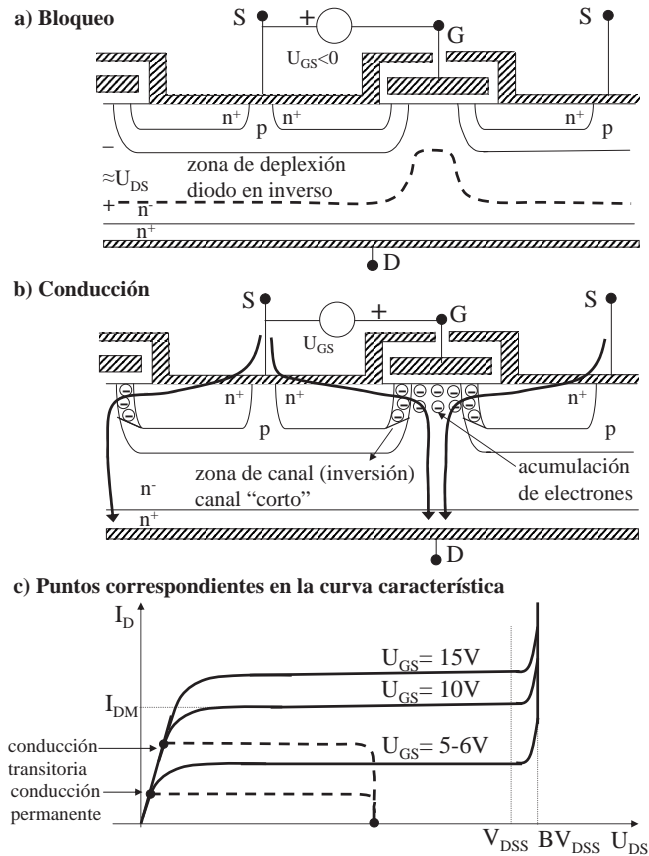


Figura 7.11: Bloqueo y conducción en el MOSFET a) Bloqueo, b) Conducción. c) Puntos correspondientes en la curva característica

resistencia. La movilidad de los portadores disminuye con la temperatura, ya que aumentan las colisiones con átomos de la misma forma que en un metal, por lo tanto el coeficiente de temperatura de esa resistencia es positivo. Por este motivo no se producen focalizaciones de corriente y puntos calientes en el chip, y el MOSFET, a diferencia del BJT, no presenta el fenómeno de "segundo breakdown". Su zona de operación segura queda limitada solamente por la temperatura de juntura, que depende de la disipación térmica.

#### Resistencia en estado de conducción $R_{DS(on)}$

La  $R_{DS(on)}$  se compone de las resistencias de las distintas zonas que conducen la corriente. Son la resistencia de *source*  $R_S$ , la del canal  $R_{ch}$ , la de la zona de acumulación  $R_{acc}$ , la de la zona  $n^-$  del *drain*  $R_D$ , y la de la zona  $n^+$  del *drain*. La zona de conducción se forma alrededor del borde de cada celda  $p$ , donde se forma el canal. La resistencia total del dispositivo es entonces el paralelo de las resistencias de las miles de celdas que componen el MOSFET, obteniéndose una resistencia total mucho más baja que la de un MOSFET de señal.

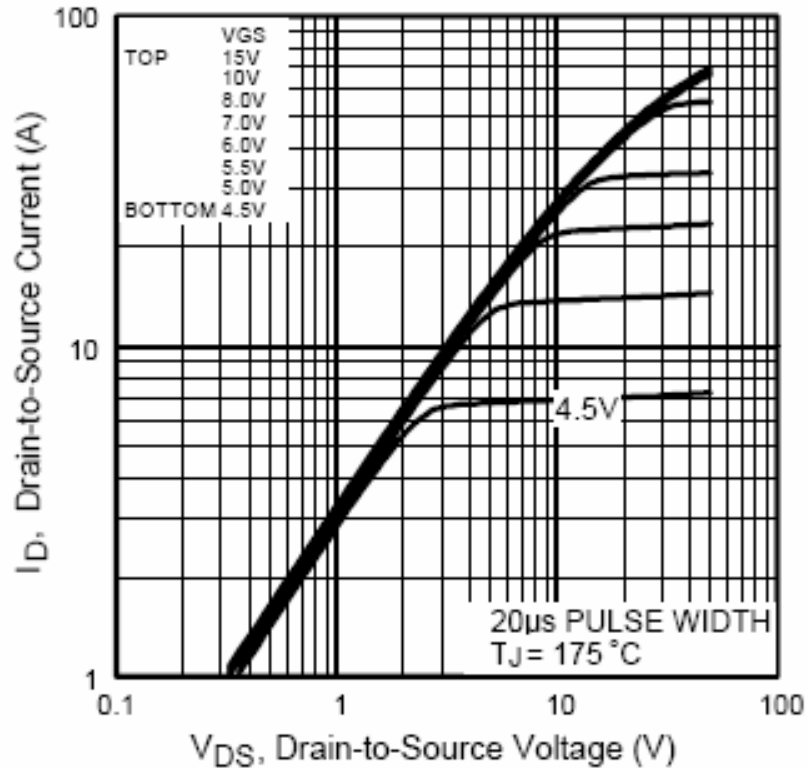


Figura 7.12: Curvas características de un IRFP254

Las resistencias de las distintas partes tienen distintos comportamientos y su incidencia en la  $R_{DS(on)}$  total depende del tipo de dispositivo. Las resistencias que inciden más son las del canal, la de acumulación y la de *drift*.

Las resistencias de canal y de acumulación dependen de la tensión  $U_{GS}$  de encendido que se utilice. A mayor tensión, menor valor de estas resistencias. Se debe elegir entonces la tensión más alta posible compatible con los límites dados por el fabricante y por los márgenes de seguridad necesarios para operación segura. Estas resistencias son importantes en MOSFETs de baja tensión de avalancha (hasta una centena de voltios).

Al crecer la tensión de bloqueo requerida debe aumentarse el espesor de la zona de *drift*. Esta zona tiene bajo dopaje por lo tanto alta resistividad, y la tensión  $U_{GS}$  prácticamente no influye en ella. Por lo tanto en dispositivos con capacidad de bloqueo de algunos cientos de voltios o más el término dominante en la  $R_{DS(on)}$  es la resistencia de *drift*,  $R_d$ . La resistencia específica de estos dispositivos (resistencia de la unidad de área,  $Ohm.cm^2$ ) es proporcional a  $BV_{DSS}^{2.5-2.7}$  (Mohan et al. 1995). Una expresión de la resistencia  $R_{DS(on)}$  para los dispositivos de alta tensión en que la  $R_d$  predomina es la siguiente (B. Williams

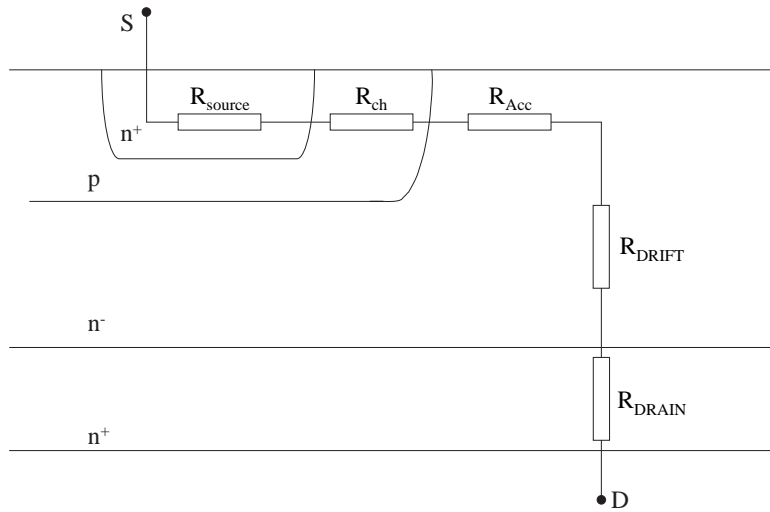


Figura 7.13: Resistencia en conducción  $R_{DS(on)}$

1900):

$$R_{DS(on)} = \frac{8,3 \times 10^{-7} \times BV_{D_{ss}}^{2,5}}{A} (\Omega) \quad (7.13)$$

Siendo  $A$  el área del chip en  $mm^2$ .

Para la misma capacidad de corriente, dada aproximadamente por el área del chip, un dispositivo de alta tensión (hasta 1000V) tiene una caída de tensión mucho más elevada que la de uno de baja tensión (hasta aproximadamente 100 - 200V).

La  $R_{DS(on)}$  depende fuertemente de la temperatura, con coeficiente positivo (7.14). La dependencia está dada en las hojas de datos a través de una curva, que muestra el valor normalizado con respecto al valor a  $25^\circ C$ .

Al comportarse como una resistencia, las pérdidas en el MOSFET en conducción están dadas por:

$$p(t) = R_{DS(on)} \times i_D(t)^2 \quad (7.14)$$

La potencia media es entonces:

$$\langle p(t) \rangle = R_{DS(on)} \times \langle i_D(t)^2 \rangle = R_{DS(on)} \times I_{D_{rms}}^2 \quad (7.15)$$

Para el cálculo de la potencia se debe tener en cuenta el valor de la resistencia a la temperatura de juntura elegida, que normalmente es del orden de dos veces la resistencia a  $25^\circ C$  indicada en la primera página de la hoja de datos dada por el fabricante.

#### Conexión en paralelo

El coeficiente positivo de  $R_{DS(on)}$  permite la conexión en paralelo de MOSFETs para aplicaciones de altas corrientes, al obtenerse un reparto estable de corriente.

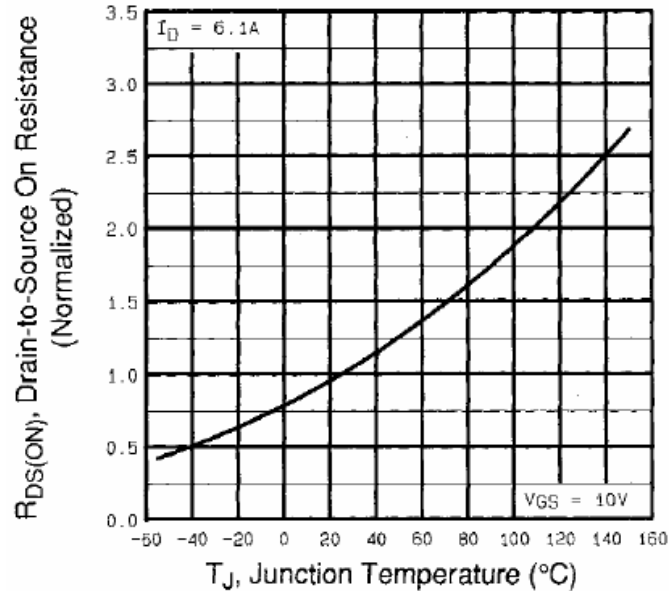


Figura 7.14:  $R_{DS(on)}/R_{DS(on)25^{\circ}C}$  en función de la temperatura para un MOSFET IRFPG 50 (*International Rectifier Technical Library*)

La misma tensión de *gate* puede ser utilizada para el encendido de todos los dispositivos conectados en paralelo. Sin embargo los electrodos de *gate* no pueden conectarse directamente, ya que las capacidades de *gate* e inductancias parásitas de los electrodos pueden formar circuitos resonantes que generen sobretensiones que superen la rigidez dieléctrica del *gate*. Cada *gate* debe tener entonces una resistencia individual. Esta resistencia disminuye la velocidad de carga y descarga de la capacidad de entrada del MOSFET, y por lo tanto su velocidad de conmutación. Una llave formada por MOSFETs en paralelo no es entonces equivalente a una formada con un único MOSFET de la misma corriente total.

### 7.4.3. Zona de operación segura

La zona de operación segura (SOA) de un MOSFET, tanto en encendido como en el apagado, está limitada por la corriente máxima en conducción, tanto en forma continua como durante un pulso, por la potencia máxima disipada y por la tensión máxima de bloqueo directo sin que se produzca avalancha (en la literatura aparece también con la tensión de avalancha como límite). Se diferencia de la SOA de un BJT en la ausencia del límite por segundo breakdown así como en la presencia del límite dado por la  $R_{DS(on)}$  (figura 7.16).

### 7.4.4. Conducción inversa

Si el MOSFET se polariza en inverso (*source* positivo con respecto al *drain*), conduce el diodo antiparalelo correspondiente, con una caída de tensión que



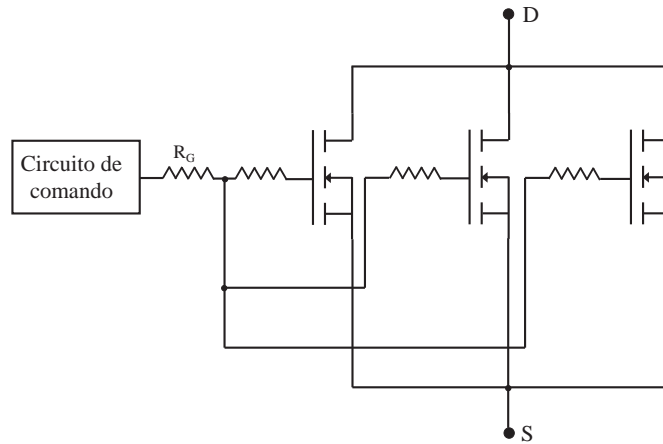


Figura 7.15: Conexión en paralelo

puede llegar a 1,5V con la corriente nominal del MOSFET. Las características de este diodo están especificadas en las hojas de datos.

Si el MOSFET se polariza en inverso y además se le aplica tensión de encendido al *gate*, se forma el canal y el dispositivo se transforma en una resistencia. Si el valor de la resistencia es tal que el producto de su valor por la corriente inversa es menor que la caída de tensión del diodo antiparalelo con la misma corriente, entonces la conducción inversa se realiza a través de  $R_{DS(on)}$ . En dispositivos de baja tensión con suficiente área de chip, la resistencia puede llegar a ser suficientemente baja como para que la caída de tensión sea a lo sumo alguna décima de V, valor incluso muy inferior al de un BJT saturado. Esos dispositivos se usan tanto en conducción directa como inversa para sustituir a los diodos rectificadores de etapas de salida de fuentes conmutadas, con el fin de reducir las pérdidas de conducción de los diodos, principalmente en fuentes con tensiones de salida muy bajas (3,3V -1,5V, etc).

## 7.5. Características dinámicas. Conmutación

### 7.5.1. Capacidades internas del MOSFET

El MOSFET es un dispositivo semiconductor en el cual la corriente es conducida por portadores mayoritarios, y no es necesario inyectar o extraer cargas del mismo, como los portadores minoritarios de la base del BJT, para las operaciones de encendido y apagado. La velocidad de conmutación depende entonces fundamentalmente de las capacidades entre las distintas regiones y electrodos de contacto, de cuán rápido sea posible cargarlas y descargarlas. La velocidad resulta entonces mucho mayor que la de cualquier otro dispositivo, pudiéndose utilizar en convertidores trabajando con frecuencias de conmutación del orden de los MHz.

De todas formas las capacidades ponen límites a la velocidad de conmutación, ya que se cargan y descargan a través de la resistencia de salida de los circuitos

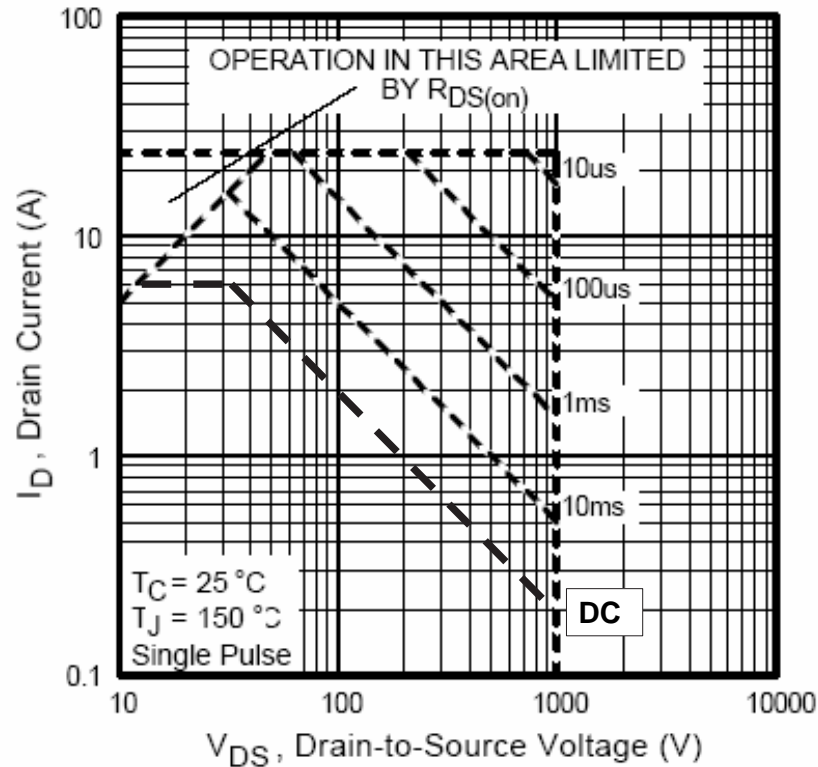


Figura 7.16: Zona de operación segura de un MOSFET IRFPG 50 (*International Rectifier* Technical Library)

de comando. Esa resistencia no puede ser cero, ya que las transiciones podrían producir resonancias entre las capacidades mencionadas y las inductancias intrínsecas de los conductores de contacto. El modelo básico de dispositivo de comando consiste en una llave que conecta el *gate* alternativamente a una fuente ideal positiva o a una fuente negativa, a través de una resistencia externa  $R_g$ . El valor mínimo de  $R_g$  está dado por el fabricante. Los tiempos de conmutación están entonces determinados por la carga de las capacidades a través de la resistencia  $R_g$ . Como  $R_g$  es del orden a algunos ohms, y las capacidades asociadas al *gate* valen algunos nF, los tiempos de conmutación de los MOSFETs quedan en el orden de decenas de ns, con lo cual conmutan hasta dos órdenes de magnitud más rápido que los BJT. El *gate* también tiene cierta resistencia entre el contacto y las celdas, debida a su estructura y al material usado (usualmente silicio policristalino).

El retardo introducido por el desplazamiento de cargas en la zona de *drift* también contribuye a limitar la velocidad del MOSFET.

Las capacidades del MOSFET se indican en la figura 7.17

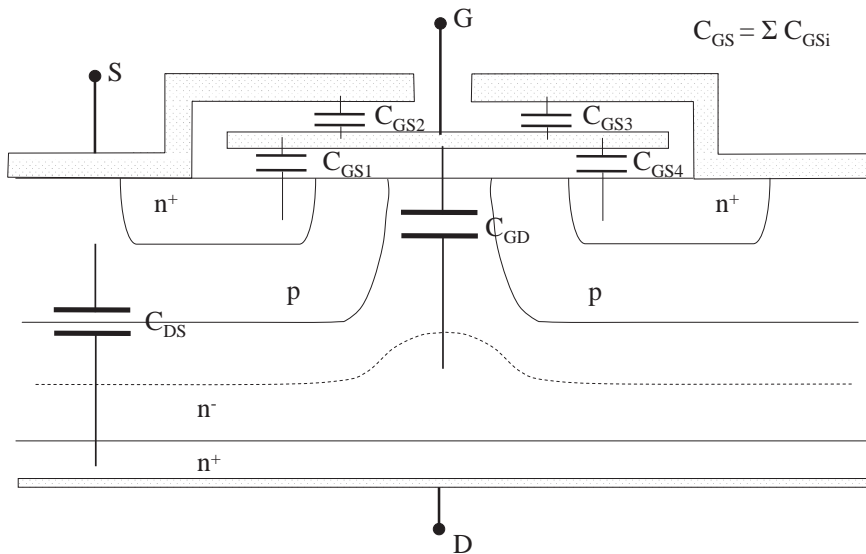


Figura 7.17: Capacidades del MOSFET

La figura 7.17 ilustra aproximadamente el comportamiento de las distintas capacidades:

- la capacidad *gate - source*,  $C_{gs}$  tiene el mayor valor, y es prácticamente constante ya que queda determinada por la geometría del *gate* y la metalización del *source*.
- La capacidad *gate - drain*,  $C_{gd}$ , es la capacidad entre el *gate* y la zona  $n^-$  conductora fuera de la zona de deplexión formada por la polarización directa *drain - source*. El dieléctrico de esta capacidad es la zona de óxido y la zona empobrecida de portadores contigua a la zona del *gate*. Por lo tanto esta capacidad depende fuertemente de la tensión *drain - source*, aproximándose al valor de  $C_{gs}$  a tensión  $U_{DS} = 0$  y disminuyendo rápidamente con  $U_{DS}$  creciente. Con tensión  $U_{DS}$  del orden de la tensión  $U_{GS}$  de comando del MOSFET (10-15V) la capacidad es ya de 30 a 40 veces menor que con  $U_{DS} \approx 1V$ .

A efectos de estudiar la conmutación la capacidad  $C_{gd}$  puede modelarse como en la figura 7.18b).

Se asume que  $C_{gd}$  tiene un valor  $C_{gd1}$  para tensiones mayores que la tensión de comando de *gate* (llave todavía abierta) y un valor  $C_{gd2}$  mucho mayor para tensiones menores que  $U_{GS}$  de comando (llave cerrándose) (Mohan et al. 1995).

La capacidad *drain - source*  $C_{ds}$  disminuye levemente con la tensión pero con mucho menor pendiente que  $C_{gd}$ .  $C_{ds}$  no interviene directamente en el proceso de encendido y apagado. Sí debe ser tenida en cuenta para el dimensionado de circuitos de protección (snubbers) ya que es la que entra en resonancia con inductancias de fugas de transformadores o de de conductores y determina por lo

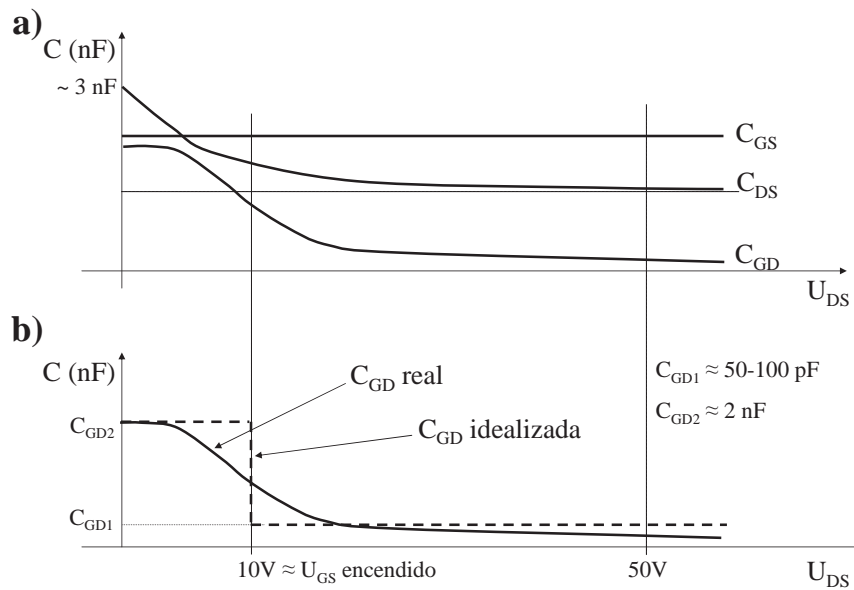


Figura 7.18: Variación de las capacidades con la tensión  $U_{DS}$

tanto los circuitos de amortiguación de oscilaciones, por ejemplo en el apagado, cuando la tensión  $U_{DS}$  llega al máximo y la corriente se anula.

### Capacidades equivalentes

Los fabricantes dan valores de capacidades medidos en determinadas condiciones. Estas son la capacidad de entrada  $C_{iss}$ , la capacidad de salida en *source* común  $C_{oss}$  y la capacidad de transferencia inversa  $C_{rss}$  (a veces llamada capacidad Miller). En las hojas de datos figuran esos valores a  $U_{DS} \approx 25V$  y las curvas de variación con la tensión  $U_{DS}$ . Las capacidades del fabricante se pueden expresar en función de las capacidades del dispositivo de la siguiente forma:

$$C_{iss} = C_{gs} + C_{gd} \quad (7.16)$$

, medida con  $C_{ds}$  cortocircuitada.

$$C_{rss} = C_{gd} \quad (7.17)$$

$$C_{oss} = C_{ds} + \frac{C_{gs} \cdot C_{gd}}{C_{gs} + C_{gd}} \approx C_{ds} + C_{gd} (C_{gs} \text{ cortocircuitada}) \quad (7.18)$$

Las medidas se realizan a 1MHz, entre los electrodos a cortocircuitar se pone un condensador de capacidad suficientemente grande como para que represente un cortocircuito a esa frecuencia. De esa forma se puede estudiar la dependencia con la tensión  $U_{DS}$ .

$C_{iss}$  es la capacidad vista por el circuito de comando de *gate* del MOSFET.  $C_{rss}$  es la capacidad a través de la cual la variación de tensión  $U_{DS}$  durante las transiciones influye en la tensión de *gate*, produciéndose una realimentación llamada "efecto Miller".  $C_{oss}$  es la capacidad vista por el circuito externo de potencia, y es la que interactúa con los demás componentes parásitos, por ejemplo produciendo oscilaciones con las inductancias al subir la tensión y anularse la corriente en el apagado. En el estudio de la conmutación se utilizarán los valores del dispositivo  $C_{gs}$  y  $C_{gd}$ . La capacidad  $C_{ds}$  no interviene en la conmutación.

### 7.5.2. Modelos del MOSFET durante la conmutación

En las transiciones entre bloqueo y conducción el MOSFET pasa en forma transitoria por la zona activa o de saturación. En conducción es una resistencia y en bloqueo un diodo en inverso (aproximadamente). Durante el tránsito por la zona de saturación se comporta como una fuente de corriente dependiente de la tensión  $U_{GS}$ . Este comportamiento influye en la tensión de *gate* durante la conmutación. En la figura 7.19(Mohan et al. 1995, adaptado de) se presentan los modelos que se adoptan para los distintos estado.

### 7.5.3. Formas de onda de conmutación con carga inductiva clampeada

Para el estudio de las formas de onda utilizamos el circuito de la figura 7.20. El *gate* se conecta alternativamente a  $+U_{gg1}$  para el encendido y a  $-U_{gg2}$  para el apagado. En muchas aplicaciones  $U_{gg2}$  es cero, es decir que en el apagado se conecta al source. En aplicaciones de potencias altas, y cuando se requiere un apagado rápido, el apagado se implementa conectando el *gate* a una tensión negativa ( $-U_{gg2}$ ) con respecto al *source*, lo que aumenta la corriente de descarga de la capacidad de entrada  $C_{iss}$ , y por lo tanto la velocidad de apagado del dispositivo.  $U_{gg1}$  y  $U_{gg2}$  deben ser menores que el valor máximo admitido por el fabricante para el dispositivo, y  $U_{gg1}$  debe ser tal que la resistencia  $R_{DS(on)}$  sea aproximadamente constante en todo el rango de corriente para el cual está previsto el funcionamiento del MOSFET.

Si se superpone el diagrama  $I_D(U_{DS})$  de transiciones entre conducción y corte para carga inductiva clampeada con las curvas características, se ve que el dispositivo entra en la zona de saturación con corriente creciente a tensión constante y luego transita por la misma hacia la zona resistiva a corriente constante (figura 7.21). A esa corriente le corresponde una tensión de *gate*  $U_{GS}$  determinada por la curva de la figura 7.4. La pendiente de la curva  $I_D(U_{GS})$  es el factor de amplificación del MOSFET,  $g_m = |\partial i_D / \partial U_{GS}|$ . Si se asume comportamiento lineal, lo cual es válido para canal corto y corrientes grandes,

$$g_m = \frac{I_D}{U_{GS} - U_{GS(th)}} \quad (7.19)$$

Se ve entonces que el circuito de conmutación inductiva clampeada impone una corriente  $I_o$  constante a la que corresponde una tensión  $U_{GS_a}$  (en la zona activa) determinada.

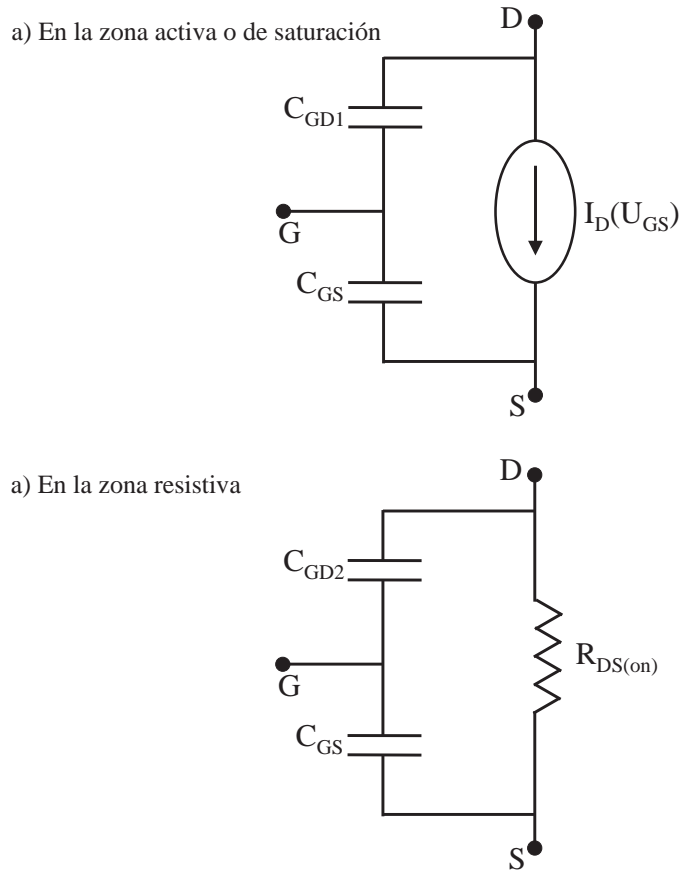


Figura 7.19: Modelos del MOSFET para distintos estados

$$U_{GS_a} = U_{GS(th)} + \frac{I_o}{g_m} \quad (7.20)$$

Esta expresión es válida en la zona activa, donde el MOSFET se comporta como una fuente de corriente.

### Encendido (*turn - on*)

Suponemos que el MOSFET está apagado con  $U_{GS} = 0$ . La tensión sobre la llave es  $E$ , la corriente por el dispositivo es cero y la corriente de la carga inductiva circula por el diodo  $D$ . Para el encendido conectamos  $G$  a la tensión  $U_{gg1}$  a través de  $R_g$  (figura 7.20) (llave en "on"). La capacidad de entrada  $C_{iss} = C_{gs} + C_{gd}$  se carga a través de  $R_g$ , con constante de tiempo  $\tau_1 = R_g \cdot C_{iss}$ . El valor  $C_{gd}$  es mucho más baja que  $C_{gs}$  ( $C_{gd1}$  de la figura 7.18) ya que tenemos tensión  $U_{DS}$  de bloqueo, normalmente mucho mayor que  $U_{gg1}$ , tensión final de

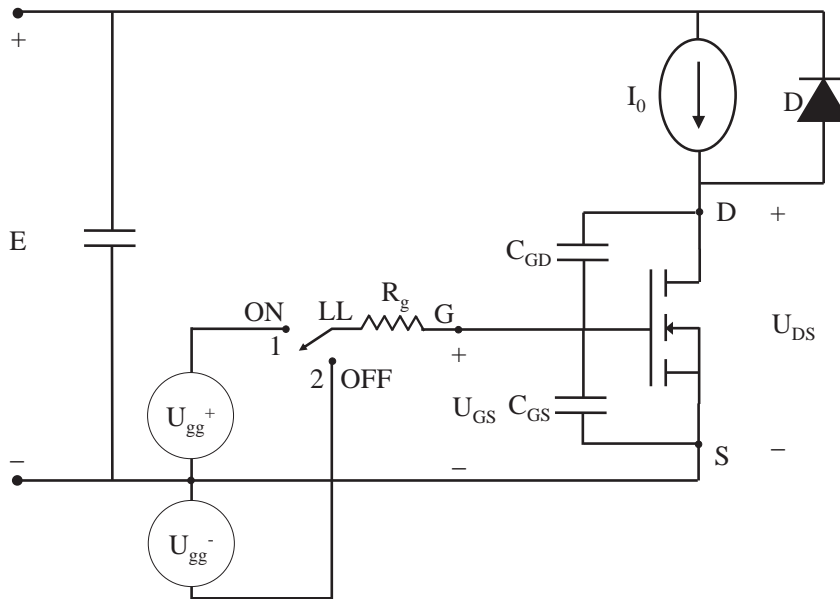


Figura 7.20: Circuito de MOSFET con comando de *gate* y carga inductiva clampeada

gate.

La constante de tiempo es entonces  $\tau_1 = C_{gs} + C_{gd1}$ .

La tensión  $U_{GS}$  comienza a crecer exponencialmente según  $U_{GS} = U_{gg1}(1 - e^{-(t/\tau_1)})$ . Recién cuando la tensión  $U_{GS}$  llega al valor de umbral  $U_{GS(th)}$  el MOSFET empieza a conducir. El tiempo que demora  $U_{GS}$  en llegar al valor de umbral es el tiempo de retardo en el encendido (*turn-on delay*)  $t_{d(on)}$ .

A partir de  $t_d$  la corriente crece con tensión  $U_{DS}$  constante. Como está en la zona activa la corriente sigue a  $U_{GS}$  según la ecuación 7.19. En esta zona el crecimiento es aproximadamente lineal, a pesar de que es parte de una exponencial, y está representado por el tramo AB de la figura 7.21. El tiempo de tránsito por el tramo AB es el tiempo de subida (*risetime*)  $t_r$ . Cuando la corriente llega al valor  $i_D = I_o$ , el diodo D se apaga. La corriente  $i_D$  es mantenida en  $I_o$  por la carga inductiva y la tensión comienza a bajar. En esa situación, mientras la tensión  $U_{DS}$  baja y el dispositivo está en la zona activa, la tensión  $U_{GS}$  deja de crecer y se mantiene en un valor constante dado por la ecuación 7.20. Esto significa que durante el tránsito de B a C:

- la capacidad  $C_{gs}$  deja de cargarse, ya que su su tensión es constante.
- la tensión  $U_{GS}$  presenta una zona en la que es constante e igual a  $U_{GSa}$ .
- la corriente de *gate*  $I_g$  es constante e igual a

$$I_g = \frac{U_{gg1} - U_{GSa}}{R_g} \quad (7.21)$$

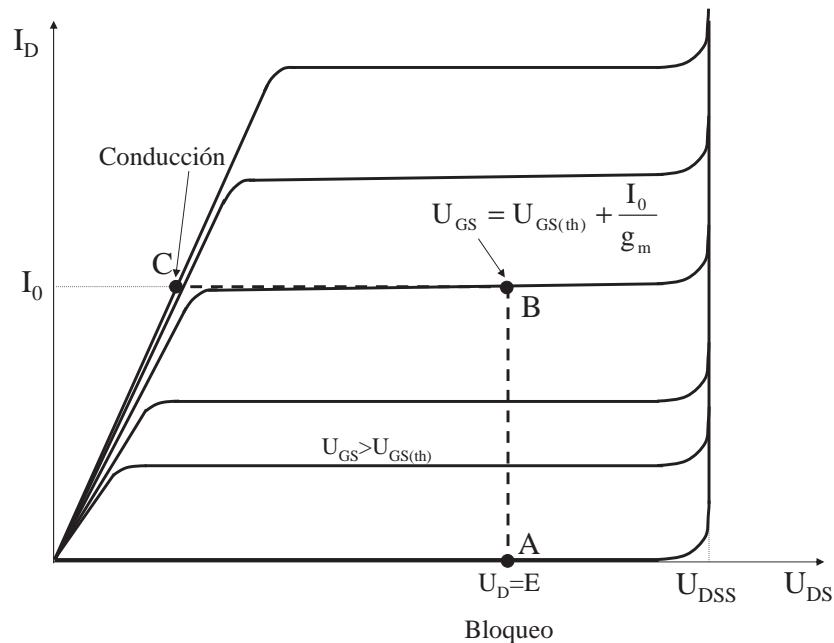


Figura 7.21: Características del MOSFET y conmutación inductiva clampeada

- la corriente de *gate* circula enteramente por la capacidad  $C_{gd}$ , descargándola. La tensión  $U_{DS}$  baja linealmente con pendiente  $dU_{DS}/dt = dU_{DG}/dt = I_g/C_{gd}$ .

En la descarga de  $C_{gd}$  y el descenso de la tensión  $U_{DS}$  se pueden distinguir dos tramos.

En el primer tramo la tensión  $U_{DS}$  pasa del valor de bloqueo, que pueden ser cientos de voltios en aplicaciones comunes, a un valor del orden de la tensión  $U_{gg1}$ . En ese período la capacidad  $C_{gd}$  tiene un valor  $C_{gd1}$  muy bajo, en el sentido de muy inferior a  $C_{gs}$  (figura 7.18). La corriente  $I_g$  la descarga rápidamente y la tensión  $U_{DS}$  baja en forma abrupta. Se ve que la velocidad de descenso de  $U_{DS}$  depende de la resistencia  $R_g$  y del valor  $U_{gg}$  elegidos. Este hecho tiene relevancia por ejemplo en el cálculo de las pérdidas (calentamiento) por conmutación.

En el segundo tramo la tensión llega al orden de  $U_{gg1}$  y la capacidad  $C_{gs}$  aumenta bruscamente al valor  $C_{gd2}$ , haciendo que el descenso de  $U_{DS}$  sea mucho más lento. Los tiempos asociados a ambos períodos son los tiempos de caída de la tensión  $t_{fv1}$  y  $t_{fv2}$ , respectivamente, con  $t_{fv1} \ll t_{fv2}$ .

Cuando el punto de operación del dispositivo llega a la zona resistiva, la ecuación 7.20 deja de ser válida. La tensión  $U_{DS}$  cambia muy poco y la tensión  $U_{GS}$  aumenta nuevamente con constante de tiempo  $\tau_2 = R_g(C_{gs} + C_{gd2})$  hasta llegar al valor  $U_{gg}$ . En este caso  $C_{gs}$  y  $C_{gd}$  quedan prácticamente en paralelo con  $C_{gd} = C_{gd2}$ , el valor para baja tensión  $U_{DS}$ .

La influencia de  $C_{gd}$  en la tensión  $U_{GS}$  se llama a veces Efecto Miller, y la capacidad  $C_{gd}$ , capacidad Miller.



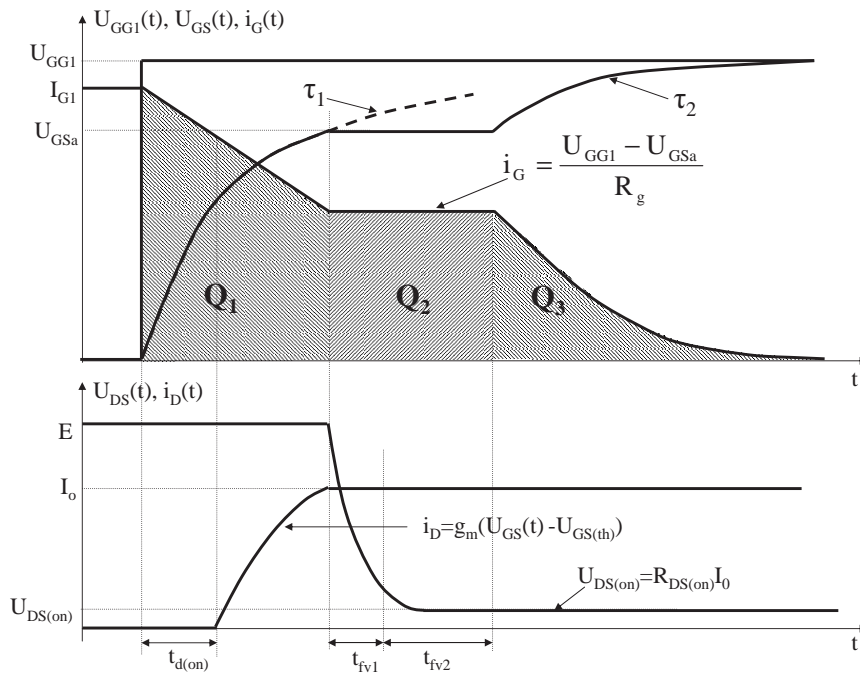


Figura 7.22: Encendido de un MOSFET con carga inductiva clampeada y diodo ideal

En el proceso descrito se asumió que el diodo  $D$  es ideal. En la práctica la corriente del diodo al apagarse no va a cero, sino que tiene corriente inversa de recuperación que puede ser importante. La corriente inversa de apagado del diodo se suma a la corriente  $I_o$  del MOSFET. Por lo tanto durante la recuperación inversa del diodo  $D$ , que puede durar de decenas hasta cientos de ns, dependiendo del diodo, la tensión  $U_{GS}$  va a crecer de acuerdo a la ecuación 7.19, ya que el circuito externo impone una corriente  $i_D = I_o + i_{rr}$ .

### Apagado (*turn - off*)

El apagado se realiza conectando el *gate* a través de  $R_g$  a una tensión que puede ser cero o  $-U_{gg2}$  con respecto al *source* (figura 7.20). Los tiempos de descarga o carga de los capacitores van a ser más cortos cuando  $U_{gg2}$  sea mayor que cero. Las formas de onda corresponden a una secuencia inversa con respecto al encendido, y se muestran en la figura 7.23, para el caso en que se apague con tensión  $U_{gg2} = 0$ . la capacidad  $C_{iss} = C_{gd} + C_{gs}$  se descarga al *source* a través de  $R_g$ . En este caso la constante de tiempo inicial de descarga del *gate* es mucho mayor que la del encendido, ya que la tensión  $U_{DS}$  es muy baja (el dispositivo está conduciendo), y  $C_{gd} = C_{gd2}$ , el valor más alto. La constante de tiempo es  $\tau_2 = R_g(C_{gd2} + C_{gs})$ . El retardo en el apagado  $t_{d(off)}$  es el tiempo en que el *gate* baja su tensión desde el valor inicial  $U_{gg1}$  hasta el valor  $U_{GS_a}$  correspondiente a

la corriente que está conduciendo el dispositivo, de acuerdo a la ecuación 7.20.<sup>4</sup>

Una vez alcanzado el valor  $U_{GSa}$ , la tensión  $U_{GS}$  se mantiene constante mientras la tensión crece a corriente constante y el dispositivo transita por la zona activa. La corriente de *gate* es constante, en este caso  $I_g = -U_{GSa}/R_g$  y carga linealmente la capacidad  $C_{gd}$ , al principio con pendiente baja ( $I_g/C_{gd2}$ ) y para  $U_{GS} > U_{gg1}$ , con pendiente mucho más alta ( $I_g/C_{gd1}$ ). La subida de la tensión depende entonces de  $R_g$ , y es frecuente que para el apagado se utilice una  $R_g$  más baja que para el encendido, a efectos de acelerar la conmutación. Una implementación posible se muestra en la figura 7.23. Cuando la tensión llega al valor  $E$  (o más precisamente  $E + U_\gamma$ ) el diodo  $D$  comienza a conducir y la corriente del MOSFET comienza a bajar. La tensión  $U_{GS}$  comienza a bajar nuevamente al descargarse la capacidad  $C_{gs}$  al potencial del source a través de  $R_g$ . Esta caída es naturalmente exponencial con constante de tiempo  $\tau_1 = R_g(C_{gs} + C_{gd1})$ . Si bien suele aproximarse como una caída lineal, la corriente  $I_D$  cae según la ecuación 7.19. La corriente se anula cuando  $U_{GS} = U_{GS(th)}$ . El tiempo de caída de la corriente en el apagado es el *fall time*  $t_f$ . La figura 7.24 muestra las formas de onda de apagado del MOSFET.

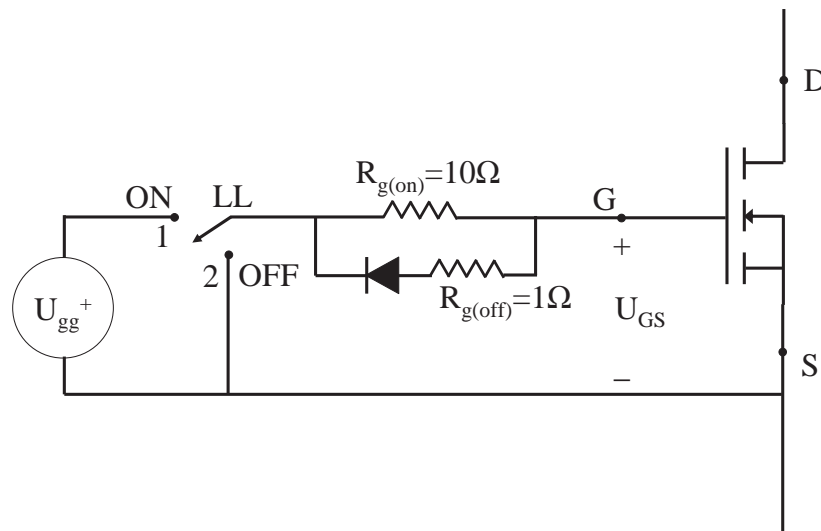


Figura 7.23: Circuito para acelerar el apagado ( $U_{gg2} = 0$ )

<sup>4</sup>El retardo de apagado  $t_{d(off)}$  es en muchos dispositivos comerciales el tiempo más largo de los asociados a la conmutación de un MOSFET, pudiendo ser el doble que los tiempos de subida y caída de la corriente y hasta 5 veces el retardo de encendido. Se pueden obtener datos de los fabricantes mencionados en la bibliografía.

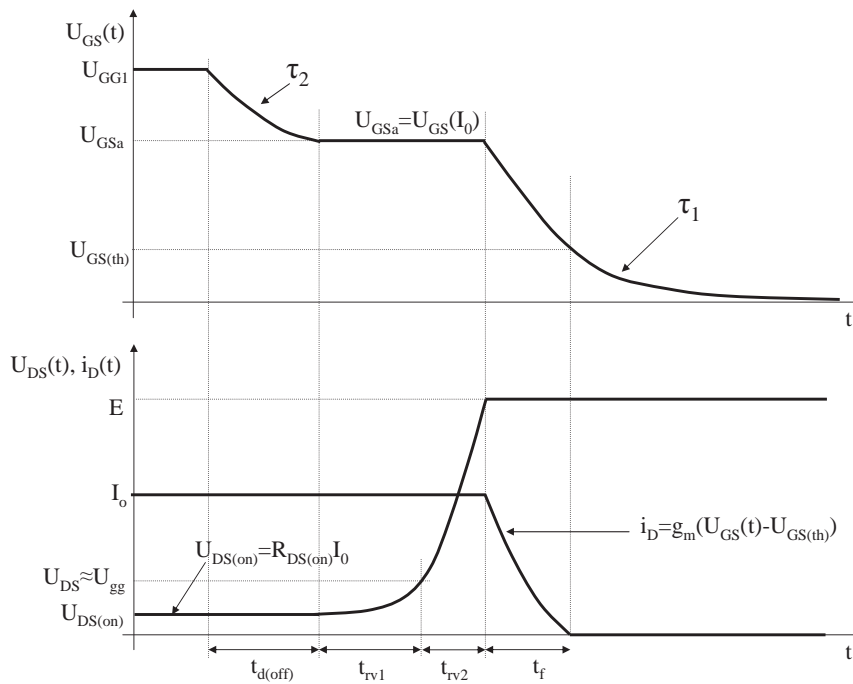


Figura 7.24: Apagado de un MOSFET con carga inductiva clampeada, diodo ideal y tensión final de *gate* igual a cero ( $U_{gg2} = 0$ )

## 7.6. Carga de gate

En la figura 7.22 el área sombreada representa la carga total suministrada por el circuito de comando al *gate* durante la conmutación. Este dato es suministrado por el fabricante y representa la tensión de *gate* en función de la carga suministrada para distintas tensiones iniciales  $U_{DS}$ . En la figura 7.25, el primer tramo representa fundamentalmente la carga inicial de  $C_{gs}$ , el segundo la carga de  $C_{gd}$  y el tercero la carga final de  $C_{gs}$  en paralelo con  $C_{gd2}$ . La información sobre la carga de *gate* y fundamentalmente la de la carga de  $C_{gd}$  puede ser utilizada para el diseño del circuito de comando y para la estimación de las pérdidas de conmutación. La curva de carga (figura 7.25) se indica para un valor determinado de corriente de *drain*, usualmente la corriente de operación continua.

## 7.7. Disipación de potencia en un MOSFET

Para el diseño de un convertidor con MOSFETs es necesario conocer la disipación térmica de cada dispositivo a efectos de la especificación de disipadores, ventilación y manejo térmico general.

El MOSFET es una aproximación real de una llave ideal, en los términos de lo analizado en el capítulo 4. Esta aproximación es particularmente exitosa en lo

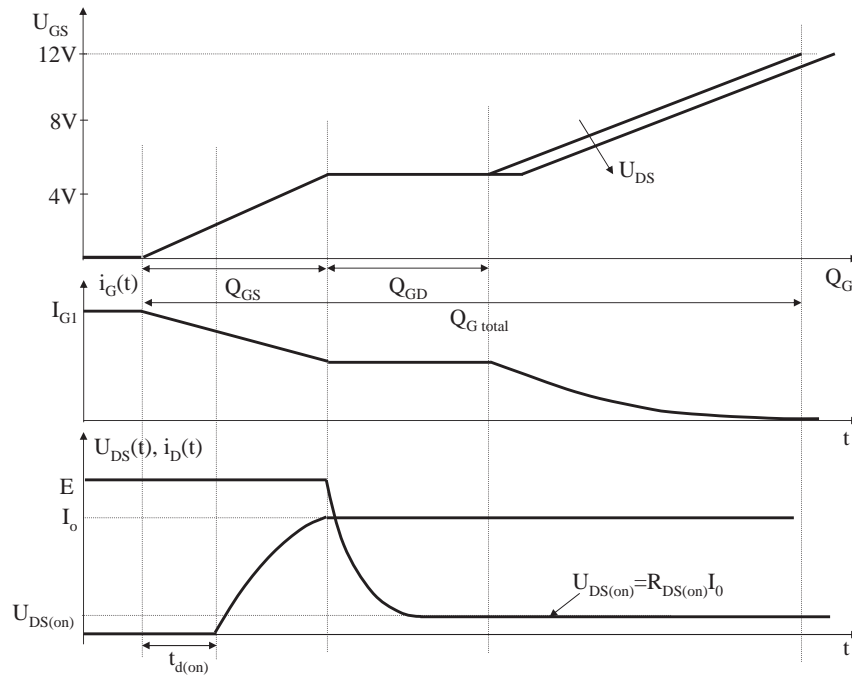


Figura 7.25: Carga de *gate* - Relación con la corriente y tensión a conmutar

que se refiere a velocidad de conmutación. Los tiempos de encendido y apagado son del orden de decenas de ns, dependiendo del circuito de comando, por lo tanto a la misma frecuencia de operación la disipación térmica por conmutación es mucho más baja que la de los dispositivos apagables ya vistos. El MOSFET ha sido hasta ahora el dispositivo de preferencia en fuentes de alimentación en las cuales el incremento de la frecuencia de conmutación permite disminuir el tamaño de los componentes pasivos de los circuitos de potencia, tales como inductancias, condensadores y transformadores.

En conmutación inductiva clampeada, en que la llave conmuta a una frecuencia  $f$  y con un ciclo de trabajo  $\delta$ , tal como la que se da en un circuito como el de la figura 7.20 la disipación de potencia en una llave genérica está dada por<sup>5</sup> :

$$P = P_{conducción} + P_{encendido} + P_{apagado} \quad (7.22)$$

$$P_{conducción} = P_{on} = R_{DS(on)T_{j\text{máx}}} I_o^2 \delta \quad (7.23)$$

$$P_{encendido} = P_{turn-on} = \frac{1}{2} t_{on} E I_o f \quad (7.24)$$

$$P_{apagado} = P_{turn-off} = \frac{1}{2} t_{off} E I_o f \quad (7.25)$$

<sup>5</sup>El detalle del cálculo de estas expresiones se encuentra en el capítulo 4

Siendo  $t_{on}$  el tiempo de encendido, desde que empieza a subir la corriente hasta que termina de bajar la tensión, y  $t_{off}$  el tiempo de apagado, desde que empieza a subir la tensión hasta que termina de bajar la corriente. Se supone variación lineal de ambos parámetros durante la transición y formas de onda como las vistas en el capítulo 4.  $T_{jmáx}$  es la temperatura de juntura de trabajo elegida para la aplicación a la máxima temperatura ambiente a la cual se prevé que trabaje el convertidor. Ese valor determina  $R_{DS(on)}$  y por lo tanto las pérdidas en conducción.

$$P_{total} = R_{DS(on)T_{jmáx}} I_o^2 \delta + \frac{1}{2}(t_{on} + t_{off})EI_of \quad (7.26)$$

En muchas aplicaciones  $I_o$  suele tener valores muy distintos en el encendido y en el apagado ( $I_1$  e  $I_2$ , por ejemplo)

En ese caso:

$$P_{total} = R_{DS(on)T_{jmáx}} I_{rms}^2 \delta + \frac{1}{2}t_{on}EI_1f + \frac{1}{2}t_{off}EI_2f \quad (7.27)$$

Es posible utilizar un modelo aproximado en el que las transiciones de tensión son mucho más rápidas que las de corriente. En ese caso  $t_{on} \approx t_r$  (*rise time*) y  $t_{off} \approx t_f$  (*fall time*). También es posible estimar los tiempos de subida y bajada de la tensión para tomarlos en cuenta. No están dados en las hojas de datos directamente pero se pueden estimar a partir de los datos de la carga de *gate*, dados tanto gráficamente como en valores en la tabla de características (carga  $Q_{gs}$ ,  $Q_{gd}$  y total).

Por ejemplo, en el encendido, la tensión  $U_{DS}$  baja fundamentalmente durante el tiempo en que se descarga  $C_{gd}$  a corriente constante y con tensión  $U_{GS_a}$ , valor correspondiente a la parte horizontal de la curva de *gate*. Una vez elegida  $U_{gg1}$ , la corriente de *gate* durante la caída de  $U_{DS}$  es:

$$I_g = \frac{U_{gg1} - U_{GS_a}}{R_g} \quad (7.28)$$

El tiempo de suministro de la carga necesaria para que se descargue  $C_{gd}$  es entonces  $t_{qGD} = Q_{gd}/I_g$ , que coincide con el tiempo de subida de la tensión.

El tiempo total de encendido queda:

$$t_{on} = t_r + t_{qGD} \approx t_r + t_{fv1} + t_{fv2} \quad (7.29)$$

Se puede hacer un razonamiento similar para el apagado. La corriente de retiro de la carga es:

$$I_{g_{off}} = \frac{U_{GS_a}}{R_g} \quad (7.30)$$

En forma más general si se apaga el MOSFET contra una tensión negativa y se utiliza una resistencia externa de *gate* menor para el apagado:

$$I_{g_{off}} = \frac{U_{GS_a} - (-U_{gg2})}{R_{g2}} \quad (7.31)$$

Si  $C_{gd}$  fuera constante la tensión  $U_{DS}$  variaría linealmente y serían válidas las expresiones 7.26 y 7.27. En la práctica constituyen una aproximación conservadora,

ya que la subida no es lineal debido a la variación de  $C_{gd}$ , como se ve en las figuras 7.22 y 7.24.

En resumen, las pérdidas en conmutación con carga inductiva clampeada pueden aproximarse con la ecuación 7.26 o 7.27 según corresponda. Una aproximación por exceso sería tomar:

$$t_{on} = t_r + t_{fv1} + t_{fv2} \quad (7.32)$$

$$t_{off} = t_f + t_{fv1} + t_{fv2} \quad (7.33)$$

Una aproximación por defecto consistiría en despreciar el tiempo de subida de la tensión.

$$t_{on} = t_r \quad (7.34)$$

$$t_{off} = t_f \quad (7.35)$$

Esta aproximación puede usarse en muchos casos como estimación inicial.

Las pérdidas por conmutación no dependen de la temperatura, ya que las capacidades no tienen esa dependencia. Las pérdidas por conducción dependen fuertemente de la temperatura de juntura, debido a la dependencia de  $R_{DS(on)}$ .

Algunos fabricantes dan fórmulas aproximadas para el cálculo de las pérdidas por conmutación. Un ejemplo ((*Maxim Integrated Products* Designers Information and Design Tools)) lo constituye la siguiente:

$$P_{conmutación} = \frac{C_{rss} E^2 f I_o}{I_g} \quad (7.36)$$

Donde  $I_g$  es la corriente de *gate* cuando la tensión  $U_{GS}$  está en su parte plana, y los demás parámetros son los de la figura 7.20 (en esta expresión no está claro si contempla encendido y apagado o solo uno de los dos.)

## 7.8. Sobre el empleo de los MOSFETs

El área de aplicación de un dispositivo está vinculada a la disipación térmica en relación con la potencia manejada por el convertidor que lo emplea pero también al grado de aproximación del dispositivo a una llave ideal para la aplicación considerada. Ambas cosas están naturalmente vinculadas, pero también deben considerarse por separado, para poder evaluar la validez de los modelos empleados para todo el sistema en cuestión. De esta evaluación surge para qué aplicaciones un dispositivo está mejor adaptado.

En el caso del MOSFET el apartamiento más significativo de la llave ideal fue desde un principio la  $R_{DS(on)}$  y su dependencia de la tensión de bloqueo. La forma de solucionar el problema ha sido utilizar MOSFETs con mayor capacidad de corriente que la necesaria para una aplicación, admitir rendimientos más bajos, limitar la fabricación a dispositivos con tensiones de bloqueo menores que 1000V y usar dispositivos en paralelo cuando no se alcanzan las corrientes necesarias con valores razonables de  $R_{DS(on)}$ .

Desde hace unos años, el desarrollo de los dispositivos semiconductores de potencia ha ido cambiando el área de aplicación de los MOSFET y el carácter de sus limitaciones.

En primer lugar se ha logrado fabricar nuevas geometrías de gate, como los "trench gate" (figura 7.26) y los "superjunction". Los procesos de fabricación son mucho más complejos pero se ha logrado reducir la  $R_{DS(on)}$  hasta 5 veces el valor para un MOSFET convencional de la misma corriente y tensión.

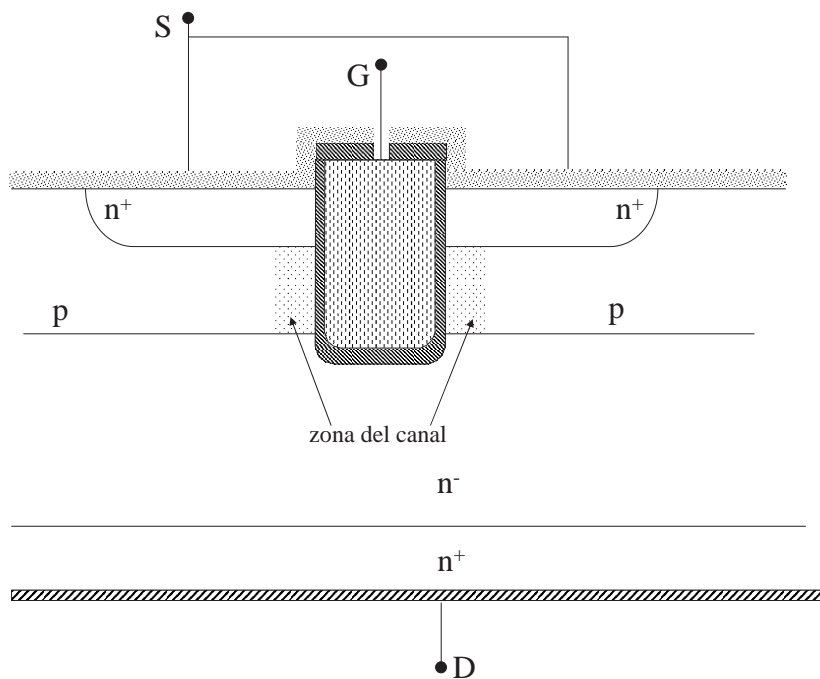


Figura 7.26: MOSFET con estructura de *source-gate* tipo "trench" o trinchera.

En segundo lugar se fabrican MOSFETs de baja tensión de bloqueo y gran capacidad de corriente, que se presentan en encapsulados que admiten corriente mucho menores. Por ejemplo se fabrican MOSFETs de 200A en encapsulados tipo TO220, que admiten corrientes máximas del orden de 50A en sus contactos. Esos MOSFETs tienen resistencias de algunos  $m\Omega$ , por lo tanto su caída de tensión a valores de corriente admisibles para su encapsulado están en el orden de la décima de voltios. Estos valores los hacen mucho mejores (debido además a la sencillez del manejo de *gate*) que los BJT para aplicaciones de baja frecuencia y muy baja tensión de entrada, como inversores de 12V, por ejemplo. Pero también los hace el dispositivo de elección en las etapas de rectificación de la salida de las fuentes conmutadas, sustituyendo a diodos rectificadores. Un diodo *shotky* tiene una caída de por lo menos 0,5V en conducción. Un diodo común ultrarrápido tiene una caída de más de 1V. Una fuente de 3,3V 100A de salida para alimentación de sistemas digitales en esa tensión implementada con diodos

tendría un rendimiento inaceptable por lo bajo. Entonces en lugar de diodos se emplean MOSFETs de baja resistencia, por ejemplo 1 -2  $m\Omega$ . El MOSFET, a diferencia del diodo, necesita ser encendido para que conduzca, Por lo tanto se utilizan circuitos de comando que los hacen conducir sincronizadamente durante los períodos en que le corresponde conducir a los diodos. (rectificación sincrónica)

En tercer lugar el desarrollo de los IGBT (capítulo 8) ha permitido disponer de dispositivos de alta velocidad, con tiempos de conmutación más largos que los de los FETs pero en el orden de magnitud, capaces de bloquear altas tensiones, excediendo largamente el límite de 1000V de los MOSFET, y con caídas de tensión en conducción de 1 a 2V. Estos dispositivos pueden usarse además en topologías de convertidores que limitan las pérdidas de conmutación evitando la situación de carga inductiva clampeada. Los IGBT pueden en muchos casos sustituir a los MOSFETs en aplicaciones que involucran niveles de tensión como los asociados a distribución en baja tensión.

Algún fabricante importante ha discontinuado sus MOSFETs de más de 300V ofreciendo IGBTs en su lugar.

## 7.9. Circuitos de comando de *gate* (*drivers*)

El circuito de comando de *gate* convierte la señal del circuito de control, que consiste en información sobre si el MOSFET debe prenderse o apagarse, en una salida que se conecta al *gate* y al *source*, con niveles de tensión y capacidad de suministrar corriente de acuerdo a lo requerido para el encendido y apagado del MOSFET. Debe ser capaz de aplicar una tensión  $U_{gg1}$  de típicamente 10-15V positivos y tensión cero o negativa  $-U_{gg2}$  (hasta -10V, -15V), a través de resistencias de *gate*  $R_g$  o  $R_{g1}$  y  $R_{g2}$  (que pueden considerarse parte del driver, como su impedancia vista de salida). Debe garantizar que la tensión no exceda lo indicado por el fabricante ( $\pm 20V$  o  $\pm 30V$ ). Debe poder suministrar la corriente necesaria para que el dispositivo conmute en los tiempos requeridos, y también evitar que el *gate* quede en circuito abierto.

La corrientes máximas que debe suministrar el circuito de comando son:

$$I_{g1(máx)} = \frac{U_{gg1}}{R_{g1}} \quad (7.37)$$

en el instante de encendido, con  $C_{gs}$  descargada

$$-I_{g2(máx)} = \frac{-(U_{gg2} + U_{gg1})}{R_{g2}} \quad (7.38)$$

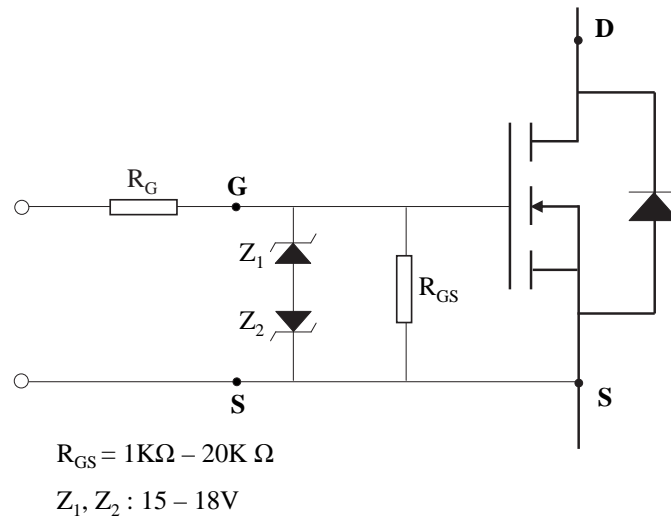
en el comienzo del apagado con  $C_{gs}$  cargada.

El modelo básico de funcionamiento del driver se representa en la figura 7.20, que se puede complementar con la figura 7.23. La señal de información debe poder comandar la llave LL entre las posiciones 1 y 2

La figura 7.27 muestra una protección típica contra sobretensión (zeners) y circuito abierto ( $R_{gs}$ ) en el *gate*.

Teniendo en cuenta la figura 7.20, el diseño del circuito de *gate* consiste en la implementación de la llave LL, que debe ser comandada por la señal lógica del circuito de control, y de las fuentes  $U_{gg1}$  y eventualmente  $-U_{gg2}$ . El diseño debe tener en cuenta además que, en muchas aplicaciones, el MOSFET a comandar



Figura 7.27: Protección de *gate*

no tiene el *source* conectado a un potencial fijo que pueda usarse como referencia (*source* flotante). En una rama de inversor, uno de los MOSFETs tiene el *drain* conectado al positivo de la tensión de entrada, mientras que el potencial del *source* es el de la tensión de salida del inversor (figura 7.10). Estos MOSFETs se llaman "del lado de arriba" o "*high side* MOSFETs". Los circuitos se llaman "*high side drivers*".

### 7.9.1. Circuitos básicos tipo totem-pole

Una implementación de aplicación frecuente con apagado a tensión cero se muestra en la figura 7.28. Inicialmente el MOSFET está apagado. La tensión  $U_c$  de control es cero. T1 está apagado y T2 tiene la base en 0V. El punto G1 está en 0V. La capacidad  $C_{gs}$  está descargada, a lo que contribuye también la resistencia  $R_{gs}$ . T2 está entonces apagado. Si el punto G1 estuviera a más de 0,7V el *npn* conduciría, no permitiendo que la tensión  $U_{g1}$  suba. La juntura base colector del *npn* no puede polarizarse en directo, por lo tanto el transistor no satura aunque conduzca.

Para prender el MOSFET la tensión de control  $U_c$  debe subir prácticamente hasta  $U_{gg1}$ . T1 se prende. La tensión aplicada a través de  $R_g$  es algo menor que  $U_{gg1}$  debido a la caída base - emisor de T1, unos 0,7V y a la caída en la resistencia de base de dicho transistor. T1 conduce y suministra la corriente  $I_{g1}$  de encendido, que puede llegar instantáneamente a varios amperes. Como la tensión de base es algo menor que la de colector ( $U_{gg1}$ ) T1 trabaja prácticamente en zona activa.

Para apagar el MOSFET se lleva la tensión  $U_c$  a cero. T1 se apaga y prende T2 con la corriente por  $R_b$ . Al trabajar prácticamente en zona activa, el prendido y apagado de T1 y T2 es lo suficientemente rápido como para comandar

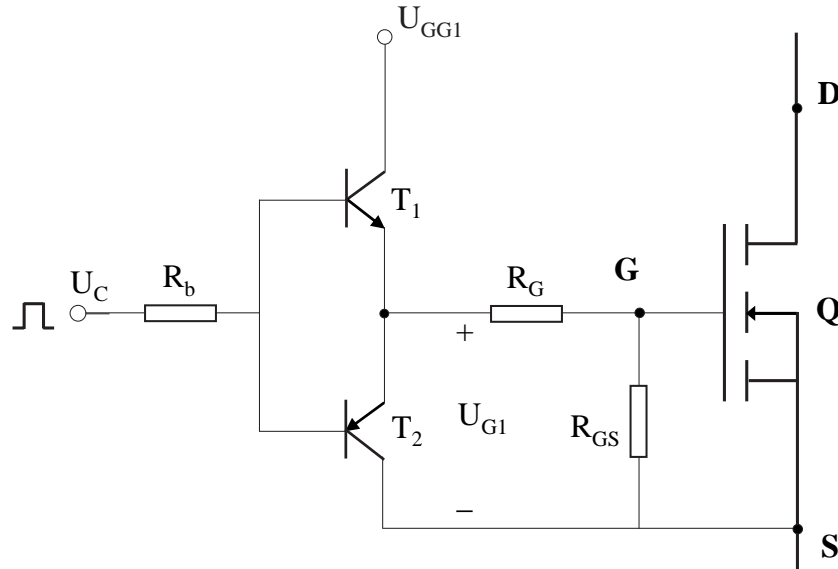


Figura 7.28: *Drivers tipo totem pole* - Principio básico

adecuadamente un MOSFET.

La figura 7.29 muestra en detalle un driver con tensión positiva y negativa, para aumentar la velocidad de apagado. Se presenta una implementación práctica posible con componentes discretos, en la cual se muestra la adaptación del nivel de tensión de señal a las tensiones necesarias para comandar el MOSFET. El circuito de control se alimenta con una tensión  $U_{cc}$  (por ejemplo 5V de un circuito lógico) con la cual se genera la señal de comando  $U_c$ . Si  $U_c$  es positiva, se prende T4 a través de  $R_5$ . Al prender T4 se prende T3 a través de  $R_4$ . T3 conecta las bases de T1 y T2 a  $+U_{gg1}$  a través de  $R_b$ , cuya tensión inicial en el encendido es entonces  $U_{gg1} + U_{gg2}$ , ya que las bases estaban en  $-U_{gg2}$ . Como  $R_b \ll R_2$  se prende el transistor T1 de la forma ya descrita.

Para apagar el MOSFET la tensión  $U_c$  se hace cero o entra en alta impedancia, T4 se apaga mediante  $R_6$ , T3 se apaga mediante  $R_3$ , y se prende T2 con una corriente de base:

$$I_{b2} = \frac{U_{gg1} + U_{gg2} - U_{BE}}{R_2} \quad (7.39)$$

T2 conecta el *gate* a  $-U_{gg2}$  y comienza la secuencia de apagado. T1 se apaga al cortarse su corriente de base e invertirse su polaridad  $U_{BE}$  con el prendido de T2. Los condensadores  $C_1$  y  $C_2$  se conectan entre el *source* y los colectores de T1 y T2 y suministran la corriente instantánea necesaria para el prendido y apagado rápido del MOSFET. Son cargados por las fuentes auxiliares  $F+$  y  $F-$ , que pueden ser de baja potencia, y estar alejadas (con conductores largos que intercalan inductancias parásitas) ya que todo el circuito consume muy poco

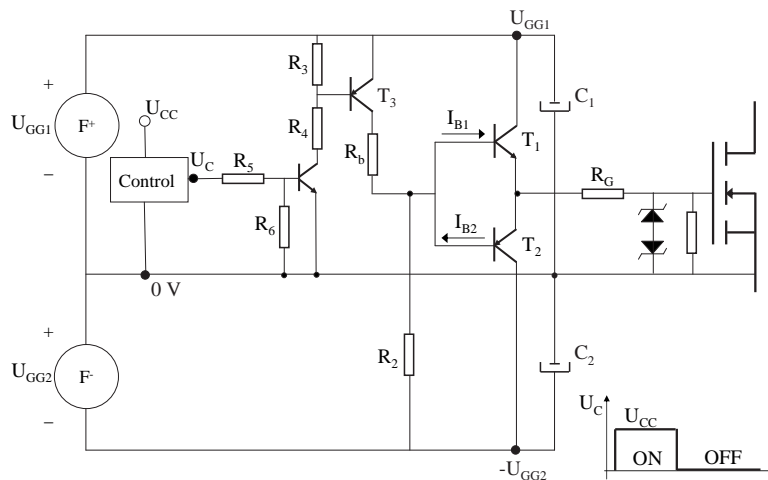


Figura 7.29: *Drivers* tipo *totem pole* - Implementación práctica con componentes discretos y apagado contra tensión negativa

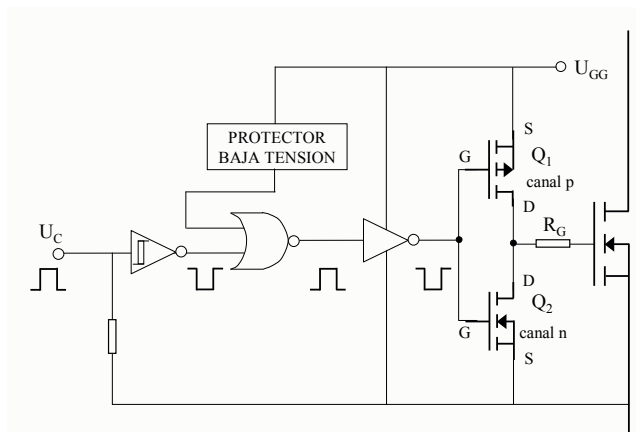


Figura 7.30: *Drivers* tipo *totem pole* - Implementación con MOSFETS

durante los estados *On* y *Off*. El consumo mayor es el de la resistencia  $R_2$  durante el estado *On*, ya que su valor no debe ser demasiado alto, por ser la que apaga  $T_2$ . En circuitos más elaborados se sustituye esa resistencia por un transistor.

Este tipo de driver se implementa también con MOSFETs canal  $n$  y canal  $p$ . La figura 7.30 muestra un ejemplo de parte de un circuito integrado para comando de MOSFETs, que incluye un detector de baja tensión de fuente auxiliar. Al aplicar 0V a los *gates* de  $Q_1$  y  $Q_2$ , se apaga  $Q_2$  (canal  $n$ ) y se prende  $Q_1$  (canal  $p$ ), con lo que se prende el MOSFET. Al aplicar  $U_{gg1}$  a los *gates* se prende  $Q_2$ , se apaga  $Q_1$  y el MOSFET se apaga.

Existen circuitos integrados disponibles comercialmente que realizan todas estas funciones. En particular, para bajas potencias, el *totem pole* es parte del integrado que también contiene todo el control del convertidor.

*Nota: Una forma tradicional de comandar MOSFETs en forma simple ha*

consistido en utilizar buffers CMOS. Se conectan varios en paralelo para aumentar la corriente. (figura 7.31)

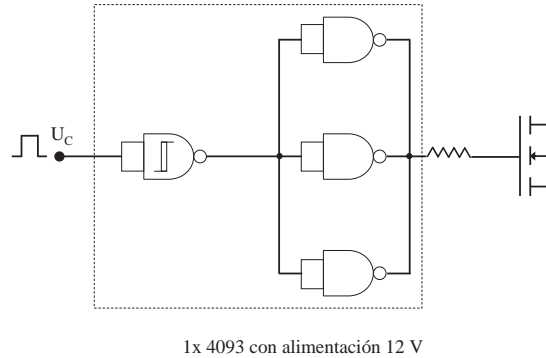


Figura 7.31: Comando de *gate* utilizando C-MOS

### 7.9.2. Drivers para MOSFETs con *source* flotante (*high side drivers*)

Si la tensión de *source* varía entre 0 y la tensión continua de alimentación, como en un inversor, el *driver* descrito debe ser modificado, ya que las fuentes auxiliares y la salida de control están referidas a un potencial fijo. Los circuitos se deben modificar de tal manera que tanto la señal de comando como las fuentes para efectuar la conmutación queden referidas al *source* flotante, para lo cual el diseño debe tolerar entre control y driver una tensión en modo común de frecuencia y amplitud iguales a las de la salida del convertidor. Esto se implementa de dos formas: mediante aislación galvánica o mediante circuitos tipo *bootstrap*.

#### Drivers con aislación galvánica

La aislación galvánica tiene dos funciones. Una de ellas es suministrar la tensión y corriente de *gate* con respecto a un *source* flotante. La otra, que es imprescindible a potencias superiores a algunos kW, consiste en separar galvánicamente los circuitos que manejan potencia de los circuitos de control, de manera de facilitar la tarea de evitar referencias de tensión múltiples entre las cuales podrían circular corrientes importantes y generar caídas de tensión entre los niveles de referencia de distintos componentes del sistema de control, tales como integrados lógicos y amplificadores operacionales. Por esa razón, así como por simetría de comando, es usual que en una rama de puente inversor tanto el MOSFET de arriba (*high side*) como el de abajo (*low side*) sean comandados con el mismo circuito con aislación galvánica.

El circuito básico con aislación galvánica consiste en un circuito similar a los de las figuras 7.28, 7.29, 7.30 y 7.31 a los que se les agrega una aislación en la señal de comando, que puede ser un transformador de pulsos o un acoplador óptico de alta velocidad, y una fuente aislada, del tipo de la usada para un GTO o BJT, pero de mucho menor potencia, ya que no es necesario suministrar

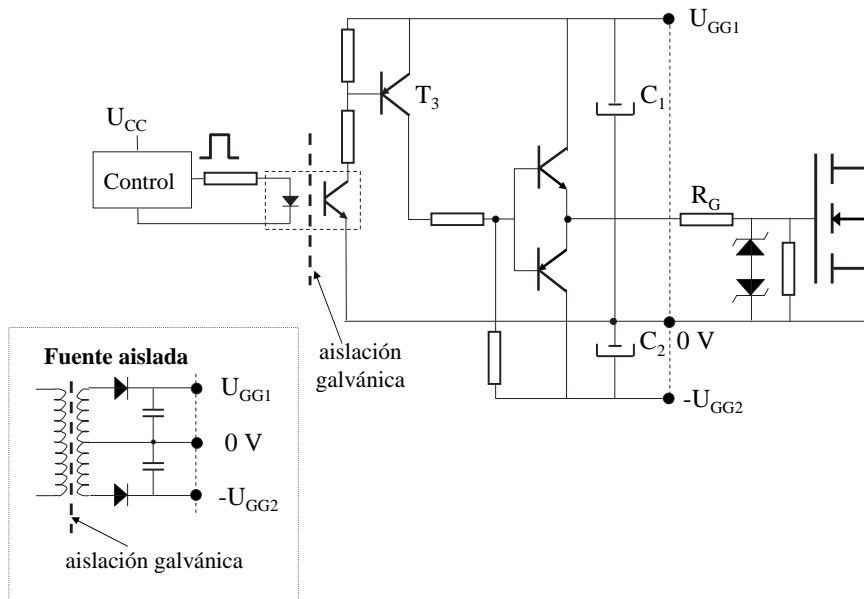


Figura 7.32: Drivers con aislación galvánica - Aislación con optoacoplador y fuente aislada

potencia al gate durante la conducción. La figuras 7.32, 7.33 y 7.34 muestran ejemplos de implementación. En la figura 7.32 se muestra un ejemplo de uso de acoplador óptico. El transistor de salida del acoplador óptico prende el transistor  $T_3$  y el funcionamiento es igual al del circuito de la figura 7.29.

La figura 7.33 muestra el uso de un transformador de pulsos para transmitir el comando de control de otro circuito. El funcionamiento del transformador es similar al del driver de tiristores del capítulo 3.

El transformador permite en realidad transmitir tanto la señal (información) como la potencia necesaria para el prendido y apagado. En la figura 7.34 el circuito del primario genera una onda cuadrada sin componente de CC (gracias al condensador serie). En el secundario aparecen las tensiones negativa y positiva para apagar y prender el FET generando una onda cuadrada.

Este tipo de comando se usa para generar una onda cuadrada en dos ramas de inversor y modular el ancho del pulso (PWM) mediante control del desfase entre las ondas de las dos ramas.

La figura 7.35 muestra un driver con transformador de uso comercial para comando de MOSFETs de 50A o más. El circuito comanda el mosfet principal  $Q$ . Al aplicar la señal de comando  $U_C$  el MOSFET  $Q_1$  prende y se aplica 20V sobre el primario del transformador. En el secundario aparece la tensión transformada. Si la relación es 1:1 aparecen 20V. Por lo tanto circula corriente a través de  $R_1$  y el zener  $Z_2$  fija la tensión de gate.  $D_2$  conduce manteniendo apagado el MOSFET  $Q_2$ . Al llevar  $U_C$  a cero para apagar el MOSFET  $Q$ ,  $Q_1$  se apaga



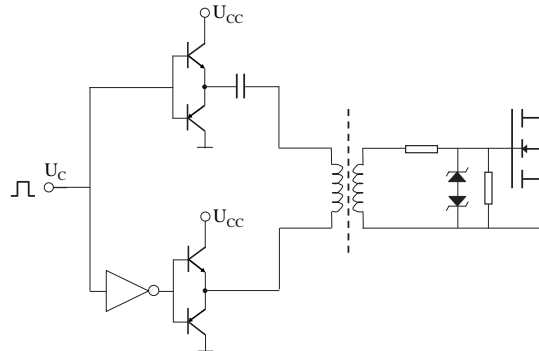


Figura 7.34: *Drivers* con aislación galvánica - Circuito de comando con transformador que suministra información y potencia

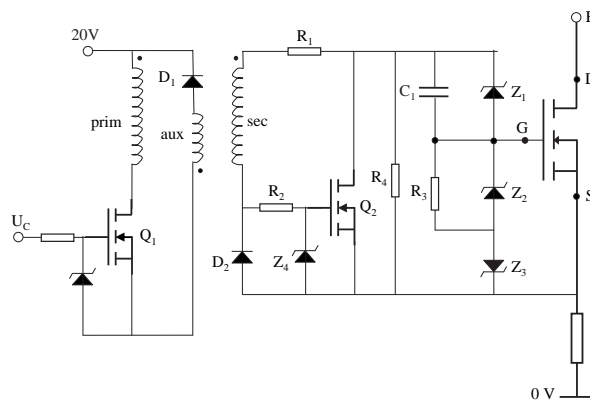


Figura 7.35: *Driver* por transformador para MOSFET de 50 A o más y ciclo de trabajo variable

### Drivers tipo *Bootstrap*

Un circuito de comando muy utilizado para comandar el MOSFET "high side" con el *source* flotante, es el *Bootstrap*. Consiste generalmente en un driver tipo *totem pole* con MOSFETs como los ya descritos (7.30) referido al *source*. La fuente auxiliar que alimenta al *totem pole* consiste en un condensador cargado por un diodo desde una fuente referida al 0V de la fuente principal *E*. La figura 7.36 muestra una implementación posible.

Cuando el MOSFET a comandar *Q* está cortado su *source* queda al potencial de la referencia, a través del MOSFET "low side" como en un inversor, o a través de una carga, si se trata de otro tipo de circuito. En ese período el condensador  $C_{boot}$  se carga a través del diodo *D* desde la fuente  $U_{CC}$ , generalmente de 12 a 18V y queda a ese valor. Al aplicar el pulso de prendido a los gates del *totem pole*,  $Q_3$  se prende y aplica la tensión del condensador  $C_{boot}$  al *gate* de *Q*, el cual

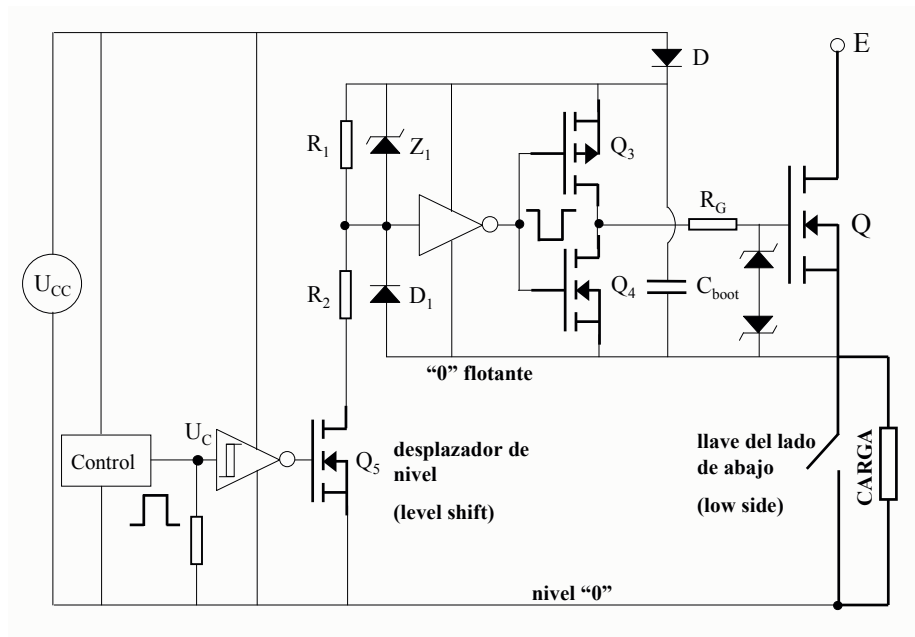


Figura 7.36: Circuito de comando tipo *Bootstrap*

pasa al estado de conducción. El *source* de  $Q$  sube rápidamente al potencial  $E$  al bajar la tensión  $U_{DS}$ . El condensador  $C_{boot}$  se mantiene cargado a la tensión  $U_{CC}$ , manteniendo la tensión de prendido durante el tiempo de conducción. El diodo  $D$  queda polarizado en inverso e impide que el condensador se descargue.  $C_{boot}$  se descarga solamente para cargar la capacidad de entrada  $C_{iss}$  de  $Q$ . Su valor se elige entonces uno o dos órdenes de magnitud mayor que dicha capacidad para que la tensión de *gate* se mantenga en un valor adecuado. Para apagar  $Q$  se prende  $Q_4$  que descarga las capacidades de *gate* en forma usual. El transistor "low side" o la carga llevan el *source* de  $Q$  a cero, y  $C_{boot}$  repone la carga perdida a través de  $D$ .

El problema es entonces cómo llevar la señal de comando desde un circuito de control, normalmente referido a 0V, a los *gates* del *totem pole*, cuya tensión de trabajo está referida al *source* de  $Q$ . Se utiliza entonces un desplazador de nivel o *level shifter*. El *level shifter* básico consiste en un MOSFET de muy alta tensión de bloqueo (el valor  $E$  puede llegar a 600V, por ejemplo). No es necesario que conduzca mucha corriente. En la figura 7.36 es el MOSFET  $Q_5$ . Cuando la tensión de control  $U_C$  es cero  $Q_5$  prende a través del *buffer schmitt trigger* inversor y mantiene en su cero (cero flotante coincidente con el potencial de *source*) la tensión del *buffer* que oficia de *driver* del *totem pole*. Como el *source* de  $Q$  está en cero los dos *buffers* se alimentan de  $U_{CC}$ . Si  $U_C$  sube al nivel que indica prendido,  $Q_5$  se apaga. La resistencia  $R_1$  a  $U_{Cboot}$ , que en ese momento es aproximadamente  $U_{CC}$ , pone un 1 en la entrada del *buffer* inversor que maneja  $Q_3$  y  $Q_4$ . Su salida es un cero que prende el MOSFET canal  $p$   $Q_3$  y por lo tanto  $Q$ . El *source* de  $Q$  sube al valor  $E$ , por lo tanto la tensión  $U_{DS}$  de  $Q_5$ , que está cortado, también sube a un valor próximo a  $E$ .



Para apagar  $Q$  se aplica una tensión  $U_C = 0$ .  $Q_5$  prende, y mediante  $R_2$ ,  $Z_1$  y  $D_1$  (puede bastar con  $D_1$ ) aplica un cero en la entrada del *buffer 2*. El zener o el diodo mantiene la tensión de entrada del *buffer* dentro de los límites admisibles. Se aplica entonces una señal lógica desde el nivel 0V al nivel  $E$ , cumpliéndose la función de "desplazamiento de nivel". La salida del *buffer 2* sube al valor  $U_{Cboot}$ , se prende  $Q_4$ ,  $Q$  se apaga y el *source* de  $Q$  vuelve al nivel cero, cumpliéndose un período de prendido y apagado. Este circuito simple permite explicar la función de *Bootstrap* y funciona (los autores lo han implementado con componentes discretos). En la práctica esos circuitos vienen como circuitos integrados, incluyen una serie de funciones de protección, y sólo es necesario agregar el diodo  $D$  y el condensador  $C_{boot}$ .

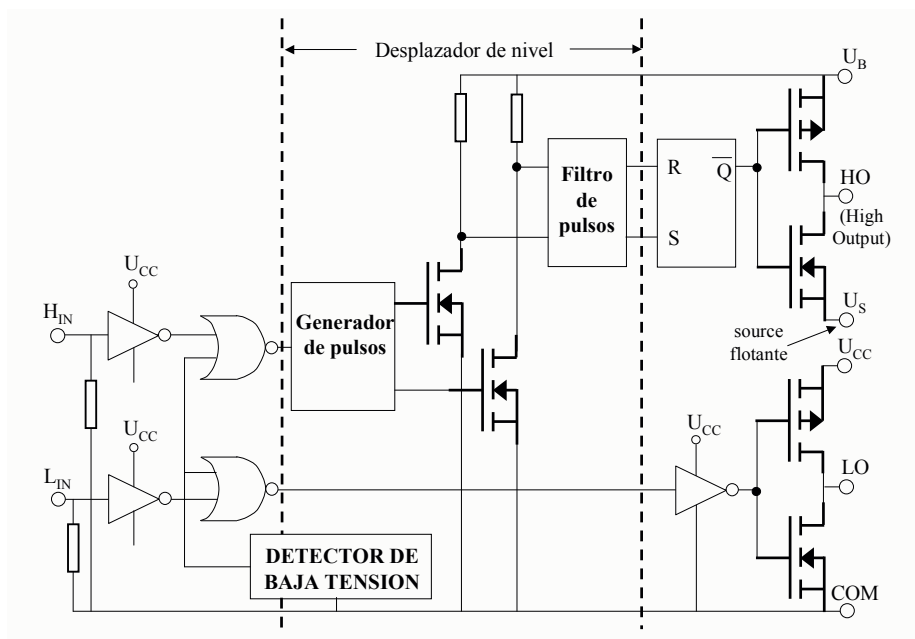


Figura 7.37: Circuito integrado simple para driver tipo *Bootstrap* - Circuito con *totem - pole* y desplazador de nivel

La figura 7.37 (*International Rectifier Technical Library*, adaptado de) muestra el esquema funcional de un driver integrado que incluye el totem pole para el manejo del MOSFET "low side". El *level shift* consiste en dos MOSFETs de alta tensión que funcionan durante tiempos muy cortos generando pulsos de *Set* y *Reset* de un *flip flop* cuya salida inversora comanda el *totem pole*. De esa forma se limita la disipación térmica del circuito posibilitando la implementación como circuito integrado. Muchos circuitos integrados permiten además tener diferencias de tensión entre la referencia de tensión de control y la tensión de *source* del "low side", a efectos de evitar lazos de conductores de referencia en los cuales pueden crearse tensiones parásitas capaces de dañar los circuitos de control.

Los circuitos desplazadores de nivel reales están presentados en forma esquemática en las hojas de datos de los *drivers* integrados que los contienen. En general

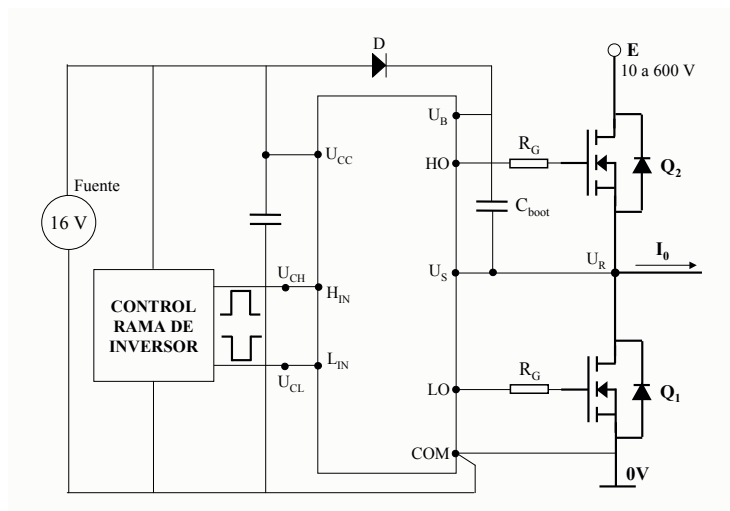


Figura 7.38: Circuito integrado simple para driver tipo *Bootstrap* - Conexión para una rama de inversor

tienen un diseño complejo, ya que deben manejar alta tensión, ser capaces de mantener tiempos de propagación muy bajos en comparación con los tiempos de conmutación de los MOSFETs y tener bajo consumo.

El *Bootstrap* presenta limitaciones de aplicación parecidas a las del transformador, ya que los ciclos de trabajo no pueden ser muy altos: el transistor  $Q$  debe cortar con cierta frecuencia y durante cierto tiempo para permitir la recarga de  $C_{boot}$ . En caso necesario, se puede mantener cargado el  $C_{boot}$  con una fuente aislada. El circuito dejaría de ser *Bootstrap* y sólo conservaría el desplazador de nivel.

*Nota sobre la carga del  $C_{boot}$ :* Para la carga del  $C_{boot}$  cuando el MOSFET a comandar está abierto es necesario que haya un camino de conducción entre el source (negativo del  $C_{boot}$ ) y la referencia de la tensión de carga del  $C_{boot}$  que está al nivel del 0V de la tensión de entrada del convertidor. Ese camino de conducción puede ser otro MOSFET o su diodo antiparalelo, en el caso de un inversor, algún otro tipo de carga, como diodos de desmagnetización en puentes asimétricos o en convertidores DC – DC tipo Buck, o una carga de suficientemente baja impedancia como para que  $C_{boot}$  se cargue en el tiempo disponible de acuerdo a la aplicación

### Comparación de distintos tipos de drivers para High Side MOSFETs

Los circuitos de *drivers* presentados se resumen en la figura 7.39 (*International Rectifier Technical Library*, adaptado de). En su mayor parte pueden ser usados también para IGBT (capítulo 8).

#### 7.9.3. Resumen sobre el empleo de MOSFETs

De acuerdo a lo expuesto el MOSFET de potencia es el dispositivo de elección en por lo menos dos tipos de aplicaciones:

- Aplicaciones de muy alta frecuencia, típicamente fuentes en las cuales es

necesario reducir tamaño peso y costo de transformadores, inductores y condensadores.

- Aplicaciones de baja tensión y alta corriente (hasta algunos cientos de *Amperes*), en las cuales es posible un sobredimensionado del chip tal que la resistencia  $R_{DS(on)}$  sea muy baja y se puedan obtener tensiones  $U_{DS}$  en conducción del orden de una décima de *Volt*. Estas aplicaciones pueden ser inversores desde fuentes de muy baja tensión (desde baterías de 12 y 24V por ejemplo) o rectificadores de alta frecuencia en que sustituyen a diodos de alta velocidad, reduciendo las pérdidas (rectificación sincrónica).

Presenta limitaciones a tensiones de trabajo altas, cercanas a los 1000V, debido a la resistencia de la capa de *drift*, que predomina en la  $R_{DS(on)}$ .

En las referencias y bibliografía se indican páginas web de fabricantes de las que se pueden obtener hojas de datos que muestran las características y los límites de aplicación.

La estructura del MOSFET ha servido de base para el desarrollo de otro dispositivo que se ha convertido en el componente de elección para tensiones y corrientes altas, combinando características de comando de MOSFET con características de conducción de BJT. Ese dispositivo es el IGBT (transistor bipolar de compuerta aislada) que se tratará en el capítulo 8.

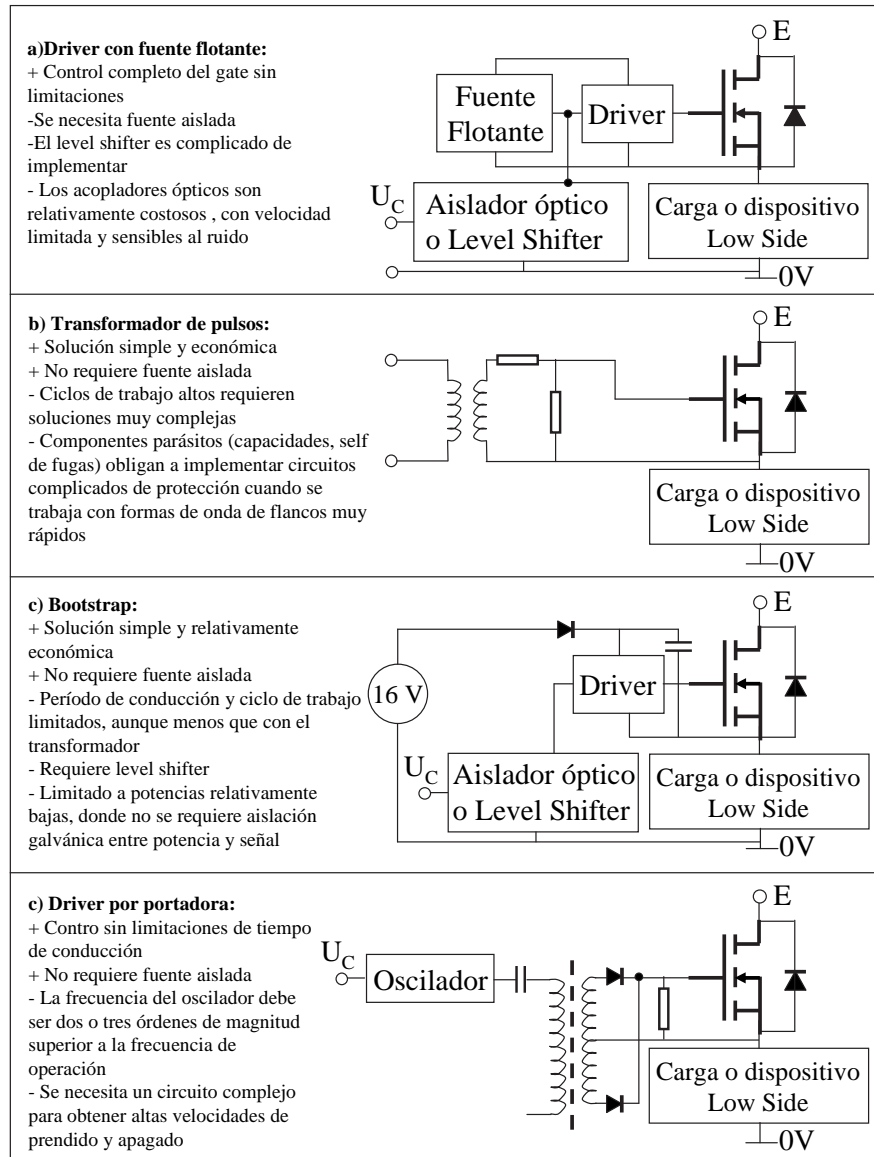


Figura 7.39: Resumen de circuitos de *driver* para *High Side* MOSFETs

## Capítulo 8

# IGBT

### 8.1. Introducción

El **IGBT** (Insulated **G**ate **B**ipolar **T**ransistor, Transistor Bipolar de Compuerta Aislada) es un dispositivo de conmutación de potencia que combina las ventajas del BJT y del MOSFET.

Según lo expuesto en capítulos anteriores, el BJT posee un bajo nivel de pérdidas en estado de conducción aún cuando es utilizado para bloquear altas tensiones. Por otro lado, tiene tiempos de conmutación largos, especialmente en el apagado. En contraposición, el MOSFET posee tiempos de conmutación muy cortos pero cuando es utilizado para bloquear altas tensiones sus pérdidas en conducción resultan excesivamente altas.

Para el desarrollo del IGBT se conjugan las características de ambos dispositivos de tal forma que se obtiene un componente adecuado para trabajar en circuitos con altas tensiones, que ostenta tiempos de conmutación mucho más cortos que los de un BJT y bajas pérdidas en conducción. Actualmente los tiempos de conmutación son del orden de  $100\mu s$ , pudiendo sustituir al MOSFET en aplicaciones de muy alta frecuencia.

### 8.2. Estructura

En la figura 8.1 se presenta la estructura general de un IGBT de canal n. Como puede observarse, ésta es igual a la de un MOSFET excepto que el colector del dispositivo se compone de una capa  $p^+$  en vez de la capa  $n^+$  que conformaría la conexión del *drain* de un MOSFET. Esta capa  $p^+$  junto con la  $n^-$  del *drain* del MOSFET y la  $p$  del cuerpo forma un transistor  $p^+n^-p$ . La corriente de *drain* del MOSFET es ahora la corriente de base de este transistor, que al entrar en la capa  $p^+$  hace que ésta inyecte portadores minoritarios (huecos) en la capa  $n^-$ . La capa  $p^+$  actúa por lo tanto como emisor. A pesar de esto, por analogía con el transistor bipolar  $npn$ , se designa este electrodo como "colector".

Al igual que en el MOSFET la capacidad de bloqueo del IGBT está asociada al espesor y dopaje de la capa  $n^-$ .

Se puede crear también un IGBT de canal  $p$  cambiando el tipo de dopaje de cada una de las capas.

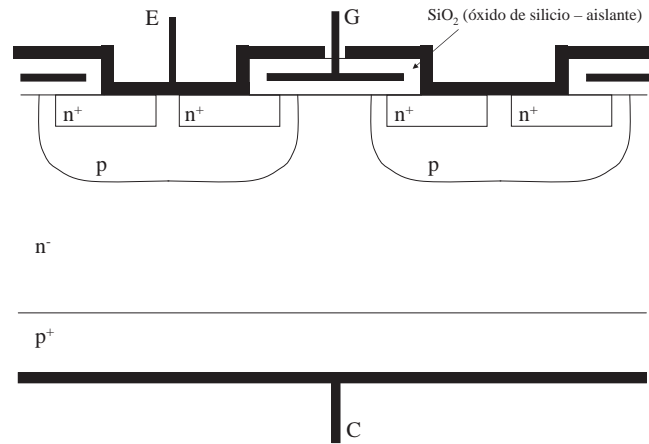


Figura 8.1: Estructura de un IGBT de canal n

#### Latchup del IGBT

Al igual que en el MOSFET, el IGBT tiene un transistor parásito conformado por las capas  $npn^+$  cuya base está cortocircuitada con su emisor (formado por las zonas  $n^+$ ) a través del cortocircuito que se forma con la metalización del emisor del IGBT. La base de este transistor parásito está formado por la zona  $p$  que tiene un comportamiento resistivo en el centro (figura 8.2).

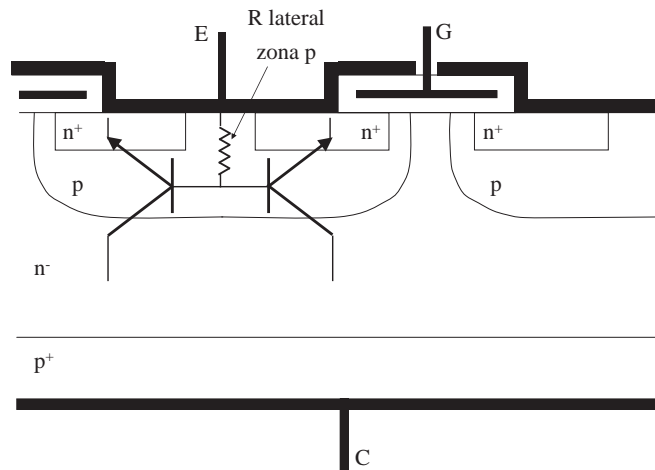


Figura 8.2: Estructura de un IGBT de canal n - Transistor parásito

La estructura  $p^+n^-p$  que constituye el IGBT corresponde a la estructura de un transistor con una base  $n$ . En la figura 8.3 se presenta la estructura del IGBT conformado por este transistor y el transistor parásito  $npn^+$ .

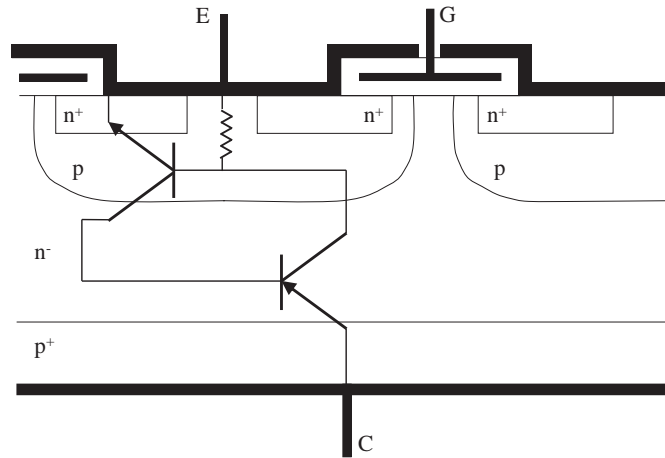


Figura 8.3: Estructura de un IGBT - modelo como dos transistores

Estos dos transistores conforman un tiristor parásito (figura 8.4). Este tiristor parásito tiene entonces su gate cortocircuitado con el ánodo mediante el cortocircuito en el emisor del IGBT y la zona  $p$  de baja resistencia.

Si bajo alguna circunstancia llegara a encender el transistor parásito y la suma de las ganancias en base común de ambos transistores fuera mayor que uno el tiristor parásito encendería sin posibilidad de ser apagado por un comando de *gate* causando lo que se conoce como el *latchup* del IGBT que resulta en la destrucción del dispositivo.

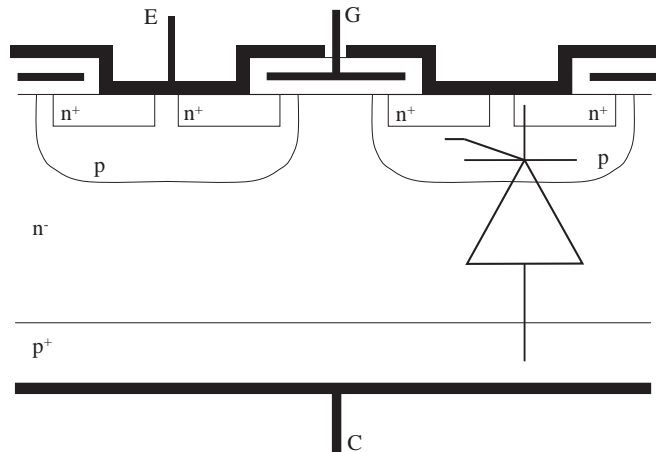


Figura 8.4: Estructura de un IGBT con tiristor parásito

Para evitar este fenómeno se realizan ciertas modificaciones a la estructura presentada en la figura 8.4. La ganancia en base común del transistor  $pnp$  es de hecho baja pues la zona  $n^-$  que constituye la base debe ser ancha dado que es

donde se soporta la tensión de bloqueo del dispositivo. Ahora, para minimizar la posibilidad de encendido del transistor parásito  $nnp$  se hacen modificaciones en la zona  $p$  del IGBT.

Los huecos que son inyectados por la zona  $p^+$  que compone el colector del IGBT recorren distintos caminos dentro de la estructura del componente. Algunos de ellos llegarán directamente a la metalización del emisor del componente mientras que muchos otros serán atraídos a los alrededores de la zona donde se ha creado el canal de conducción en la zona  $p$  debido a la carga negativa de los electrones que forman dicho canal. Como consecuencia, la corriente de huecos tendrá una componente lateral en el dispositivo que ocasionará una caída de tensión debido a la resistencia que presenta la zona  $p$ . Para valores altos de corrientes de colector ésta caída de tensión podría llegar a polarizar en directo la juntura  $pn^+$  y ocasionar el encendido de transistor parásito  $nnp$ . Si esto ocurre, ambos transistores (el  $nnp$  y el  $pnp$ ) estarán encendidos, con lo que el tiristor parásito compuesto por estos dos transistores habrá encendido. Una vez en esta situación, el IGBT no se puede apagar mediante comandos de *gate* y posiblemente se destruirá debido a sobrecalentamiento por corriente excesiva.

Este fenómeno se conoce como *latchup* estático y ocurre cuando la corriente que está circulando por el IGBT excede un valor crítico  $I_{CM}$ . Si el diseñador toma en cuenta este valor de forma que en el circuito donde se utiliza el componente no se llegue a ese nivel de corriente se estará fuera de peligro con respecto al *latchup* estático, pero desafortunadamente existen condiciones dinámicas que pueden desencadenar el *latchup* del tiristor parásito: cuando durante el apagado de una corriente de colector alta se da una derivada de la tensión con respecto al tiempo elevada esto puede aumentar la ganancia del transistor  $nnp$  parásito de tal forma que se encienda provocando un *latchup* dinámico. El *latchup* dinámico limita el Area de Operación Segura (SOA) del IGBT en el apagado pues puede ocurrir para valores de corriente de colector mucho menores que los que ocasionan el *latchup* estático y depende del valor de la  $dv/dt$  en el apagado.

Los fabricantes de IGBTs han mejorado la estructura de los mismos de tal forma que los dispositivos pueden utilizarse sin riesgo de *latchup* dinámico dentro de sus SOAs.

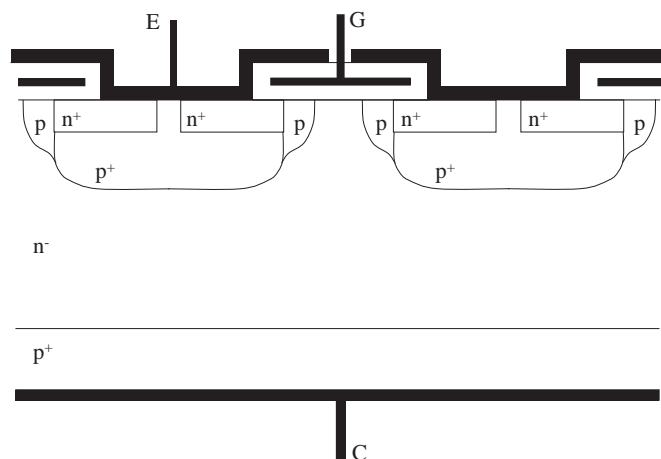


Figura 8.5: Estructura de un IGBT modificado para reducir la resistencia lateral



En la figura 8.5 (Mohan et al. 1995, adaptado de) se muestra la estructura de un IGBT modificado de forma de reducir la resistencia lateral de la zona  $p$  para evitar el *latchup* del dispositivo. Se puede observar que la zona donde se creará el canal de conducción mantiene un dopaje leve (del orden de  $10^{10} \text{ m}^{-3}$ ) y no se hace mucho más profunda que las islas  $n^+$  del emisor, mientras que al resto de la zona originalmente  $p$  se le da un dopaje mucho más fuerte (del orden de  $10^{13} \text{ m}^{-3}$ ) de forma de obtener una zona  $p^+$  con mayor conductividad que la original.

En la figura 8.6 se presentan el símbolo que utilizamos para representar al IGBT en circuitos.

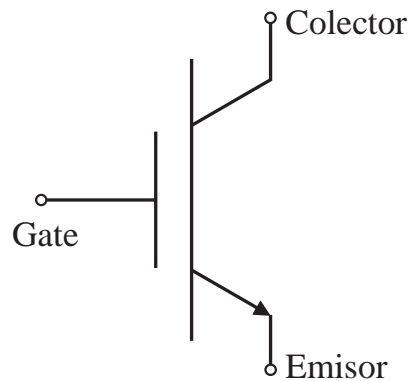


Figura 8.6: Símbolo usual para un IGBT de canal  $n$

La estructura general y los tipos de encapsulados de un IGBT son los mismos que los de un MOSFET para potencias bajas (de algunas decenas de kW) y tensiones del orden de 1000V.

Debido a que la capa  $n^-$  ya no tiene características de resistencia alta en conducción, el IGBT puede fabricarse para bloquear tensiones del orden de 6kV. Se encapsulan varios chips en paralelo para llegar a corrientes de miles de Amperes. El encapsulado tiene el aspecto de un tiristor o un GTO de alta potencia.

## 8.3. Características de operación

### 8.3.1. Bloqueo

El IGBT puede considerarse esencialmente como un MOSFET del punto de vista del comando, por lo que, al igual que en el MOSFET, el encendido del dispositivo está controlado por la tensión aplicada entre los terminales del *gate* y el emisor. Teniendo una tensión positiva impuesta entre el colector y el emisor del IGBT si la tensión aplicada entre el *gate* y el emisor es inferior al valor  $U_{GEth}$  (que es análogo al  $U_{GSth}$  definido para el MOSFET) no se puede formar el canal de conducción bajo el *gate*, por lo que el dispositivo está en estado de bloqueo

directo. La tensión aplicada entre el colector y el emisor es soportada por la juntura  $J_2$  (ver figura 8.7) y la zona de carga espacial se extenderá en mayor medida sobre la capa  $n^-$  debido a su bajo dopaje (a la capa  $p$  que conforma la juntura  $J_2$  se la dopa más fuertemente que a la capa  $n^-$  con este propósito). El ancho de la zona  $n^-$  se prevé de forma tal que soporte la tensión de bloqueo para la que está diseñado el dispositivo sin que la zona de carga espacial llegue hasta la zona  $p^+$  que compone el colector.

Se puede observar que esta estructura de IGBT es capaz de soportar prácticamente la misma tensión en condición de bloqueo directo como en bloqueo inverso. En una situación de bloqueo inverso la tensión impuesta entre el emisor y el colector es positiva y es soportada ahora por la juntura  $J_1$  de la figura 8.7. Nuevamente es el ancho de la zona  $n^-$  el que determinará la tensión de bloqueo, ahora bloqueo inverso, que puede soportar el dispositivo.

La condición de bloqueo inverso no se da en el funcionamiento ya que este dispositivo en sus aplicaciones tiene conectado un diodo en antiparalelo. Normalmente este diodo ya está incluido en el encapsulado.

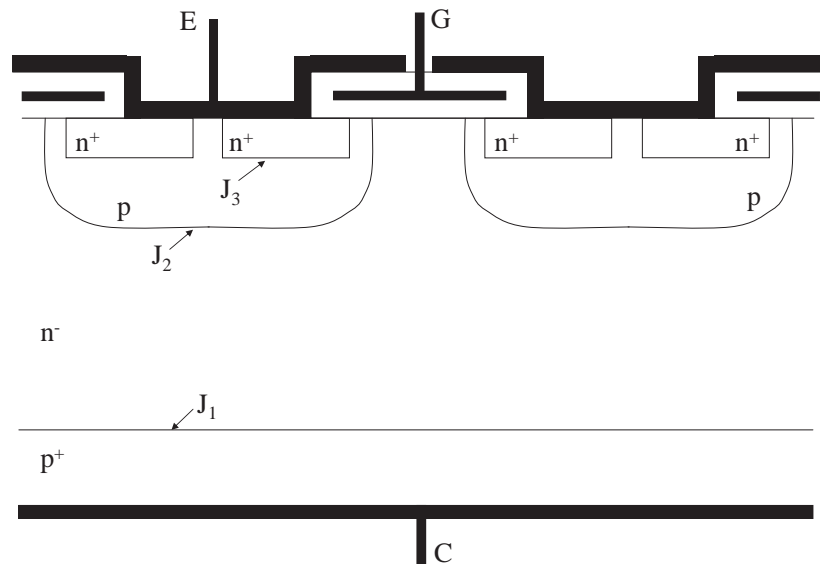


Figura 8.7: Estructura

### 8.3.2. Conducción

Si se tiene una tensión positiva aplicada entre el colector y el emisor del IGBT, cuando la tensión aplicada entre el *gate* y el emisor supera el valor  $U_{GE_{th}}$  se formará un canal de conducción debajo de la zona del *gate* que permitirá que circule una corriente de electrones desde el emisor hacia el colector. Cuando

estos electrones llegan a la zona  $p^+$  que compone el colector, ésta reacciona inyectando huecos hacia lo que sería el drain del MOSFET (capa  $n^-$ ). Esta inyección de portadores minoritarios hacia la capa  $n^-$  se podría interpretar como una corriente de base que enciende el transistor formado por las capas  $p^+n^-p$ . Los huecos inyectados en la zona  $n^-$  eventualmente llegarán al colector del transistor donde se recombinarán con electrones provenientes de la metalización del emisor del IGBT.

El dispositivo se comporta como un FET cuya corriente de *drain* no es otra cosa que la corriente de base de un transistor bipolar. La corriente útil se compone entonces de dos partes, una corriente de MOSFET (de electrones) y una corriente de transistor bipolar (de huecos).

La mejora que se introduce en el IGBT con respecto al MOSFET es que la zona  $n^-$  que antes era una zona de baja conducción y resistiva pasó a ser ahora la base de un transistor bipolar.

El circuito de la figura 8.8 presenta un circuito equivalente que permite estudiar el funcionamiento del IGBT. En el mismo se modela el IGBT como un transistor *pn*p comandado por un MOSFET de canal *n* en una disposición similar a una configuración Darlington.

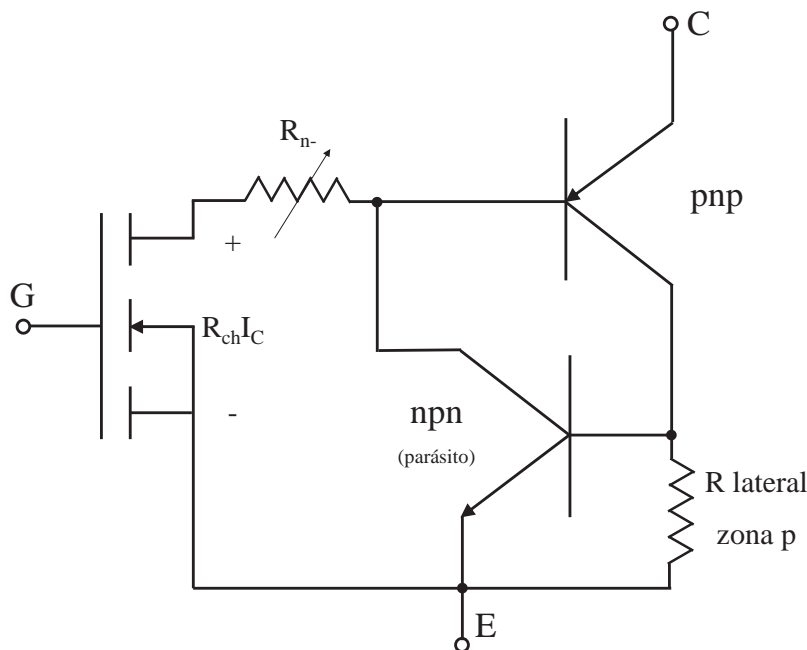


Figura 8.8: Circuito equivalente

En el mismo se separan las caídas de tensión en conducción en el MOSFET en dos términos. Las pérdidas debidas a  $R_{ch}I_C$  representan la caída de tensión en el canal que se forma debajo del *gate* mientras que la caída de tensión atribuible a  $R_{n^-}$  representaría la pérdida en la zona  $n^-$  del dispositivo.

En el circuito equivalente están representados también el transistor parásito *npn* y la resistancia lateral de la zona *p*.

Se deduce entonces del circuito presentado (figura 8.8) que la caída de voltaje en conducción en el IGBT equivale a la suma de la caída en un diodo, correspondiente al diodo base-emisor de la juntura  $J_1$  (figura 8.7), más la caída en el MOSFET que constituye el driver del dispositivo. Es claro entonces que la caída en conducción del IGBT nunca estará por debajo del valor de la caída de un diodo en conducción.

La caída de tensión debida a la circulación de corriente a través de la región  $n^-$  (representada por la resistencia  $R_{n^-}$ ) es aproximadamente constante y mucho menor a la que se tiene en el MOSFET debido a la modulación en la conducción que se establece por el agregado de la capa  $p^+$  en el IGBT. Por esta causa se indica en el esquema de la figura 8.8 la resistencia  $R_{n^-}$  como variable. Es la de un FET al inicio de la conducción y es la de una base en alta inyección (por lo tanto mucho más baja) durante la conducción. En el MOSFET la caída de tensión en conducción atribuible a la resistencia de la zona  $n^-$  es la que domina el valor de la  $R_{DS(on)}$  (de orden del 70% de las pérdidas en conducción se producen en esa zona). Este es uno de los factores que ha permitido aumentar enormemente la tensión de bloqueo en los IGBTs dado que es posible aumentar el ancho de la zona  $n^-$  sin aumentar drásticamente las pérdidas en conducción.

El valor de la caída de tensión en el canal de conducción (representada por la resistencia  $R_{n^-}$ ) se ve afectado por el valor impuesto entre el *gate* y el emisor del dispositivo de la misma forma que sucede en un MOSFET, de tal manera que si se aumenta el valor de la tensión impuesta  $U_{GE}$  el valor de  $R_{n^-}$  disminuye y consecuentemente lo hace la caída de tensión debido a este componente de la tensión  $U_{CE}$ .

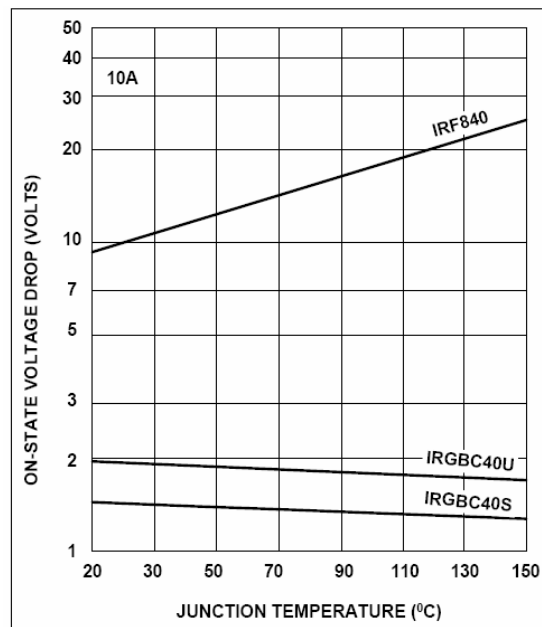


Figura 8.9: Pérdidas en conducción en función de la temperatura de juntura en dos IGBTs de una misma familia (IRGBC40U y IRGBC40S) y en un MOSFET (IRF840)

La modulación en la conducción que se obtiene en el IGBT prácticamente elimina la dependencia de la caída de voltaje en conducción con respecto a la tensión de operación del dispositivo. En efecto, la caída de tensión en conducción de un IGBT diseñado para 1200 V es el doble que la que registra un IGBT diseñado para 100V mientras que en un MOSFET la relación es de 50 veces para estas tensiones de funcionamiento.

En la figura 8.9<sup>1</sup> (*International Rectifier Technical Library*) se compara la evolución de la caída en conducción con la temperatura entre dos IGBTs de una misma familia y un MOSFET de *ratings* similares. Resulta claro que la caída de tensión en conducción en un IGBT es menor que la de un MOSFET y además que la caída de tensión en conducción en el IGBT es prácticamente insensible a las variaciones de temperatura.

### 8.3.3. Curvas características

En las figuras 8.10 y 8.11 se presenta la característica tensión - corriente y la transferencia tensión gate-emisor - corriente de colector del IGBT respectivamente.

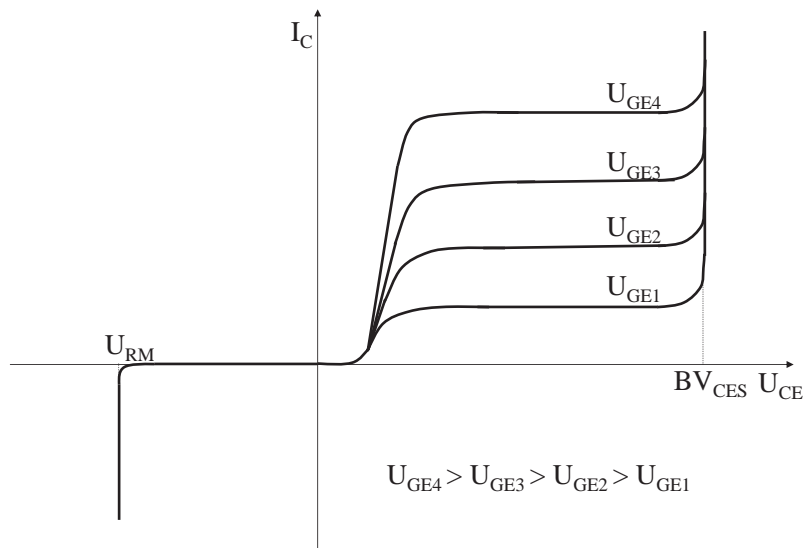


Figura 8.10: Característica de salida típica de un IGBT de canal  $n$

La característica de salida representada en la figura 8.10 corresponde a un IGBT de canal  $n$ . La curva análoga para un IGBT de canal  $p$  sería la misma pero la polaridad de los voltajes indicados estaría invertida.

La forma general de la característica de salida es muy similar a la que se presentó para el transistor bipolar común (ver figura 6.5). Las dos diferencias principales son que las curvas son paramétricas en una tensión (la tensión  $U_{GE}$ ) y

<sup>1</sup>el IGBT IRGBC40S es del tipo "Standard" y el IGBT IRGBC40U es del tipo "UltraFast"

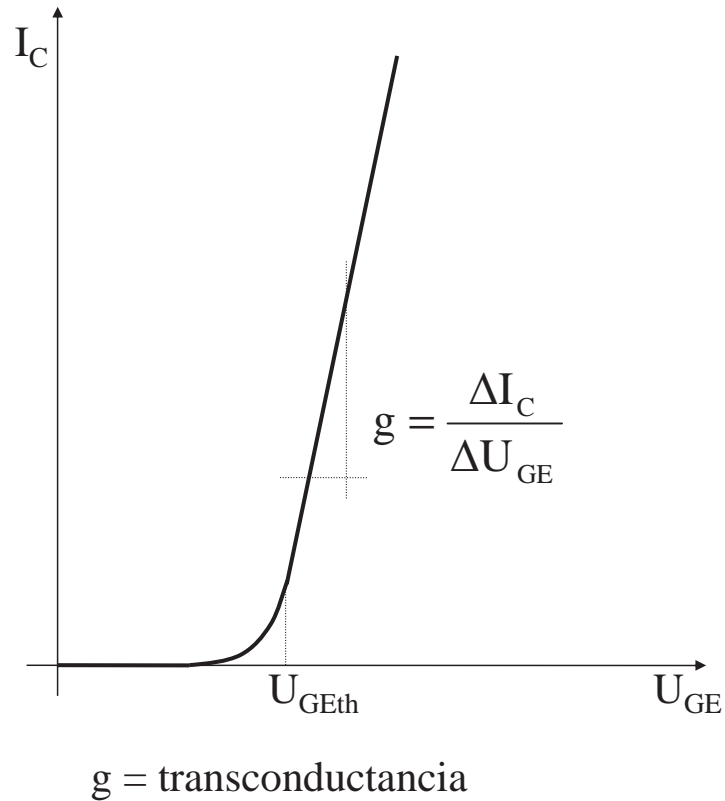


Figura 8.11: Transferencia -  $I_C$  vs  $U_{GE}$

no en una corriente, y que la tensión entre el colector y el emisor cuando el IGBT está en conducción siempre tiene incorporada la caída de tensión correspondiente al diodo base - emisor del transistor *pn*p (juntura  $J_1$ ), por lo que las curvas no parten de un valor  $U_{CE}$  igual a cero.

Como se mencionó anteriormente, el IGBT podría llegar a bloquear la misma tensión polarizado en inverso o en directo. Esto implica que la tensión  $U_{RM}$  puede ser tan grande como la tensión  $BV_{CES}$ . Según se puede apreciar en la figura 8.7, en el caso de polarización directa el bloqueo del dispositivo será soportado por la juntura  $J_2$  mientras que en el caso de polarización inversa el bloqueo será soportado por la juntura  $J_1$ .

La curva 8.11 es igual a la que presenta el MOSFET. En ella se indica el valor  $U_{GEth}$  que es el mínimo valor de tensión que se debe aplicar entre el *gate* y el emisor para que comience a circular corriente entre el colector y el emisor del IGBT.

## 8.4. Encendido y apagado del IGBT

Estudiaremos las curvas de corriente y tensión del IGBT durante su encendido y su apagado asumiendo que el dispositivo está conmutando con una carga inductiva clampeada donde la inductancia será modelada como una fuente de corriente constante de valor  $I_o$ .

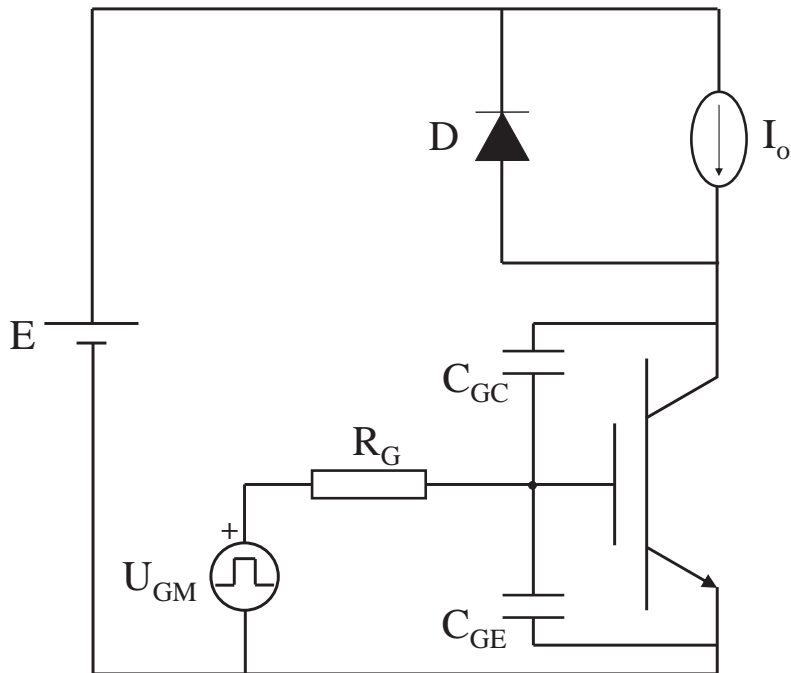


Figura 8.12: Circuito con carga inductiva clampeada

En la figura 8.12 se representa el circuito completo. El circuito de comando de *gate* se asume que está compuesto por una fuente de tensión ideal que puede suministrar un pulso entre cero y  $U_{GM}$  y que tiene una resistencia interna  $R_G$ .

A los efectos de tener en cuenta la similitud del IGBT con el MOSFET del punto de vista del comando, se han evidenciado en el circuito presentado las capacidades  $C_{GC}$  y  $C_{GE}$  que son análogas a las  $C_{GD}$  y  $C_{GS}$  del MOSFET y que, al igual que en este último componente, influyen significativamente en las formas de onda en el encendido y en el apagado. Vale la pena recordar que el valor de estas capacidades varía con el voltaje al que estén sometidas.

### 8.4.1. Encendido

Las formas de onda de la tensión y la corriente en el IGBT durante el encendido (figura 8.13) son bastante similares a las que se podrían observar en un MOSFET.

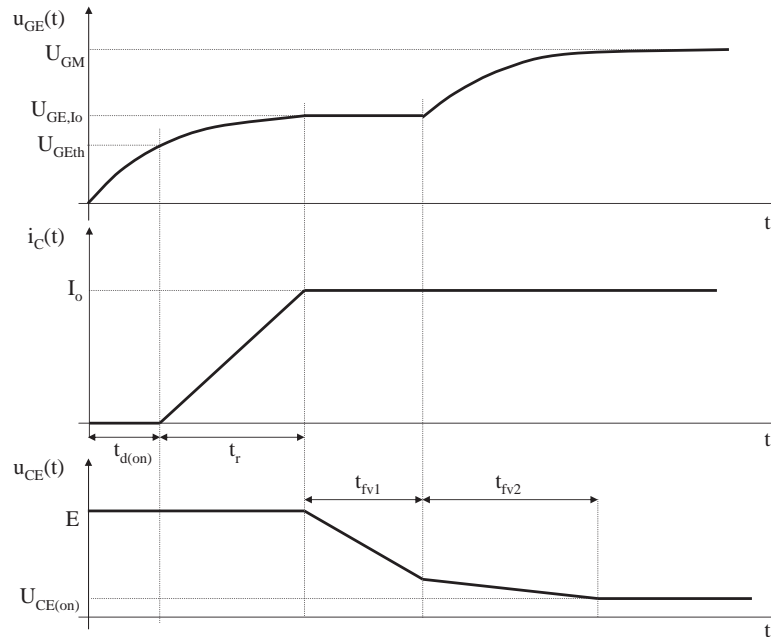


Figura 8.13: Formas de onda en el encendido

Cuando el circuito de comando de *gate* aplica un pulso de amplitud  $U_{GM}$  la tensión gate-emisor del IGBT comienza a crecer con una constante de tiempo dada por la resistencia interna de la fuente ( $R_G$ ) y las capacidades  $C_{GE}$  y  $C_{GC}$  (el efecto de  $C_{GC}$  es pequeño dado que la tensión aplicada en bornes del IGBT es alta). Una vez que la tensión gate-emisor supera el valor  $U_{GEth}$  la corriente de colector comienza a crecer. La tensión colector-emisor sigue siendo  $E$  debido a la presencia del diodo  $D$  que está encendido y conmutando la corriente con el IGBT.

Cuando termina la conmutación de corriente entre el diodo  $D$  y el IGBT y este último conduce la totalidad de la corriente  $I_o$ , la tensión gate-emisor ha crecido hasta el valor  $U_{GE,I_o}$  que corresponde a la tensión de gate-emisor de la curva de transferencia (figura 8.14) que permite mantener la corriente a través del IGBT en el valor  $I_o$ . El IGBT atraviesa la zona activa durante el tiempo  $t_{fv1}$  mientras la tensión gate-emisor permanece constante en el valor  $U_{GE,I_o}$  ("Efecto Miller") y la tensión colector-emisor decrece. A partir del comienzo del intervalo de tiempo  $t_{fv2}$  el MOSFET estaría en su zona óhmica y el transistor *pnp* estaría funcionando dentro de su zona activa camino a la saturación por lo cual la tensión colector-emisor continúa descendiendo hasta llegar al valor de conducción  $U_{CE(on)}$ . Luego del intervalo  $t_{fv1}$  la tensión gate-emisor continúa creciendo hasta llegar al valor  $U_{GM}$  con una constante de tiempo análoga a la anterior ( $R_G * [C_{GC} + C_{GE}]$ ) donde el valor de  $C_{GC}$  ha aumentado considerablemente dado que está sometida a una tensión menor que al inicio del proceso. (ver Capítulo 7 - MOSFET)



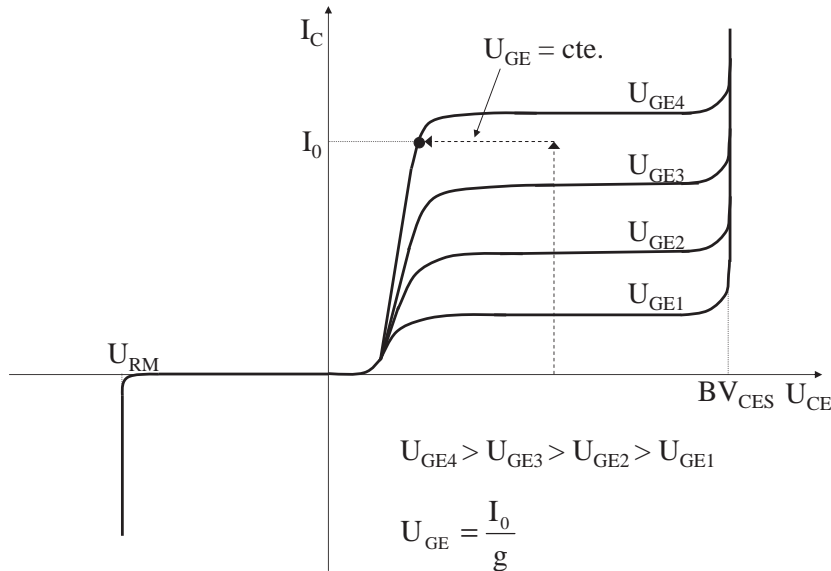


Figura 8.14: Trayectoria tensión - corriente en el encendido

### 8.4.2. Apagado

En la figura 8.15 se aprecia la evolución de las tensiones y corrientes relevantes durante el proceso de apagado de un IGBT.

Una vez que el circuito de disparo de *gate* anula el valor de la tensión aplicada, la tensión gate-emisor comenzará a decrecer hasta llegar al valor  $U_{GE,I_0}$ . A partir de allí, la tensión gate-emisor permanecerá constante mientras la tensión colector-emisor comienza a crecer linealmente. La corriente a través del IGBT durante este tiempo  $t_{rv}$  es constante e igual a  $I_0$  dado que el diodo  $D$  está cortado. Una vez que la tensión colector-emisor alcanza el valor de la fuente  $E$ , el diodo  $D$  comenzará a conducir y conmutará la corriente  $I_0$  con el IGBT mientras la tensión gate-emisor continuará su descenso hasta cero. En este proceso se distinguen dos etapas caracterizadas por los tiempos  $t_{fi1}$  y  $t_{fi2}$ . El intervalo  $t_{fi1}$  corresponde a la característica de apagado de un MOSFET. Este es de por sí un proceso rápido que puede acelerarse si el circuito de comando impone una tensión negativa en el proceso de apagado y cuya velocidad está ligada al valor de la resistencia  $R_C$  del circuito de disparo. Una vez que la tensión gate-emisor llega al valor  $U_{GE,th}$  el MOSFET estará apagado pero la corriente aún no ha llegado a cero. Es que todavía existe carga acumulada en la zona  $n^-$  del dispositivo. Esta zona es la base del transistor  $pn p$  que no es accesible desde el exterior, por lo que la carga acumulada allí deberá ser removida por recombinación como sucede en el proceso de apagado de un  $BJT$  con base abierta. No es posible mejorar el tiempo  $t_{fi2}$  asociado a este proceso utilizando un circuito externo.

Es esta última parte del proceso de apagado la que aumenta considerablemente

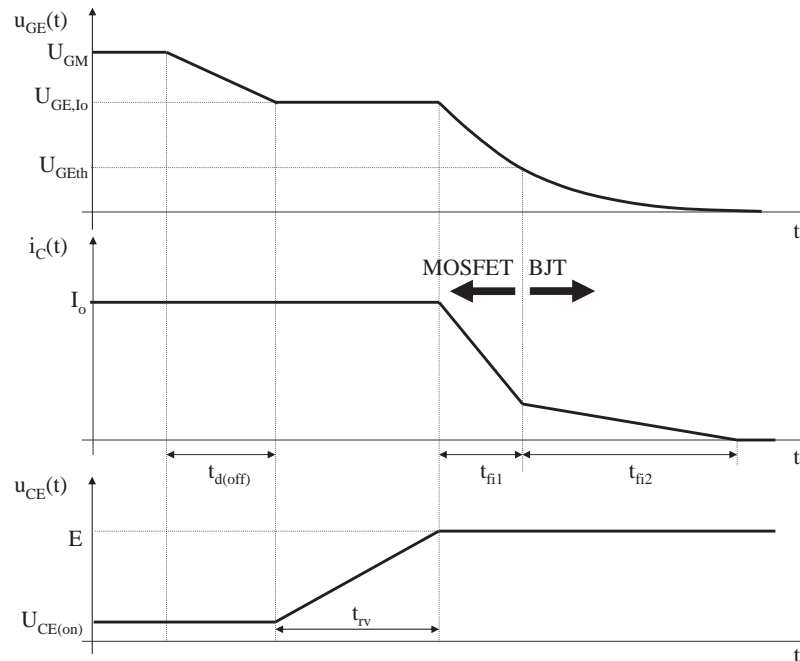


Figura 8.15: Formas de onda en el apagado

el tiempo de apagado de un IGBT con respecto al de un MOSFET. De todas formas, dado que el transistor *pn*p está integrado al IGBT en una configuración similar al Darlington, no llega al estado de saturación dura por lo que el proceso de apagado resulta más rápido que si estuviera en esa situación. Además, las características constructivas permiten un apagado por recombinación mucho más rápido que el de un BJT con base abierta.

### 8.4.3. Consideraciones sobre el circuito de comando

Un circuito de comando de *gate* típico para un IGBT es el que se detalla en la figura 8.16.

Es recomendable una tensión para el encendido ( $+U_{GM}$ ) lo suficientemente alta como para asegurar que el dispositivo funciona en estado de saturación de forma de minimizar las pérdidas en conducción, pero lo suficientemente baja como para que el dispositivo soporte un cortocircuito. Cuando se produce un cortocircuito mientras el IGBT está encendido y formando parte de p.ej. la rama superior de un puente, el aumento drástico de la corriente de colector puede aumentar la tensión colector-emisor de tal forma que el dispositivo salga de la saturación y a través de la capacidad gate-colector aumentar la tensión aplicada al gate, lo que consecuentemente aumentaría la corriente por el dispositivo.

En el caso del apagado del IGBT, teóricamente el dispositivo estará apagado cuando la tensión aplicada entre el *gate* y el emisor es cero, pero, para mejorar la

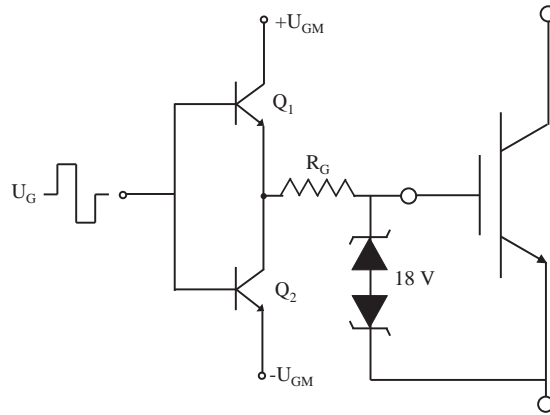


Figura 8.16: Circuito comando de *gate* para un IGBT

inmunidad con respecto al ruido que variaciones de tensión entre el colector y el emisor puedan introducir en el dispositivo, es recomendable aplicar una tensión negativa para el apagado. Por otro lado, el aplicar una tensión negativa en el apagado mejora las pérdidas en este proceso pues reduce el tiempo de apagado  $t_{fi1}$  (figura 8.15). En la figura 8.17 (*Powerex Semiconductors Technical Library*) se aprecia la variación de las pérdidas en el apagado para distintos valores de tensión negativa de gate.

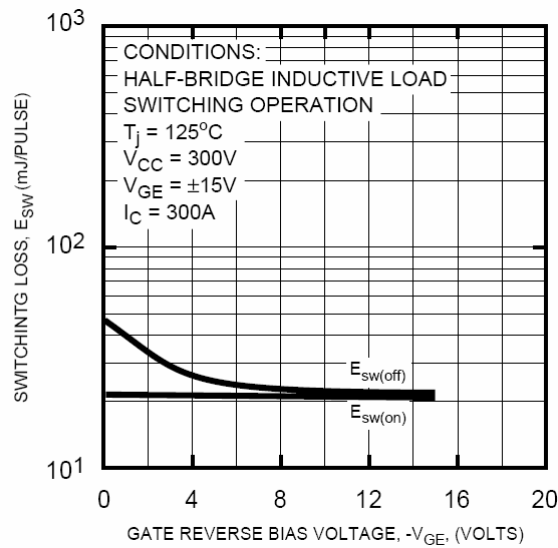


Figura 8.17: Pérdidas en el encendido y en el apagado en función de la tensión inversa de comando de gate

Otro factor a tener en cuenta en el circuito de comando de *gate* de un IGBT es la resistencia serie de *gate*  $R_G$ . Un valor pequeño de  $R_G$  reducirá los tiempos

de carga y descarga de las capacidades de *gate* del IGBT con lo que se reducirán los tiempos de encendido y apagado y por consiguiente las pérdidas asociadas a estos procesos. En las figuras 8.18 y 8.19 (*Powerex Semiconductors Technical Library*) se constata la variación de pérdidas y tiempos de conmutación al variar el valor de  $R_G$ .

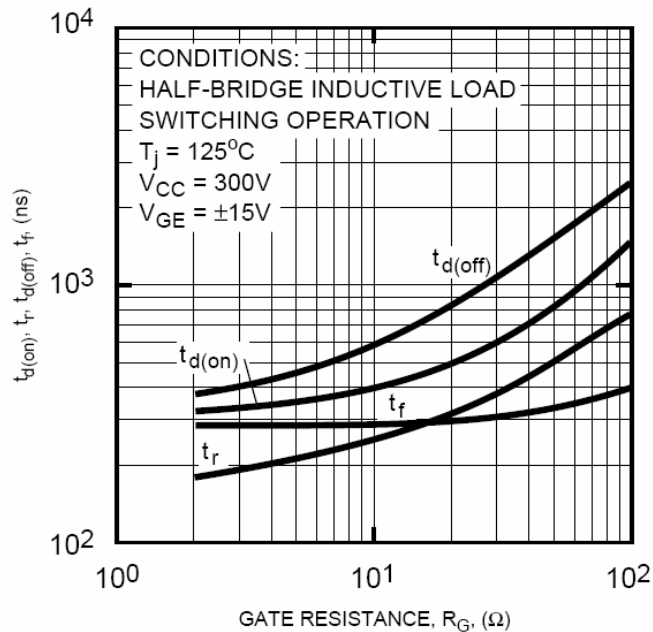


Figura 8.18: Variación de los tiempos asociados al encendido y apagado con la resistencia de gate

También un valor pequeño de  $R_G$  brinda más inmunidad frente al encendido no deseado del IGBT: cuando se produce la circulación de la corriente de recuperación inversa de un diodo de rueda libre a través de un IGBT, la variación de tensión asociada a este proceso puede causar una circulación de corriente hacia el circuito de gate a través de la capacidad gate-colector. Si el valor de la resistencia del circuito de comando de *gate* es suficientemente grande, ésta circulación de corriente puede causar una caída de tensión a través de la misma que encienda el IGBT.

A pesar de estos beneficios, un valor muy pequeño de resistencia de *gate* puede producir problemas de oscilaciones entre la capacidad gate-emisor y las inductancias parásitas del circuito de comando, por eso las hojas de datos indican un valor mínimo y un máximo para la  $R_G$  en función de la corriente que maneja el IGBT.

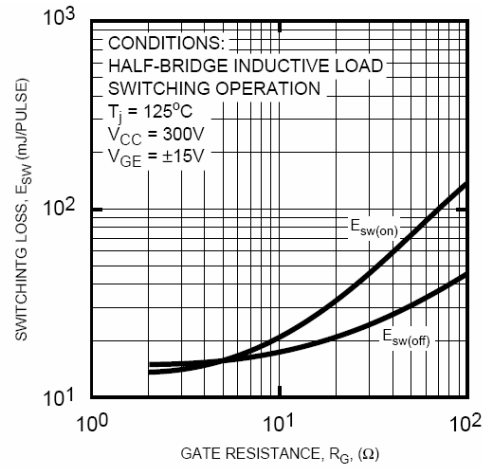


Figura 8.19: Variación de las pérdidas asociadas al encendido y apagado con la resistencia de gate

## 8.5. Zonas o Areas de Operación segura (SOA)

El IGBT tiene zonas de operación segura según se presentan en la figura 8.20.

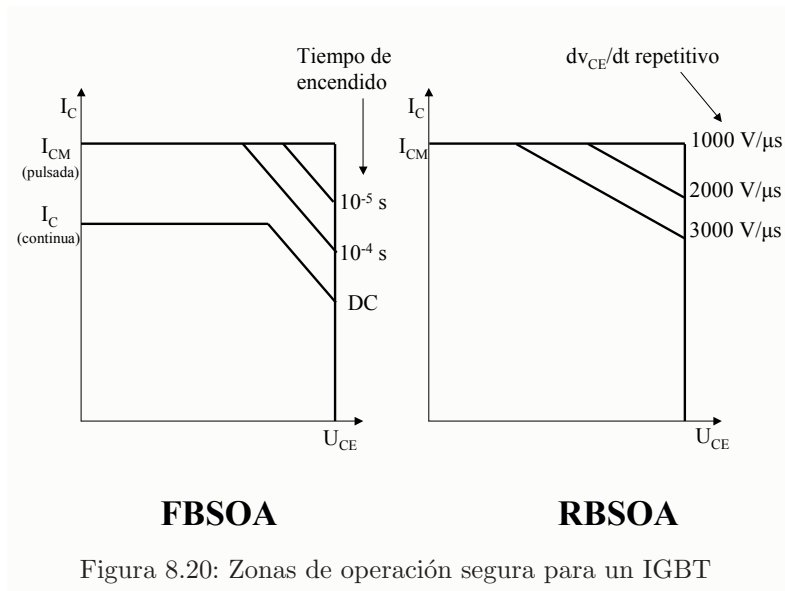


Figura 8.20: Zonas de operación segura para un IGBT

La zona de operación segura con polarización directa o *FBSOA* está limitada por la corriente máxima de colector ( $I_{CM}$ ) y por el voltaje colector-emisor máximo, para tiempos de encendido cortos. Cuando se desea utilizar el dispositivo durante tiempos de encendido mayores a  $1\text{ ms}$  aparece una limitación térmica que está representada por las curvas que limitan el área de operación sobre la

parte superior derecha y que son entonces paramétricas en el tiempo en que el IGBT está encendido.

La zona de operación segura con polarización inversa o *RBSOA* está también limitada por la corriente máxima de colector y por el voltaje colector-emisor para valores bajos de  $\frac{dv_{CE}}{dt}$  repetitivo. Si este valor crece, la *RBSOA* se verá limitada por las curvas representadas en la figura 8.20 (Mohan et al. 1995, adaptado de). Esta limitación se debe a que valores muy altos de  $\frac{dv_{CE}}{dt}$  pueden ocasionar el *latchup* del IGBT durante el proceso de apagado.

Una de las características más importantes del IGBT es su capacidad de soportar corrientes muy altas no repetitivas. Un IGBT puede prender en cortocircuito contra una fuente de una tensión del orden de la tensión de bloqueo máxima durante hasta  $10\mu s$  y sobrevivir. La figura 8.21 muestra la zona de operación segura en cortocircuito para un IGBT MG600Q2YS60A que corresponde a un módulo para 600A y 1200V (*Powerex Semiconductors Datasheets*) y donde se aprecia la capacidad de sobrecarga

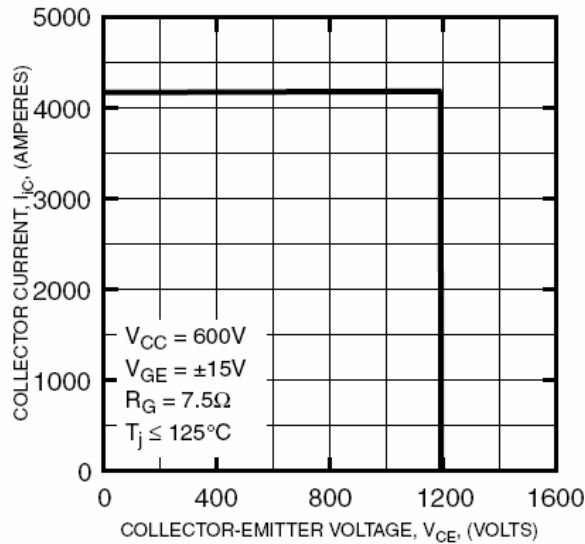


Figura 8.21: Zonas de operación segura en cortocircuito para un IGBT MG600Q2YS60A 1200V / 600A

## 8.6. Estructura PT y NPT

La estructura que se ha presentado del IGBT (por ejemplo en la figura 8.7) es la que se conoce como NPT-IGBT (Non Punch Through IGBT) o también como IGBT simétrico, puesto que es capaz de soportar voltajes en bloqueo inverso tan altos como los que está diseñado para soportar en bloqueo directo.

Como se mencionó anteriormente, la capacidad de bloqueo del IGBT está relacionada con el ancho de la zona  $n^-$ . Por otro lado, el ancho de esta zona influye significativamente en las pérdidas en conducción del dispositivo.

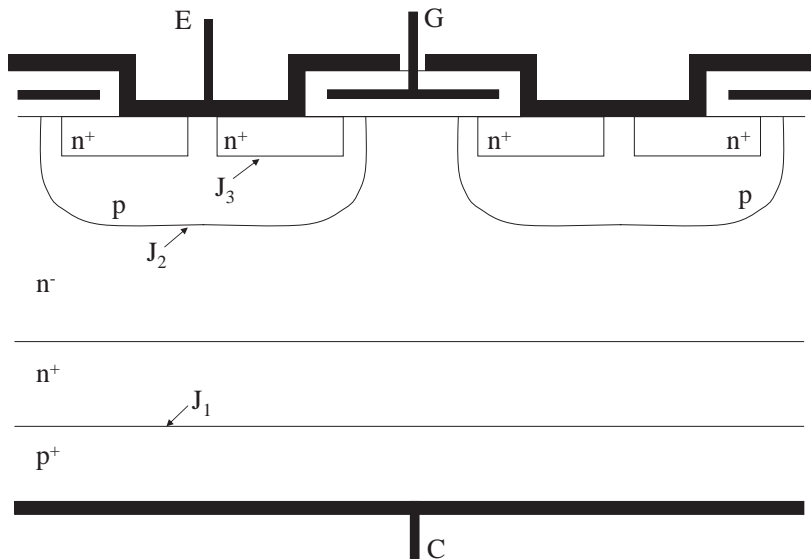


Figura 8.22: Estructura PT-IGBT

Con el objetivo de reducir el ancho de la zona  $n^-$  del IGBT se puede modificar la estructura del que se ha presentado para crear la estructura de la figura 8.22, que corresponde a un PT-IGBT (Punch Through IGBT) o IGBT asimétrico.

En esta estructura se consigue reducir el ancho de la zona  $n^-$  conservando la capacidad de bloqueo directo agregando una zona  $n^+$ . Al reducir el ancho de la zona  $n^-$  se bajan las pérdidas en conducción del dispositivo pero al agregar la zona  $n^+$  se reduce la capacidad de bloqueo inverso del dispositivo a tensiones que no son significativas para la aplicación del componente. En la práctica se considera que este tipo de IGBT no tiene capacidad de bloqueo inverso.

Si bien se considera que la estructura PT-IGBT no tiene capacidad de bloqueo inversa esto no implica que el dispositivo posee capacidad de conducción inversa. El IGBT en general no posee capacidad de conducción inversa por lo que para las aplicaciones que la requieran se deberá conectar un diodo en antiparalelo.

Las dos tecnologías coexisten debido a mejoras de los NPT-IGBT. Al momento de escribir este material no hay un claro predominio de una de las estructuras.





# Bibliografía

*ABB* (Product guide). [www.abb.com/semiconductors](http://www.abb.com/semiconductors).

B.Williams (1900). *Power Electronics: Devices, Drivers, Applications, and Passive Components*, University of Strathclyde, Glasgow - UK.

Carroll, E., Klaka, S. & Linder, S. (1997). Integrated gate-commutated thyristors: A new approach to high power electronics, *ABB Semiconductors AG, 5600 Lenzburg, Switzerland*.

*International Rectifier* (Technical Library). [www.irf.com](http://www.irf.com).

*IXYS Semiconductors* (Datasheets). [www.ixys.com](http://www.ixys.com).

Kassakian, J., Schlecht, M. & Verghese, G. (1992). *Principles of Power Electronics*, Addison-Wesley.

*Maxim Integrated Products* (Designers Information and Design Tools). [www.maxim-ic.com](http://www.maxim-ic.com).

Millman, J. & Halkias, C. (1972). *Integrated Electronics*, Mc. Graw Hill.

*Mitsubishi Electric Semiconductor* (Power Devices Product Information). [www.mitsubishichips.com/Global/products/power/02.html](http://www.mitsubishichips.com/Global/products/power/02.html).

Mohan, N., Underland, T. & Robbins, W. (1995). *Power Electronics - Converters, Applications and Design*, John Wiley & Sons, Inc.

*Powerex Semiconductors* (Datasheets). [www.pwr.com](http://www.pwr.com).

*Powerex Semiconductors* (Technical Library). [www.pwr.com](http://www.pwr.com).

Sze, S. M. (1981). *Physics of Semiconductor Devices*, John Wiley & Sons.

Thorborg, K. (1988). *Power Electronics*, Prentice - Hall.

Todd, P. C. (1994). Snubber circuits: Theory, design and application, *Application note - Unitrode Corp. - Texas Instruments Literature*.

Wallmark, T. & Zweygbergk, S. V. (1973). *Tyristorteknik*, P. A. Norstedt & Söners Förlag.